

논문 2012-49-12-22

# 채널 등화기를 내장한 2.0GS/s 5비트 전류 모드 ADC 기반 수신기

( A 2.0-GS/s 5-b Current Mode ADC-Based Receiver with Embedded Channel Equalizer )

문종호\*, 정우철\*\*, 김진태\*\*\*, 권기원\*, 전영현\*\*\*\*, 전정훈\*

( Jong-Ho Moon, Woo-Chul Jung, Jin-Tae Kim, Kee-Won Kwon, Young-Hyun Jun, and Jung-Hoon Chun )

## 요약

본 논문에서는 고속 직렬 링크에 사용할 수 있는 5비트 2.0GS/s 2-way time interleaved 파이프라인 ADC 기반의 수신기를 소개한다. 샘플링 주파수를 높이기 위해, ADC 각 단은 트래킹과 증폭이 동시에 수행되는 전류 모드 구조를 사용하였다. 또한 ADC 각단에 1-tap FIR 등화기를 탑재하여 별도의 디지털 후처리 없이 채널의 ISI를 감소시켰다. 제안한 수신기는 110nm 공정을 사용하여 설계하였다. 메모리를 제외한 수신기는  $0.58 \times 0.42 \text{mm}^2$ 의 크기를 갖고, 동작전압 1.2V에서 91mW의 전력을 소모한다. 시뮬레이션 결과 2.0GS/s 샘플링 주파수에서 20MHz의 입력 주파수와 Nyquist 주파수인 1.0GHz 입력신호에 대하여 동일하게 26.0dB의 SNDR과 4.0비트의 ENOB특성을 확보하였다.

## Abstract

In this paper, a 5-bit 2-GS/s 2-way time interleaved pipeline ADC for high-speed serial link receiver is demonstrated. Implemented as a current-mode amplifier, the stage ADC simultaneously processes the tracking and residue amplification to achieve higher sampling rate. In addition, each stage incorporates a built-in 1-tap FIR equalizer, reducing inter-symbol-interference (ISI) without an extra digital post-processing. The ADC is designed in a 110nm CMOS technology. It consumes 91mW from a 1.2-V supply. The area excluding the memory block is  $0.58 \times 0.42 \text{mm}^2$ . Simulation results show that when equalizer is enabled, the ADC achieves SNDR of 25.2dB and ENOB of 3.9bits at 2.0GS/s sample rate for a Nyquist input signal. When the equalizer is disengaged, SNDR is 26.0dB for 20MHz-1.0GHz input signal, and the ENOB of 4.0bits.

**Keywords :** pipeline ADC, serial link receiver, current mode pipeline ADC, equalizer

\* 정회원, \*\* 학생회원, 성균관대학교 정보통신대학  
(College of Information & Communication Engineering, Sungkyunkwan University)

\*\*\* 정회원, 건국대학교 전자공학부  
(Department of Electronics Engineering, Konkuk University)

\*\*\*\* 평생회원, 삼성전자(주) 반도체사업부  
(Device Solution Business, Samsung Electronics)

※ 본 연구는 지식경제부 및 한국산업기술평가관리원의 산업원천기술개발사업(정보통신)의 일환으로 수행하였음  
[KI002085-2012-02, 차세대 반도체 장비 및 소자의 표준화 기술]

접수일자: 2012년9월11일, 수정완료일: 2012년11월26일

## I. 서론

트랜지스터 집적도의 증가로 대용량 데이터의 처리가 가능해지면서, backplane 통신에서 데이터 전송량과 전송속도가 증가하고 있다. 하지만, 채널의 대역폭 제한에 의한 ISI(Inter Symbol Interference)에 의하여 신호 손실 및 왜곡이 발생하며, 수 Gbps 이상의 속도를 얻기 위해서 ISI를 보상하기 위한 채널 등화기가 사용된다. 공정이 미세화 되면서, 아날로그 회로는 공정, 전압, 온도 조건에 민감하게 반응할 수 있다. 이런 이유로 최근에는 수신기에서도 디지털 회로의 비중이 증가하고 있고, 채널 등화도 디지털 신호로 처리하는 경우가 증가하고 있다. 신호를 디지털로 처리하기 위해서는 ADC가 반드시 필요하며 수신기의 앞단에 ADC를 직접 채용할 수 있다<sup>[1-2]</sup>. 범용의 ADC와 달리, 고속 수신기에 사용되는 ADC는 다음의 몇 가지 특성을 필요로 한다. ADC 기반 수신기의 샘플링 주기는 전송 심볼 주기와 같아야 한다. 즉,  $2 \times Nyquist$  대역폭까지 고속 동작 특성을 요구한다. 또한, 수신기에 응용되기 위해서는 전력소모와 면적을 최소화 시켜야 한다<sup>[3]</sup>. Backplane 통신이나 Optical EDC(Electrical Dispersion Compensation)에 사용되는 디지털 채널 등화기는 일반적으로 수백mW 이상을 소모한다<sup>[4-5]</sup>. 하지만, ADC의 각 단계에 DFE를 적용하여, 뒷단의 디지털 채널 등화기의 전력소모를 감소시킬 수 있다.

본 논문에서는 2.0GS/s의 5비트 ADC를 구현하기 위해 8단의 1.0GS/s의 파이프라인 ADC를 2-way time interleaved로 하였다. 파이프라인 ADC는 고속의 샘플링 속도가 가능하다. 또한, Flash ADC 대비 저전력과 작은 칩 면적, 그리고 작은 입력 커패시턴스를 구현할 수 있으므로 고속 시리얼 링크 수신기 구조에 적합하다. 또한 등화기를 내재할 수 있다는 장점을 갖는다.

본 논문의 구성은 다음과 같다. II 장에서는 수신기 전체 구조를 소개하며, III 장에서는 제안한 고속, 전류 모드 오픈-루프 파이프라인 ADC 구조와 동작원리를 설명한다. IV 장에서는 시뮬레이션 결과를 정리하며, V 장에서는 결론을 맺는다.

## II. 수신단의 전체 구조

그림 1의 수신기는 공통 모드 전압 0.2V, 입력 신호

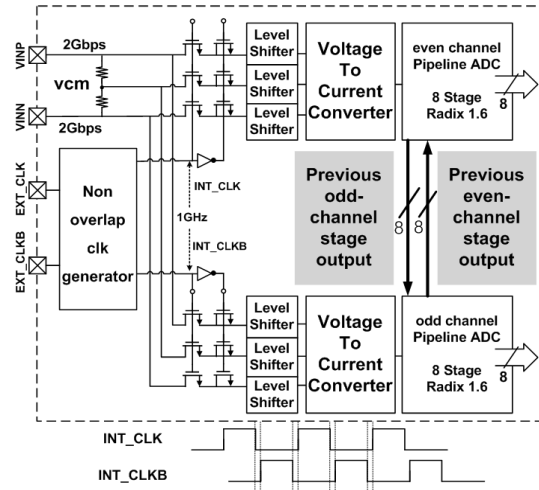


그림 1. 수신기의 전체 구조

Fig. 1. ADC-based receiver architecture.

범위 400mVp-p인 2.0Gb/s 차동 신호를 입력받는다. 수신된 전압 신호는 2-way time interleaved 방식으로, 1.0GHz 외부 클럭인 EXT\_CLK과 180° 위상 쉬프트된 EXT\_CLKB에 의하여 2채널(even, odd)로 분리된다. Time interleaved 구조를 택한 이유는 동작 속도를 1.0Gps로 감소시키고 2채널로 분리하는 것이 2.0Gps 단일 채널로 동작시키는 것보다 전력소모가 작기 때문이다<sup>[3]</sup>. Even 채널은 1.0GHz 내부 클럭 INT\_CLK의 'high' 구간 동안 트랙킹하고, 'low' 구간 동안 홀드한다. 반면, odd 채널은 INT\_CLKB의 'high' 구간 동안 트랙킹한다. 내부의 클럭생성기에서 생성된 내부 클럭은 모두 non-overlap 클럭의 형태를 갖는다.

샘플링된 전압 신호는 레벨시프터에서 전압-전류 변환기의 동작 범위에 맞게 조정된 후, 전압-전류 변환기에서 전류 신호로 변환된다. 전압-전류 변환기는 차동 신호를 받아 단동 출력을 ADC 코어에 전달한다. 고속 동작을 위해서, 전류모드 파이프라인 ADC를 적용하였으며, 각 단계에서 1비트를 출력하는 빠르고 간단한 비교기 구조를 채택하였다<sup>[6]</sup>. Backplane 통신에서 5-tap 혼성모드 등화기를 적용한 경우와 동일한 BER를 얻기 위해서는 5비트 이상의 해상도가 필요하다<sup>[3]</sup>. 따라서 제안하는 수신기는 5비트 해상도를 갖는 8단의 ADC 기반의 수신기로 설계하였다.

## III. 고속 ADC 설계

### 1. Track & Hold 스위치와 레벨시프터

고속 시리얼 링크용 ADC 설계를 위해서는 입력 커패시턴스는 작아야 한다. 이를 위해서, 그림 1과 같이 NMOS만으로 스위치를 구성하였다. 입력 패드와 금속 신호선의 커패시턴스를 제외하고, 약 90fF의 입력 커패시턴스 값을 갖는다. 스위치 ON/OFF시 발생하는 전하 유입에 의한 에러를 보상하기 위해, 스위치 출력에 1/2 크기의 dummy 스위치를 추가하였다. Dummy 스위치의 게이트 신호는 스위치 게이트 신호와 180° 위상 차이가 있어, 스위치 ON/OFF 순간에서의 에러를 줄일 수 있다. 공통 모드의 클록 피드-스루 잡음은 차동 동작에 의해 제거된다.

스위치 다음 단계에 위치한 레벨시프터는 다음의 세 가지 역할을 한다. 스위치 출력 쪽 기생 커패시터로 형성된 홀드 커패시터 노드에 유입되는 킥-백 노이즈를 감소시키는 버퍼 역할, 수신된 전압 신호를 전류 신호로 변환할 때 필요한 전류원의 역할, 다음 단계의 전압-전류 변환기의 안정적인 입력 동작 범위를 확보하기 위한 공통 모드 전압 레벨을 조정하는 역할을 담당한다.

그림 2에 일반적인 레벨시프터 회로와 제안하는 회로를 나타내었다. 레벨시프터 다음에 오는 전압-전류 변환기의 입력 임피던스가 작으므로, 출력 노드로부터 전류( $\Delta I$ )가 흘러 나가거나, 들어오게 된다. 일반적인 구

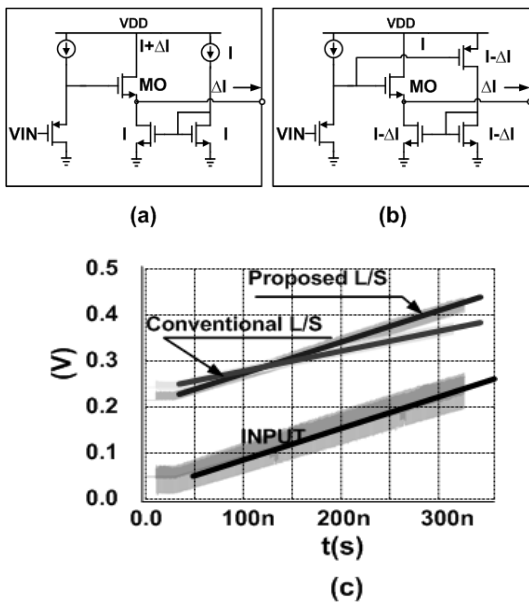


그림 2. (a) 일반적인 2단 레벨시프터 (b) 제안하는 레벨시프터 (c) 레벨시프터의 입, 출력 전압 시뮬레이션 결과

Fig. 2. (a) A conventional level shifter (b) the proposed level shifter (c) simulation results.

조(그림 2a)의 경우, 출력 트랜지스터(MO)에 흐르는 전류가 변하게 되면, 출력 노드의 전압이 왜곡된다. 제안한 레벨시프터에서는 피드 포워드 경로를 추가하여, 출력 전류 크기와 상관없이 출력트랜지스터(MO)의 전류를 일정하게 유지한다. 즉, 출력 전압이 입력전압 레벨과 동작 범위 내에서 일정한 차이를 유지할 수 있도록 하였다. 그림 2(c)에서 제안한 레벨시프터의 입력과 출력과의 관계가 일반적인 레벨시프터보다 우수함을 확인할 수 있다.

### 2. 전압-전류 변환기

그림 3의 전압-전류 변환기는 전위차를 전류로 변환하는 저항 소자와 전환된 전류를 일정하게 유지하는 피드백 앰프로 구성된다. 전압-전류 변환소자로  $2K\Omega$  poly저항을 사용하여, 입력전압 0.1V 전위차를  $50\mu A$  신호 전류로 변환한다. 레벨시프터에서 입력 포트 'Pch\_inP'로 신호 전류가 들어오거나, 레벨시프터 쪽으로 나갈 때, 노드 'ND\_A'의 전압이 상승, 혹은 하강하게 되면, 저항 양단의 전위차가 변하게 되어 신호 전류가 왜곡되는 문제가 있다. 따라서 노드 'ND\_A'의 전압을 공통 모드 입력 전압의 레벨시프터 출력값으로 유지하기 위해서, 피드백 앰프를 사용하였다. 만일, 입력 노드 'Pch\_inP'가 노드 'ND\_A'보다 0.1V 높다면 저항을 통하여 변환기 안으로  $50\mu A$ 가 앞단의 레벨시프터에서 유입된다. 유입된  $50\mu A$ 는 하단의 NMOS 전류복사기를 통해 복사가 이뤄진다. 전압-전류 변환기는 차동 입력을 받아 단동으로 출력한다. 이를 통해 신호 전류를 줄이지 않고, 선형성을 개선하였다.

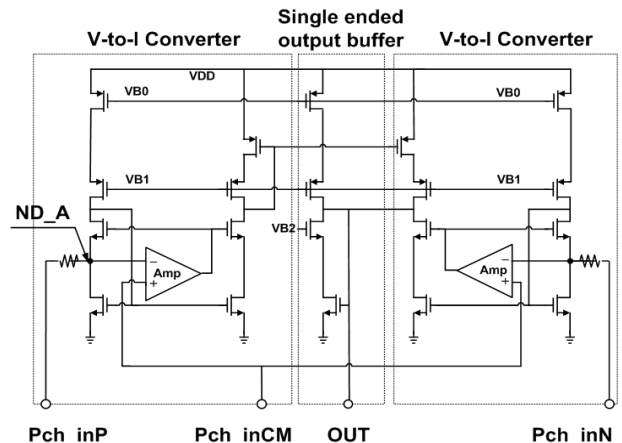


그림 3. 전압-전류 변환기  
Fig. 3. V-to-I converter.

### 3. ADC 코어 동작 설명

고속 동작에 적합하도록, 파이프라인 ADC 각 단에서 1비트가 출력되는 오픈 루프(open loop)-전류 모드 ADC로 구현하였다. 리턴던시 비트를 포함한 8비트가 출력되어 5비트의 해상도를 갖도록 설계하였다.

그림 4는 전압, 전류 입력 범위와 ADC 각 단의 전달 함수를 나타낸다. 입력 전압 범위는  $0.09V \sim 0.31V$ 이며, 변환된 전류 범위는  $-110\mu A \sim +110\mu A$ 이다. 판정에서 에러 마진을 확보하기 위해서, radix를 2에서

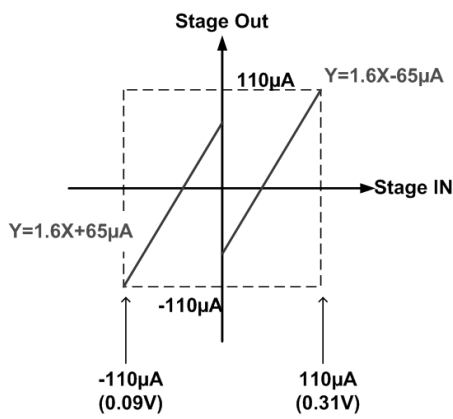


그림 4. ADC 한 단의 전달 함수  
Fig. 4. The transfer function of a stage.

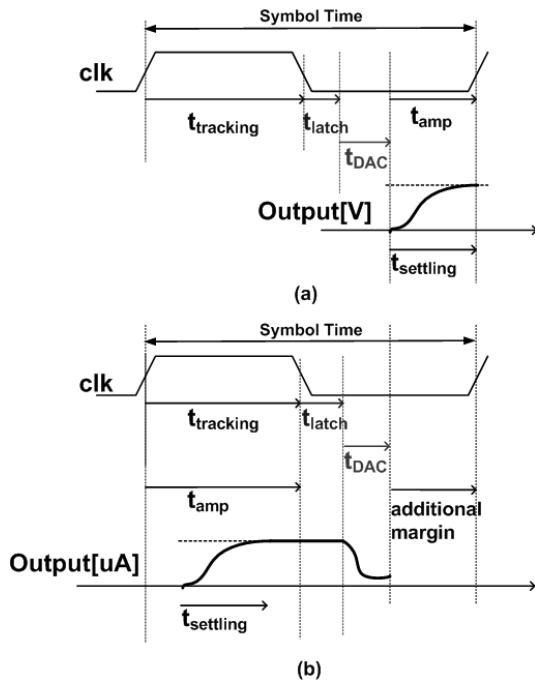


그림 5. (a)전압모드 1단 ADC의 동작 (b)전류모드 1단 ADC의 동작  
Fig. 5. (a)Timing of the voltage-mode sub ADC (b)Timing of the current-mode sub ADC.

1.6으로 감소하여 설계하였다. 동작전압  $1.2V$ 기준에서  $1.1V$ 까지 안정적임을 시뮬레이션으로 확인하였다.

그림 5(a)를 보면, 일반적인 전압-모드 ADC의 심볼 주기는 다음의 관계식으로 정해진다.

$$Symbol\ Time \geq t_{tracking} + t_{latch} + t_{DAC} + t_{amp} \quad (1)$$

$t_{tracking}$ 은 앞단의 신호를 받아들이는 시간,  $t_{latch}$ 는 래치의 출력시간,  $t_{DAC}$ 은 래치 출력값을 다시 아날로그 값으로 변환하는 시간이다.  $t_{amp}$ 는 앰프의 동작 시간이며, 앰프출력의 정착시간( $t_{settling}$ )에 의해 결정된다. 또한 비교기 입력 신호에 따라  $t_{latch}$ 가 변한다. 따라서 심볼 주기는  $t_{settling}$ 과  $t_{latch}$ 에 의하여 결정된다<sup>[5]</sup>. 결국, 샘플링 주파수를 높이기 위해서는 1.6배 증폭단의 짧은  $t_{settling}$ 이 필요하며,  $t_{amp}$ 의 구간을  $t_{tracking}$ 내부로 이동할 필요가 있다. 따라서 제안하는 전류 모드 ADC의 각 단은 그림 5(b)와 같이 입력 전류를 트래킹 하는 동안 1.6배의 출력 전류를 발생시키고 그 후 비교기의 출력에 따라 1비트 DAC을 이용하여 전류의 크기를 보정해 주는 방식을 취한다<sup>[6]</sup>. 그 결과 추가적인 시간 마진을 확보하여 전압모드 방식 대비 같은 주파수에서 더 긴  $t_{latch}$ 을 용납할 수 있어 고속 동작 구현에 유리하다. 또, 전압 모드의 경우, 부궤한 OP-앰프와 스위치-커패시터 DAC로 구성되지만, 전류 모드의 경우 OP-앰프의 사용이 필요하지 않으므로, 설계가 간결해지고 칩 면적과 공정 스케일링 관점에서 유리하다<sup>[6]</sup>.

그림 6은 파이프라인 ADC의 1, 2단을 나타낸 그림이다. 각 단은 3개의 동작 블록을 갖는다. 앞단의 신호 전류를 트랙-홀드하여 1.6배 증폭하는 샘플러-전류 증폭기, 그리고 샘플링된 신호를 판정하는 비교기와 판별값을 아날로그 신호로 변환하는 1비트 DAC로 구성된다. 샘플러-증폭기, DAC는 모두, 외부 잡음으로부터 신호를 보호하고, 전류 증폭 이득의 선형성을 개선하기 위해 트랜지스터를 캐스코드(cascode) 구조로 연결하였다. 하지만, 오픈-루프 구조로 인하여, 트랜지스터 크기나, 문턱전압에 오프셋이 있는 경우, 전류 증폭 이득 에러에 의하여 정확성이 떨어지는 문제가 있다<sup>[6]</sup>.

각 스테이지의 동작을 예시하면, 우선 입력노드,  $IN1$ 로 전류(i)가 들어오면 비교기의 출력은 'low'가 되어, 출력노드이자 다음 단의 입력노드인  $IN2$ 에  $\alpha (=65\mu A)$ 를 더해준다. 따라서  $IN2$ 로부터 흘러 나가는 전류는

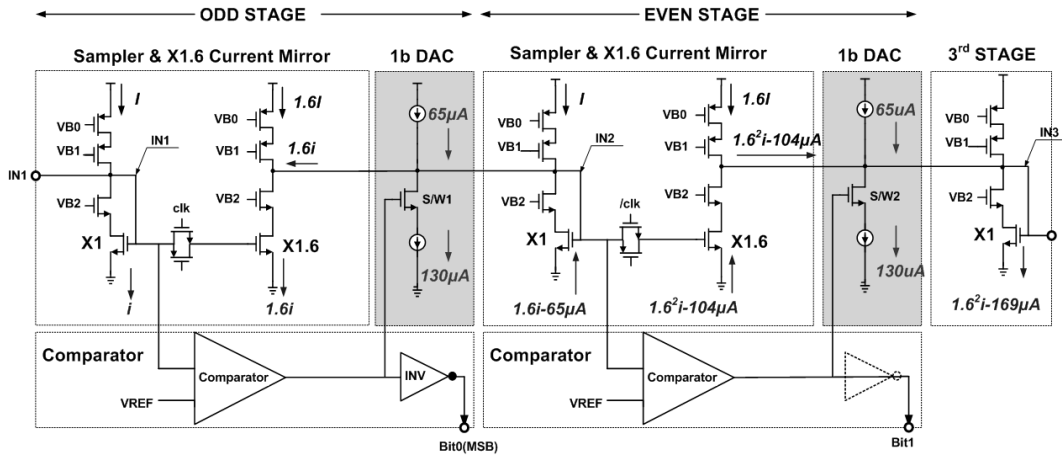


그림 6 파이프라인 ADC의 제1단, 2단의 구조와 신호전달  
Fig. 6. Signal flow in the stage of pipeline ADC.

$1.6i - \alpha$ 이다. IN2에서는 전류가 흘러 나가므로 비교기는 'high'를 출력하여 S/W2가 단혀  $\alpha$ 를 빼주게 되어, 노드 IN3으로는  $1.6^2i - 1.6\alpha - \alpha$ 가 들어간다. 출력노드와 다음 단의 입력노드가 동일 노드이므로, odd 단에는 비교기의 출력을 반전시켜 ADC의 출력 비트를 생성한다.

4. 전류 모드 비교기

그림 7은 ADC 각 단의 비교기의 구성이다. 비교기는 신호 전류 모드로 동작하며, 전치 증폭기와 센스 앰프로 구성된다. 전치 증폭기는 센스 앰프에서 발생하는 킥 백 잡음을 제거하며, 전압 모드 센스 앰프를 동작시키기 위해 신호 전류를 전압으로 변환한다. 바이어스 전류(I)에 비하여 신호전류(i)는  $\pm 30\%$ 의 동작범위를 갖는다. 신호전류(i)로 변조된 전류(I+i)를 전류-전압 변환 이득을 크게 하기 위해 큰 저항 부하에 연결하면, 바이

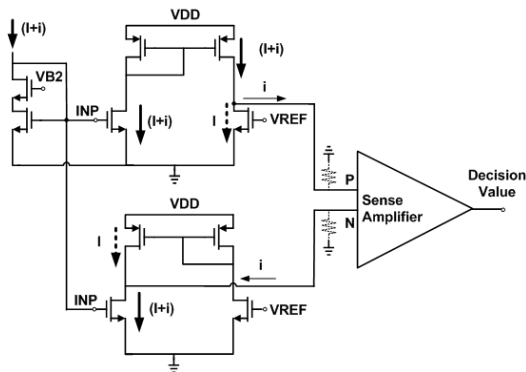


그림 7. 전류모드 비교기  
Fig. 7. Current mode comparator.

어스 전류(I)에 의하여 동작점이 높게 형성되어 센스 앰프의 동작 범위를 벗어날 수 있다. 하지만 변조 신호 (I+i)에서 신호 전류 i만 분리하여 인가한다면, 큰 저항 부하에 대해서도 동작점을 안정적으로 유지할 수 있기 때문에 전류-전압 변환 이득을 크게 만들 수 있다. 그리고 센스 앰프의 속도와 감도를 향상시켜 ADC의 대역폭을 증가시킬 수 있다<sup>[6]</sup>. 센스 앰프는 일반적인 strong arm latch를 이용하여 설계하였다.

5. 임베디드 이퀄라이저

그림 8은 구현한 이퀄라이저-DAC를 포함한 파이프라인 ADC 한 단의 구성이다. 이퀄라이저-DAC의 전류는  $10\mu A$ 로 설정하였다. 이퀄라이저-DAC도 전류 모드 구조를 적용하여, n-1번째 데이터의 이퀄라이저-DAC 결과가 앞 단의 신호를 트래킹 하는 동안 반영된다.

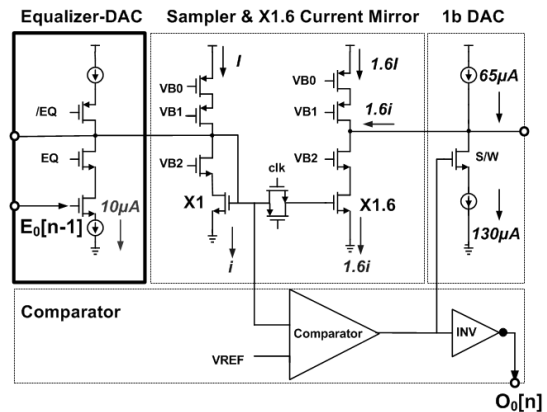


그림 8. 이퀄라이저의 구현  
Fig. 8. Implementation of the equalizer.

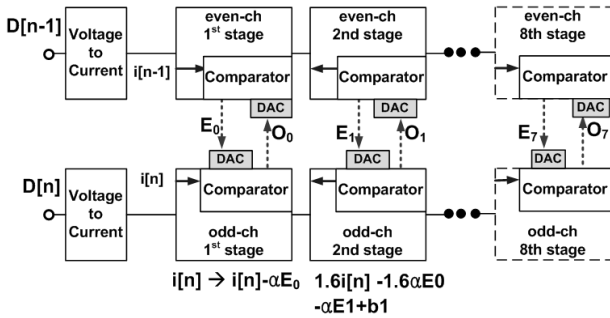


그림 9. 임베디드 이퀄라이저  
Fig. 9. Embedded equalizer.

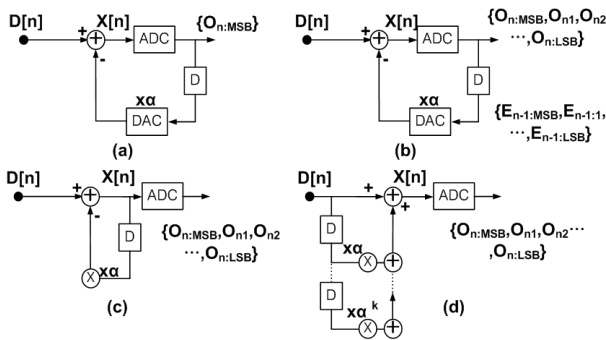


그림 10. 이퀄라이저 블록도  
(a) 첫 단, (b) 마지막 단 (c) 이상적인 ADC, DAC에서의 등가 블록도 (d) 등가의 FIR filter  
Fig. 10. Demonstration of (a) MSB stage (b) LSB stage (c) equivalent equalizer in ideal condition (d) equivalent FIR filter.

그림 9에서 MSB가 생성되는 odd 채널의 첫 단을 살펴보면, n-1번째 수신 데이터인 D[n-1]이 판정 기준값 이상이면  $E_0$ 는 '1'이 되고, odd 채널의 입력은  $i[n] - \alpha E_0$ 로 감소한다.

여기서,  $\alpha$ 는 이퀄라이저의 tap weight이다. 즉, MSB에 대해서는 1-tap DFE와 동일한 전달 함수를 갖는다. 하지만, 간단히 하기 위하여 n-1번째 이전의 수신 이력을 제외하고, 8 단의 전체 구조를 살펴보면, n번째 데이터 D[n]에는 n-1번째 데이터 D[n-1] 신호의 크기가 반영되도록 구성되어 있다. 예를 들면, 마지막 단의 입력 전류는  $(1.6^7 i[n] + b_7) - \alpha \tilde{D}[n-1]$ 이다. 이는 discrete 1-tap FIR (Finite Impulse Response)의 전달 함수와 동일하다.

여기서  $\tilde{D}[n-1]$ 은  $'(1.6^7 E_0 + 1.6^6 E_1 + 1.6^5 E_2 + 1.6^4 E_3 + 1.6^3 E_4 + 1.6^2 E_5 + 1.6^1 E_6 + 1.6^0 E_7)'$ 이다.

그림 10(a)는 MSB에 대한 이퀄라이저 블록도이다.

MSB를 결정하는 ADC는 비교 판정기이므로, DFE와 동일하다. 그림 10(b)는 LSB에서의 이퀄라이저 블록도이며, 만일 ADC와 DAC가 이상적이라고 가정하면, 그림 10(c)와 동일한 전달 특성을 갖는다. 그림 10(c)의  $X[n]$ 는 다음과 같다.

$$X[n] = D[n] - \alpha X[n-1] \quad (2)$$

$$X[n] - (-\alpha)^k X[n-k] = D[n] + \sum_{i=1}^{k-1} (-\alpha)^i D[n-i] \quad (3)$$

$\alpha$ 는 1보다 작으므로 충분히 큰 k에서

$$X[n] = D[n] + \sum_{i=1}^{k-1} (-\alpha)^i D[n-i] \quad (4)$$

을 만족하며, 이는 그림 10(d)의 FIR Filter로 구현할 수 있다. 따라서 일반적인 DFE가 비선형 특성이 있다면, 본 수신기에 적용된 이퀄라이저는 수신된 이전 신호의 크기에 비례하는 선형 이퀄라이저의 특성을 갖는다. 즉, n-1번째 데이터의 신호세기가 크면 n번째 데이터에 대한 보상량이 크고, 신호세기가 문턱 값 근처이면 보상량이 작다. 이는, 1-tap의 제한된 정보에서 데이터의 잘못된 판정을 피함으로써, DFE의 단점인 에러의 전파를 막을 수 있다.

#### IV. 시뮬레이션 결과

그림 11은 샘플링 주파수(Fs)를 2.0GS/s에서 2.5GS/s까지 증가시키면서, 1/2 Fs(Nyquist 주파수) 및 1/100 Fs의 입력 신호에 대한 SNDR과 ENOB를 나타낸 그림이다.

시리얼 링크 수신기에 응용되기 위해서는  $2 \times$  Nyquist 대역까지 안정적으로 동작하여야 한다. 본 ADC는 2.0GS/s까지 두 입력신호에 대하여 SNDR과 ENOB 특성의 차이가 없다. 이퀄라이저 ON모드에서는 2.0GS/s에서 0.8dB SNDR 손실이 발생하였으나, 이는 ISI제거를 위한 의도적인 왜곡에 의한 것이다.

8비트 출력을 캘리브레이션 및 radix 변환을 하였다. 캘리브레이션은 시험 신호를 인가하여 출력된 ADC의 결과값(8비트)을 입력값(5비트)에 대응시킨 lookup table를 이용하였다. 최대 DNL은  $\pm 0.4$ LSB, 최대 INL은  $\pm 0.2$  LSB임을 그림 12에서 확인할 수 있다. 각 단

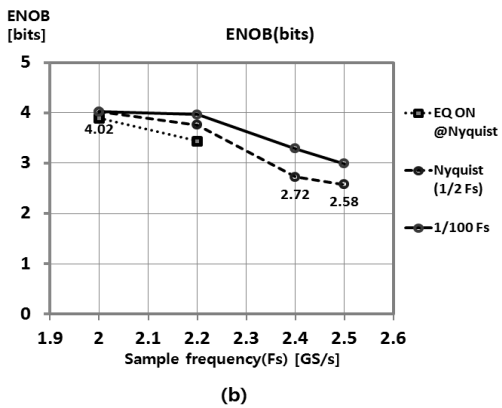
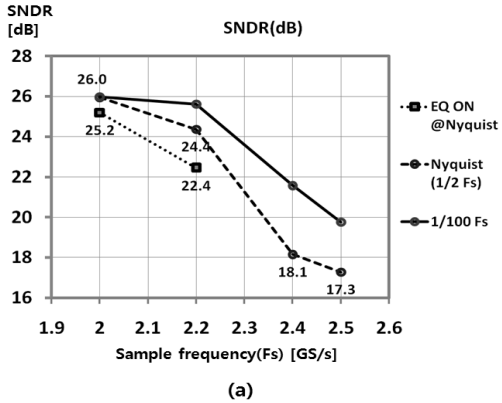


그림 11. (a) SNDR vs. Fs (b) ENOB vs. Fs  
Fig. 11. (a) SNDR vs. Fs (b) ENOB vs. Fs.

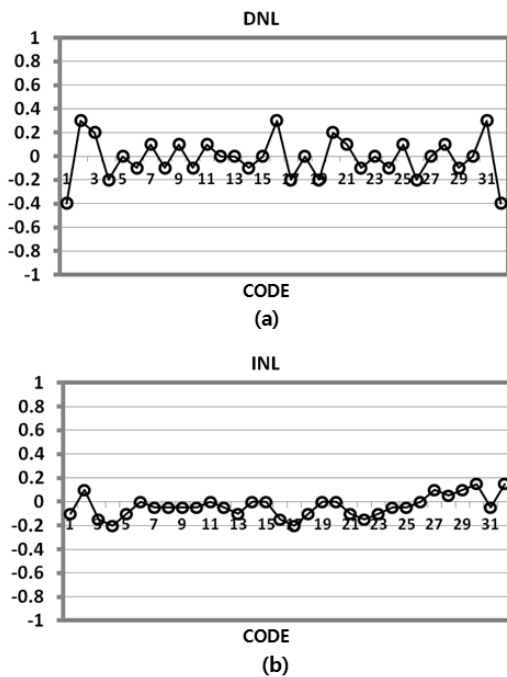


그림 12. (a) DNL (b) INL  
Fig. 12. (a) DNL (b) INL

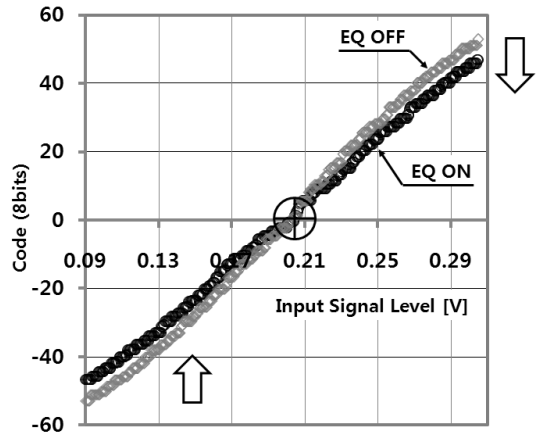


그림 13. Ramp 입력에 대한 ADC 출력값  
Fig. 13. ADC outputs for a ramp input signal.

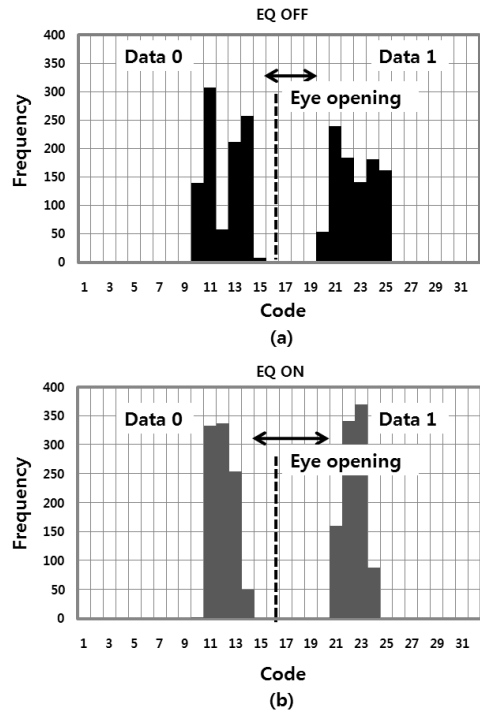


그림 14. (a) 이퀄라이저 OFF에서의 ADC출력  
(b)이퀄라이저 ON에서의 ADC출력  
Fig. 14. (a) ADC outputs with the equalizer OFF  
(b) ADC outputs with the equalizer ON.

마다 1-bit를 추출하기 때문에 code가 변할 때 마다 DNL 특성이 0을 중심으로 번갈아 변하게 된다.

그림 13은 ramp 입력에 대한 이퀄라이저 ON/OFF 모드에서의 출력 code이다. 두 직선의 code 차이가 입력신호세기에 따른 ISI 개선량이 된다. 신호 세기가 큰 양 끝 쪽에서 개선량은 최대가 되고, 문턱 값 근처에서

표 1. 고속 동작 ADC의 성능 표

Table 1. Performance Overview of High-speed ADCs.

Author Year	ADC Architecture	Fs (GS/s)	Resolution (bits)	SNDR (dB)	ENOB (bits)	Power (mW)	Input Cap. (fF)	Process [nm]	FOM
Choi[7] VLSI08	Flash	5	6	32	5	320	N/A	65	2
Nazemi [8] VLSI08	Time-Interleaved Open-Loop pipeline	10.3	6	36.6	5.8	1600	N/A	90	2.8
Varzaghani[5] ISSCC09	4Way-Time-Interleaved Pipeline	4.8 (1.2GHz/1 way)	5	30.4	4.76	300	104	130	2.3
This work	2Way-Time-Interleaved Pipeline	2.0 (1.0GHz/1 way)	5	26	4	91	90	110	2.55

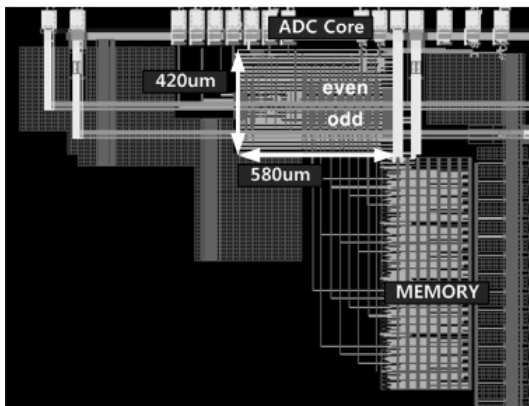


그림 15. ADC 기반의 수신기 전체 레이아웃  
Fig. 15. Layout of the ADC-based receiver.

는 작음을 확인하였다.

그림 14는 PRBS  $2^{16} - 1$ 의 데이터를 40-inch FR4 채널에 통과 시킨 후, ADC 출력 코드의 빈도수를 나타낸 것이다. 채널에서의 신호감쇄는 Nyquist 주파수인 1.0GHz에서 -7.6dB 수준이다. 이퀄라이저 모드 적용 시, 데이터 0, 1의 대표 값 부근의 빈도수가 증가하고, eye opening은 27.5mV에서 41.25mV로 개선됨을 확인하였다. 또한 ADC출력의 산포가 감소하여, 수신기 다음 단의 디지털 채널등화기의 부담을 줄일 수 있다.

그림 15는 ADC 기반의 수신기의 레이아웃이다. 채널 등화기를 포함하는 ADC 코어는  $0.58 \times 0.42mm^2$ 의 면적을 갖는다. 테스트를 위한 메모리 및 메모리 컨트롤 회로를 제외한 부분은 동작 전압 1.2-V, 2.0GS/s 조건에서 91mW의 전력을 소모한다.

$$FoM[pJ/conv - step] = \frac{Power}{2^{ENOB} \times Fs} \quad (5)$$

기존의 ADC 기반 수신기와의 특성 비교를 위해 식 (2)의 지표를 적용할 때, 2.0GHz에서 2.55pJ/conv-step을 얻었다. 지금까지 발표된 다른 고속 동작 ADC와의 특성 비교를 표 1에 정리하였다<sup>[5]</sup>.

## V. 결 론

본 논문에서는 채널의 신호 손실이 큰 칩 간의 고속 데이터 통신에 사용 가능한 ADC 기반의 수신기를 제안한다. 각각 1.0GS/s로 동작하는 8단 파이프라인 ADC를 2-way time interleaved 구조로 구성하여 2.0GS/s 동작이 가능하였다. 저전력, 고속 동작을 위하여 오픈-루프 전류 모드 ADC로 구성하였다. ADC 각 단의 트랜지스터를 최소한의 크기로 설계하여, ADC 코어의 면적은  $0.58 \times 0.42mm^2$ 이다. 5비트의 해상도를 갖고, 샘플링 주파수 2.0GS/s에서, Nyquist 주파수로 수신된 입력 신호에 대하여 SNDR 26dB를 얻었다. ADC 각 단에는 임베디드 채널 등화기를 내장하여, 대역 제한된 채널에 의한 ISI 손실을 효과적으로 보상하였다.

## 참 고 문 헌

- [1] M. Harwood, N. Warke, R. Simpson, T. Leslie, A. Amerasekera, S. Batty, D. Colman, E. Carr, V. Gopinathan, S. Hubbins, P. Hunt, A. Joy, P.



- Khandelwal, B. Killips, T. Krause, S. Lytollis, A. Pickering, M. Saxton, D. Sebastio, G. Swanson, A. Szczepanek, T. Ward, J. Williams, R. Williams, and T. Willwerth, "A 12.5 Gb/s serdes in 65 nm CMOS using a baud-rate ADC with digital receiver equalization and clock recovery" *IEEE ISSCC Dig. Tech Papers* pp. 436-591, Feb. 2007.
- [2] C.-K. K. Yang, V. Stojanovic, S. Modjtahedi, M. A. Horowitz, and W. F. Ellersick, "A serial-link transceiver based on 8-GSamples/s A/D and D/A converters in 0.25- $\mu\text{m}$  CMOS," *IEEE J. Solid-State Circuits*, vol. 36, no. 11, pp. 1684 - 1692, Nov. 2001.
- [3] E. Chen, C. K. Yang, "ADC-Based Serial I/O Receivers," *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 57, no. 9, pp. 2248-2258, Sept. 2010.
- [4] J. Cao, B. Zhang, U. Singh, D. Cui, A. Vasani, A. Garg, W. Zhang, N. Kocaman, D. Pi, B. Raghavan, H. Pan, I. Fujimori, A. Momtaz, "21.7 A 500mW digitally calibrated AFE in 65nm CMOS for 10Gb/s serial links over backplane and multimode fiber," *IEEE ISSCC Dig. Tech Papers*, pp. 370-371, Feb. 2009.
- [5] A. Varzaghani, C.-K.K. Yang, "A 4.8 GS/s 5-bit ADC-Based Receiver With Embedded DFE for Signal Equalization," *Solid-State Circuits, IEEE Journal of*, vol. 44, no. 3, pp. 901-915, March 2009.
- [6] K. Poulton, R. Neff, A. Muto, W. Liu, A. Burstein, M. Heshami, "A 4GSample/s 8b ADC in 0.35 $\mu\text{m}$  CMOS," *IEEE ISSCC Dig. Tech Papers*, pp. 126-434, 2002.
- [7] M. Choi, J. Lee, J. Lee, H. Son, "A 6-bit 5-GSample/s Nyquist A/D converter in 65nm CMOS" *VLSI Circuits, 2008 IEEE Symposium on*, pp.16-17, June, 2008.
- [8] A. Nazemi, C. Grace, L. Lewyn, B. Kobeissy, O. Agazzi, P. Voois, C. Abidin, G. Eaton, M. Kargar, C. Marquez, S. Ramprasad, F. Bollo, V.A. Posse, S. Wang, G. Asmanis, "A 10.3GS/s 6bit (5.1 ENOB at Nyquist) time-interleaved/pipelined ADC using open-loop amplifiers and digital calibration in 90nm CMOS" *VLSI Circuits, 2008 IEEE Symposium on*, pp. 18-19, June, 2008.

저 자 소 개



문 종 호(정회원)  
2004년 연세대학교 전기전자  
공학부 학사 졸업  
2004년~현재 삼성전자(주)  
DRAM설계팀 선임연구원  
2011년~현재 성균관대학교  
반도체디스플레이공학과  
석사과정

<주관심분야 : High-speed serial link, 아날로그/  
디지털 Mixed mode 설계, DRAM Core 설계>



정 우 철(학생회원)  
2012년 성균관대학교 반도체  
시스템공학과 학사 졸업  
2012년~현재 성균관대학교  
반도체디스플레이공학과  
석사과정

<주관심분야 : High-speed serial link, 아날로그/  
디지털 Mixed mode 설계>



김 진 태(정회원)-교신저자  
1997년 서울대학교 전기공학부  
학사 졸업  
2004년 University of California  
전기공학부 석사 졸업  
2008년 University of California  
전기공학부 박사 졸업

2012년~현재 건국대학교 전자공학부 조교수  
<주관심분야 : 데이터 컨버터, 주파수 합성기,  
CMOS 온도센서 설계, 아날로그 설계 자동화>



권 기 원(정회원)  
2001년 Stanford Univ.  
재료공학과 박사 졸업.  
2001년~2006년 삼성전자(주)  
DRAM개발실 수석연구원  
2007년~현재 성균관대학교  
정보통신공학부 부교수

<주관심분야 : 메모리IP, 아날로그/디지털 Mixed  
mode 설계>



전 영 현(평생회원)  
1984년 한양대학교 전자공학과  
학사 졸업  
1986년 한국과학기술원(KAIST)  
전기 및 전자공학과 석사  
졸업  
1989년 한국과학기술원(KAIST)  
전기 및 전자공학과 박사  
졸업

1990년~1991년 University of Illinois,  
Coordinated Science Lab. 연구원  
2011년~현재 삼성전자(주) 반도체사업부  
Flash 개발실장  
<주관심분야 : 초고속 메모리 설계, 고속 I/O  
Interface 설계>



전 정 훈(정회원)  
2006년 Stanford Univ.  
전기공학과 박사 졸업.  
2006년~2008년 Rambus Inc.  
2008년~현재 성균관대학교  
정보통신공학부 부교수

<주관심분야 : High-speed serial link,  
Mixed-signal 설계, ESD 및 신뢰성 연구>