

논문 2012-49-12-21

# 터널링 전계효과 트랜지스터의 불순물 분포 변동 효과

## ( Random Dopant Fluctuation Effects of Tunneling Field-Effect Transistors (TFETs) )

장 정 식\*, 이 현 국\*\*, 최 우 영\*\*\*

( Jung-Shik Jang, Hyun Kook Lee, and Woo Young Choi )

### 요 약

3차원 시뮬레이션을 이용하여 터널링 전계효과 트랜지스터(TFET)의 불순물 분포 변동(RDF) 효과에 대해 살펴보았다. TFET의 RDF 효과는 매우 낮은 바디 도핑 농도 때문에 많이 논의되지 않았다. 하지만 본 논문에서는 임의로 생성되고 분포되는 소스 불순물이 TFET의 문턱전압 ( $V_{th}$ )과 드레인 유기 전류 증가 (DICE), 문턱전압이하 기울기 (SS)의 변화를 증가시키는 것을 발견하였다. 또한, TFET의 RDF 효과를 감소시킬 수 있는 몇 가지 방법을 제시하였다.

### Abstract

The random dopant fluctuation (RDF) effects of tunneling field-effect transistors (TFETs) have been observed by using atomistic 3-D device simulation. Due to extremely low body doping concentration, the RDF effects of TFETs have not been seriously investigated. However, in this paper, it has been found that the randomly generated and distributed source dopants increase the variation of threshold voltage ( $V_{th}$ ), drain induced current enhancement (DICE) and subthreshold slope (SS) of TFETs. Also, some ways of relieving the RDF effects of TFETs have been presented.

**Keywords** : Random dopant fluctuation (RDF), drain induced current enhancement (DICE), subthreshold slope (SS), threshold voltage ( $V_{th}$ ), tunneling field-effect transistors (TFETs).

\* 정회원, SK 하이닉스  
(SK Hynix)

\*\* 학생회원, \*\*\* 평생회원, 서강대학교 전자공학과  
(Department of Electronic Engineering, Sogang University)

※ This work was supported in part by the National Research Foundation (NRF) of Korea funded by the Ministry of Education, Science and Technology (MEST) under Grant 2012-031149 (Mid-Career Researcher Program), in part by the Ministry of Knowledge Economy (MKE) of Korea under Grant NIPA-2012-H0301-12-1007 (University ITRC support program supervised by the National IT Industry Promotion Agency) and in part by the IT R&D program of MKE/KEIT under Grant 10039174 (Technology Development of 22nm level Foundry Device and PDK).

접수일자: 2012년7월23일, 수정완료일: 2012년11월24일

## I. 서 론

트랜지스터의 스케일링이 진행되면서 성능 향상과 더불어 낮은 전력 소모가 중요하게 되었다. 그러기 위해서는 낮은 공급 전압에서 높은 on 전류와 낮은 off 전류가 필요하게 된다. 이러한 요구 조건을 충족시키기 위해 가장 각광받는 해결책 중의 하나인 터널링 전계효과 트랜지스터 (TFET)는 낮은 문턱전압이하 기울기 (SS)로 인해 연구자들로부터 많은 관심을 끌어들였다.<sup>[1~5]</sup> TFET은 MOSFET에 비해 낮은 바디 농도를 가지고 있기 때문에 지금까지 TFET의 불순물 분포 변동 (RDF) 효과는 MOSFET의 그것에 비해 덜 심각한 문제로 여겨져 왔다. 하지만 이것은 TFET이 MOSFET과 완전히 다른 소스 캐리어 주입 방식을 가지고 있다는

사실을 간과한 상태에서 내린 성급한 결론이다. TFET은 band-to-band tunneling 방식을 사용하기 때문에 소스와 채널 사이의 접합이 중요하다. 이것은 TFET에서 소스 도핑 농도 ( $N_s$ )의 변화가 바디 도핑 농도의 변화만큼 중요하다는 것을 의미하며 최근에 이러한 현상은 [6], [7]에서 보고된바 있다. 본 논문에서는 TFET의 문턱전압 ( $V_{th}$ )과 드레인 유기 전류 증가 (DICE)<sup>[8]</sup>, 문턱전압이하 기울기 (SS)의 변화를 RDF 관점에서 살펴보았다.

## II. 본 론

### 1. 시뮬레이션 및 결과

RDF 효과를 평가하기 위해 Synopsys의 Sentaurus<sup>[9]</sup>를 이용하여 3차원 atomistic drift-diffusion device 시뮬레이션을 수행하였으며, 정확도 향상을 위해 bandgap narrowing 효과와 non-local band-to-band tunneling 모델이 포함되었다.<sup>[10]</sup> 시뮬레이션에 사용된 소자 파라미터는 표 1에 있는 조건과 같다. 바디 도핑은 균일하게 설정하였으며, 소스와 드레인의 도핑은 게이트 가장자리 부분에서부터 2 nm/decade씩 감소하도록 설정하여 게이트 전극 아래에도 소스와 드레인의 불순물이 존재하도록 한다. 임의로 분포되는 불순물들을 효과적으로 생성시키기 위해 소자 시뮬레이션은 RDF 효과가 적용되지 않은 구조에서부터 시작하며, cloud-in-cell 기술을 이용함으로써 각 메시 지점에서의 nominal 도핑 농도에 기반하여 불순물들이 직접적으로 임의로 추출된다.<sup>[11]</sup> 이러한 과정에 의해 한 개의 nominal 도핑 프로

표 1. 시뮬레이션에 사용된 시뮬레이션 파라미터  
Table 1. Simulation parameters used in simulation.

Device structure	Double-gate fin structure
Gate length	22 nm
Gate oxide thickness	1 nm (SiO <sub>2</sub> )
Fin width	20 nm
Fin height	20 nm
Peak nominal source doping concentration	10 <sup>20</sup> cm <sup>-3</sup> (p-type)
Nominal body doping	10 <sup>15</sup> cm <sup>-3</sup> (p-type)
Peak nominal drain doping concentration	10 <sup>20</sup> cm <sup>-3</sup> (n-type)
Source/drain doping gradient from gate	2 nm/dec

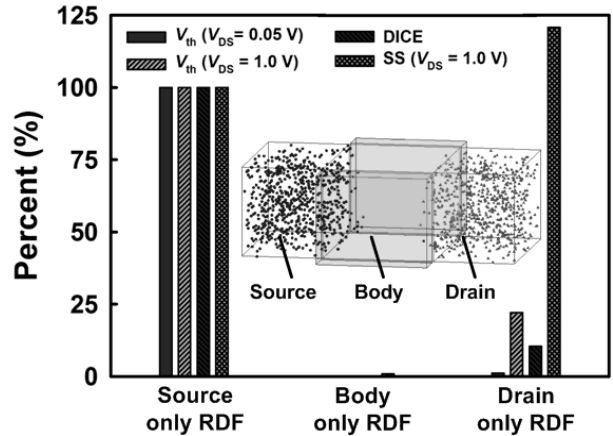


그림 1. 시뮬레이션된 TFET에서 소스 영역만, 바디 영역만, 드레인 영역만 RDF를 수행한 경우의  $V_{th}$ , DICE, SS의 변화. 삽화는 22nm 이중 게이트 fin 구조의 TFET 안의 불순물 위치.

Fig. 1. Variation of  $V_{th}$ , DICE and SS in the case of source, body and drain only RDF in simulated TFETs. Inset figure shows the location of dopants in 22nm TFET with double-gate fin structure.

파일로부터 200개의 임의의 도핑 프로파일이 생성되는데, 이들은  $V_{th}$ 와 DICE, SS를 평가하기 위해 다시 소자 시뮬레이터로 피드백 된다.

그림 1은 TFET에서 소스 영역만, 바디 영역만, 드레인 영역만 RDF를 수행한 경우에 따른  $V_{th}$ , DICE, SS의 변화를 보여준다. 각 영역에서의 변화량을 소스 영역만 RDF를 수행한 경우의 변화량과 비교를 하였는데, 소스 불순물들에 의해 유도된 RDF 효과가 TFET에서 발생하는  $V_{th}$  변화에 거의 대부분 영향을 미치는 것을 알 수 있다. 또한 그림 1에서 볼 수 있듯이 대부분의 불순물들은 소스와 드레인 영역에 위치하는 반면 바디 영역은 낮은 농도로 도핑이 되어있기 때문에 불순물들이 거의 존재 하지 않는다. 그렇기 때문에 그림 1은 바디 불순물들에 의해 유발된 RDF 효과가 매우 약하다는 것을 보여준다. 또한 소스 영역의 도핑은 드레인 영역과 같지만, 소스 영역에서의 RDF 효과는 드레인 영역에서보다  $V_{th}$ 와 DICE 변화에 더 큰 영향을 끼친다는 점에 주목해야 한다. 이것은 TFET의 on 전류가 소스와 바디 영역 사이의 터널링 접합에 의해 주로 결정되기 때문이며, 오직 SS 변화의 경우에 대해서만 이극성 특성에 의해 드레인 불순물이 더 큰 영향을 끼치게 된다. 이극성 특성은 게이트-드레인 영역이 겹치는 부분을 조정하거나<sup>[12]</sup>, 드레인 도핑을 줄임으로써<sup>[13]</sup> 완화시킬 수 있기

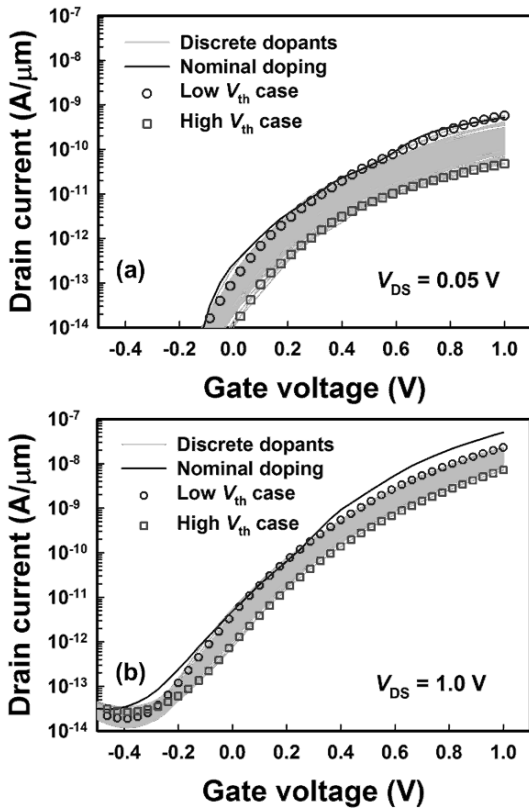


그림 2. 소스 불순물들이 생성되고 분포되었을 때, (a) 낮은  $V_{DS}$ , (b) 높은  $V_{DS}$ 에서의 전달 곡선.  
Fig. 2. The transfer curve of (a) low and (b) high  $V_{DS}$  case when only source dopants are randomly generated and distributed.

때문에 지금부터는 소스 불순물 변화에 따른 RDF 효과에 대해서만 논의를 진행하려 한다.

그림 2는 소스 불순물들이 임의로 생성되고 분포되었을 때의 TFET의 전달 곡선을 보여준다.  $V_{th}$ 는 소스 도핑 변화에 영향을 받으며  $V_{th}$  변화는 소스-드레인간 전압( $V_{DS}$ )이 증가할수록 줄어드는 것을 확인할 수 있다. 첫째로,  $V_{th}$ 의 소스 도핑 변화에 대한 의존성은 터널링 접합 근처의 소스 불순물들에 의해 설명된다. 그림 3 (a)는 그림 2에서 묘사된 낮은  $V_{th}$ 와 높은  $V_{th}$ 에서의 소스 불순물의 숫자를 보여준다. 그림 3 (a)에서 볼 수 있듯이 터널링 접합의 소스 부분에서는 낮은  $V_{th}$ 에서의 불순물 숫자가 높은  $V_{th}$ 에서의 불순물 숫자보다 높다. 또한 터널링 접합의 채널 부분에서는 낮은  $V_{th}$ 에서의 불순물 숫자가 높은  $V_{th}$ 에서보다 낮다. 그렇기 때문에 높은  $V_{th}$ 에서보다 낮은  $V_{th}$ 에서 소스 도핑 농도가 더 높고, 소스와 바디 접합이 더 가파르게 되며 이것은 그림 3 (a)의 삽화에서와 같이 터널링 장벽 두께 ( $W_{tun}$ )를 좁게 만드는 결과를 가져온다.

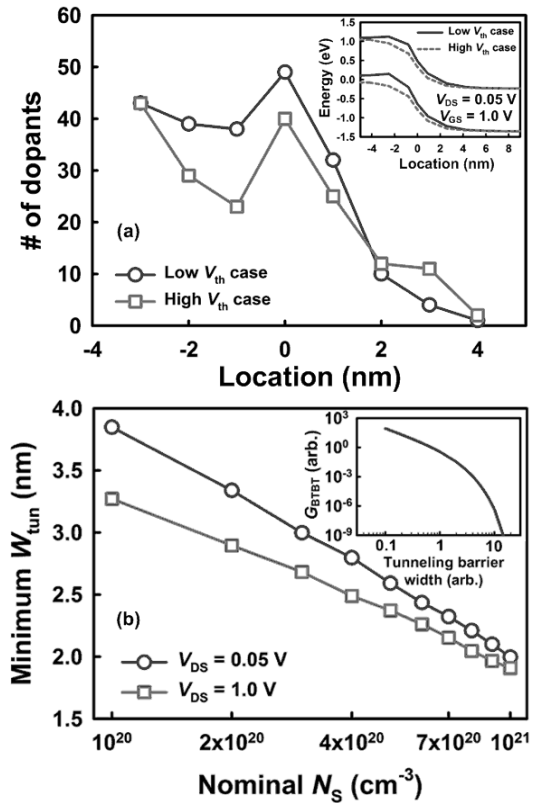


그림 3. (a) 소스 도핑 위치에 따른 낮은  $V_{th}$ 와 높은  $V_{th}$ 에서의 소스 불순물 개수. 위치는 소스 쪽 게이트 가장자리 부분을 가리킴. 삽화는 낮은  $V_{DS}$ 에서 낮은  $V_{th}$ 와 높은  $V_{th}$ 일 때의 에너지 밴드 다이어그램. (b) 낮은  $V_{th}$ 와 높은  $V_{th}$ 에서의  $N_S$ 에 따른  $W_{tun}$ 의 최소값. 삽화는  $W_{tun}$ 에 대한  $G_{BTBT}$ .  
Fig. 3. (a) Number of source dopants in low and high  $V_{th}$  case with respect to source dopant location. Location refers to the source-side gate edge. The inset represents the energy band diagram of both low and high  $V_{th}$  case at low  $V_{DS}$ . (b) Minimum  $W_{tun}$  of both low and high  $V_{th}$  case with respect to nominal  $N_S$ . The inset represents the  $G_{BTBT}$  with respect to  $W_{tun}$ .

둘째로, 그림 2에서 볼 수 있듯이 낮은  $V_{DS}$ 에서의  $V_{th}$  변화는 높은  $V_{DS}$ 에서의 변화보다 크다. 이러한 결과가 나타나는 이유는 그림 3 (b)에서 설명되는데, 소스 불순물이 임의로 생성되고 분포될 때 최대 도핑농도의 범위는  $10^{20}$ 와  $10^{21} \text{ cm}^{-3}$  사이에서 나타난다. 그림 3 (b)에서 볼 수 있듯이  $W_{tun}$ 은  $N_S$ 가 증가할수록 감소하고, 낮은  $V_{DS}$ 에서의  $W_{tun}$  변화는 높은  $V_{DS}$ 에서보다 훨씬 증가하게 되는데, 그 이유는 높은  $V_{DS}$ 가 DICE를 유도하여 채널 전위를 높이고  $W_{tun}$ 을 줄이기 때문이다. 추가적으로 Kane's 모델<sup>[14]</sup>의 band-to-band tunneling generation rate ( $G_{BTBT}$ )에 따르면,  $G_{BTBT}$ 의 감소율은

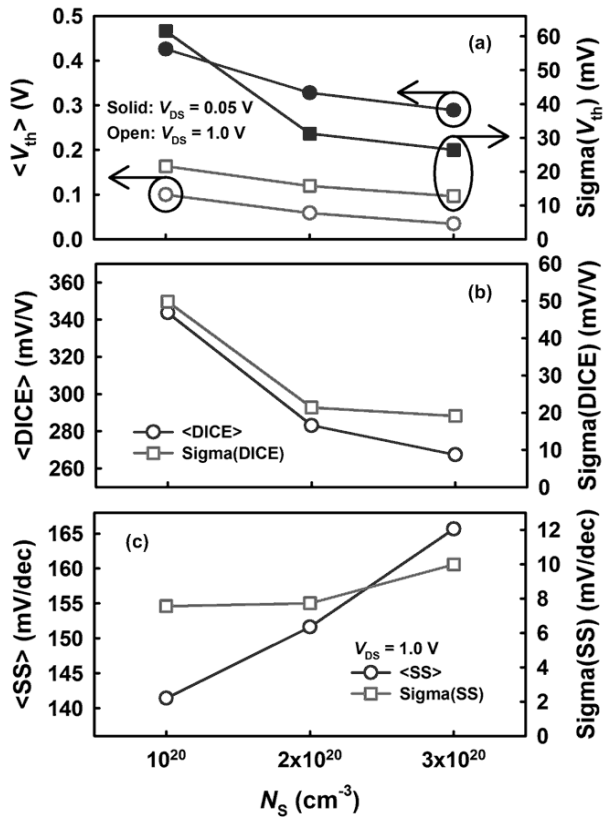


그림 4. (a)  $N_s$ 에 따른 TFET의 (a)  $V_{th}$ , (b) DICE, (c) SS의 변화.

Fig. 4. (a)  $V_{th}$  variation (b) DICE variation and (c) SS variation of TFETs with respect to  $N_s$ .

그림 3 (b)의 삽화에서 볼 수 있듯이  $W_{tun}$ 이 증가할수록 증가한다. 이것은  $W_{tun}$ 이 커질수록  $V_{th}$  변화도 증가한다는 것을 의미한다. 따라서 도핑 농도가  $\sim 10^{20}$  cm<sup>-3</sup>인 위치 부근에서는 높은  $V_{DS}$ 에서보다 낮은  $V_{DS}$ 에서 터널링 전류가 더 급격히 감소한다. 또한 낮은  $V_{DS}$ 에서의  $V_{th}$  변화는 높은  $V_{DS}$ 에서보다 더 심각한데, 이것은 TFET이 낮은 구동 전압 응용을 위한 소자이기 때문에 문제가 되기 때문에 TFET의 RDF 효과를 억제하는 것이 필요하다.

TFET의  $V_{th}$ 와 DICE, SS의 변화를  $N_s$  최대값 변화에 따라 살펴보았다. 그림 4 (a)는  $V_{th}$ 의 평균값과 이들의 변화를 보여주는데, 그림 3 (b)에서 논의된 바와 같이  $N_s$ 가 증가할수록  $W_{tun}$ 은 줄어들며,  $V_{th}$  분포도 더 좁아진다.  $W_{tun}$ 이 작아질수록 터널링 전류가 증가하기 때문에 이것 또한  $V_{th}$  평균값을 낮추는 효과를 가져온다. 그림 4 (b)는 DICE의 평균값과 이들의 변화를 보여준다. 낮은  $V_{DS}$ 에서와 높은  $V_{DS}$ 에서의  $W_{tun}$  차이는 그림 3 (b)에서와 같이  $N_s$ 가 증가할수록 감소한다. 따라

서  $N_s$ 가 증가할수록 DICE 평균값도 감소하며,  $N_s$ 가 증가할수록 작은  $W_{tun}$ 과  $V_{th}$  변화는 DICE 변화를 완화한다. 그림 4 (c)는 SS의 평균값과 이들의 변화를 보여준다.  $G_{BTBT}$ 의 증가율은  $W_{tun}$ 이 작아질수록 감소하게 되는데, SS는 이러한  $G_{BTBT}$ 의 증가율에 반비례하기 때문에  $N_s$ 가 증가할수록 SS의 평균값은 증가한다. 작은 SS의 변화는 그림 3 (a)에서 보여 지듯이 중첩된 영역에서의 소스 도핑 농도가 증가함에 따라 발생하게 된다.

### III. 결론

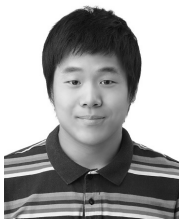
TFET의 터널링 전류는 소스와 바디 사이의 터널링 접합에 의해 결정되기 때문에 TFET의 RDF 효과는 소스 불순물에 의해 유도된다. 그리고 RDF 효과는 공급 전압이 낮아질수록 더 심각해진다는 것을 보였다. 그러므로 TFET이 차세대 소자의 요건을 충족시키기 위해서는 RDF 효과가 억제되어야 하며, TFET의  $N_s$ 를 증가시키는 것이 해결책 중의 하나라고 할 수 있다.

### 참고 문헌

- [1] W. Y. Choi, B.-G. Park, J. D. Lee, and T.-J. K. Liu, "Tunneling field-effect transistors (TFETs) with subthreshold swing (SS) less than 60 mV/dec," *IEEE Electron Device Lett.*, vol. 28, no. 8, pp. 743-745, Aug. 2007.
- [2] V. Nagavarapu, R. Jhaveri, and J. C. S. Woo, "The tunnel source (PNPN) n-MOSFET: a novel high performance transistor," *IEEE Trans. Electron Devices*, vol. 55, no. 4, pp. 1013-1019, Apr. 2008.
- [3] W. Y. Choi and W. Lee, "Hetero-gate-dielectric tunneling field-effect transistors," *IEEE Trans. Electron Devices*, vol. 57, no. 9, pp. 2317-2319, Sep. 2010.
- [4] Q. Zhang, W. Zhao, and A. Seabaugh, "Low-subthreshold-swing tunnel transistors," *IEEE Electron Device Lett.*, vol. 27, no. 4, pp. 297-300, Apr. 2006.
- [5] K. K. Bhuiwarka, J. Schulze, and I. Eisele, "Scaling the vertical tunnel FET with tunnel bandgap modulation and gate workfunction engineering," *IEEE Trans. Electron Devices*, vol. 52, no. 5, pp. 909-917, May. 2005.
- [6] N. Damrongplasit, C. Shin, S. H. Kim, R. A.

- Vega, and T.-J. K. Liu, "Study of Random Dopant Fluctuation Effects in Germanium-Source Tunnel FETs," *IEEE Trans. Electron Devices*, vol. 58, no. 10, pp. 3541-3548, Oct. 2011.
- [7] U. E. Avci, R. Rios, K. Kuhn, and I. A. Young, "Comparison of Performance, Switching Energy and Process Variations for the TFET and MOSFET in Logic," in *Symp. on VLSI Tech.*, 2011, pp. 124-125.
- [8] W. Y. Choi, J. Y. Song, J. D. Lee, Y. J. Park, and B. -G. Park, "A novel biasing scheme for I-MOS (impact-ionization MOS) devices," *IEEE Trans. Nano tech.*, vol. 4, no. 3, pp. 322-325, May. 2005.
- [9] *Sentaurus Device User Guide Version : E-2010. 12*, Synopsys, 2010.
- [10] E. O. Kane, "Theory of tunneling," *J. Appl. Phys.*, vol. 32, no. 1, pp. 83-91, Jan. 1961.
- [11] D. Vasileska, S. M. Goodnick, and G. Klimeck, *Computational Electronics*. Florida : CRC Press, 2010, ch. 6.
- [12] A. S. Verhulst, W. G. Vandenberghe, K. Maex, and G. Groeseneken, "Tunnel field-effect transistor without gate-drain overlap," *Appl. Phys. Lett.*, vol. 91, no. 5, p. 053102, Jul. 2007.
- [13] T. Krishnamohan, D. Kim, S. Raghunathan, and K. Saraswat, "Double-gate strained-Ge heterostructure tunneling FET (TFET) with record high drive currents and < 60mV/dec subthreshold slope," in *IEDM Tech Dig.*, 2008, pp. 947-949.
- [14] E. O. Kane, "Zener tunneling in semiconductors," *J. Phys. Chem Solids*, vol. 12, no. 2, pp. 181-188, Jan. 1960.

— 저 자 소 개 —



장 정 식(정회원)  
2010년 서강대학교 전자공학과  
학사 졸업.  
2012년 서강대학교 전자공학과  
석사 졸업.  
2012년~현재 SK하이닉스  
선임연구원.

<주관심분야 : Tunneling field-effect transistors,  
flash memory devices>



이 현 국(학생회원)  
2012년 서강대학교 전자공학과  
학사 졸업.  
2012년~현재 서강대학교  
전자공학과 석사과정.

<주관심분야 : CMOS or CMOS-compatible  
semiconductor devices.>



최 우 영(평생회원)-교신저자  
2000년 서울대학교 전기공학부  
학사 졸업.  
2002년 서울대학교 전기컴퓨터  
공학부 석사 졸업.  
2006년 서울대학교 전기컴퓨터  
공학부 박사 졸업.

2006년 미국 UC Berkeley 방문연구원.  
2007년~2008년 미국 UC Berkeley 박사후연구원.  
2008년~현재 서강대학교 전자공학과 부교수.  
<주관심분야 : CMOS or CMOS-compatible  
semiconductor devices, nano-electromechanical  
relays and memory cells>