

논문 2012-49-12-8

무선랜 시스템을 위한 계산이 간단한 초기 동기부 설계

(Design of a computationally efficient frame synchronization scheme for wireless LAN systems)

조준범*, 이종협**, 한진우***, 유연상***, 오혁준*

(Jun-Beom Cho, Jong-Hyup Lee, Jin-Woo Han, Yeon-Sang You, and Hyok-Jun Oh)

요약

주파수 오프셋 보상, 프레임 동기화, Timing Recovery를 포함하는 동기화는 모든 유/무선 통신 시스템에서 가장 중요한 신호 처리 블록이다. 대부분의 통신 시스템에서는 Training sequences 또는 프리앰블을 기반으로 하는 동기화 방법이 사용된다. IEEE에서 제정한 802.11a/g/n의 무선랜 표준은 OFDM 시스템을 기반으로 한다. OFDM 시스템은 주파수와 타이밍 동기화 에러에 대해서 싱글캐리어 시스템보다 더 민감한 것으로 알려져 있다. 프레임의 시작점과 OFDM 심볼 및 훈련심볼의 시작점은 상관관계를 이용하여 추정될 수 있다. 상관관계를 처리 기능을 하는 블록은 일반적으로 많은 수의 곱셈기로 인하여 큰 복잡도를 갖게 된다. 본 논문에서는 IEEE 802.11a/g/n 시스템을 위한 훈련심볼 내의 심볼값이 반복되는 특성을 활용한 복잡도가 현저히 낮은 동기화 기법을 제안한다. 시뮬레이션과 구현결과 제안된 기법이 기존의 방법보다 성능저하는 없는 반면 훨씬 적은 복잡도를 갖는 결과를 보여준다.

Abstract

Synchronization including timing recovery, frequency offset compensation, and frame synchronization is most important signal processing block in all wireless/wired communication systems. In most communication systems, synchronization schemes based on training sequences or preambles are used. WLAN standards of 802.11a/g/n released by IEEE are based on OFDM systems. OFDM systems are known to be much more sensitive to frequency and timing synchronization errors than single carrier systems. A loss of orthogonality between the multiplexed subcarriers can result in severe performance degradations. The starting position of the frame and the beginning of the symbol and training symbol can be estimated using correlation methods. Correlation processing functionality is usually complex because of large number of multipliers in implementation especially when the reference signal is non-binary. In this paper, a simple correlation based synchronization scheme is proposed for IEEE 802.11a/g/n systems. Existing property of a periodicity in the training symbols are exploited. Simulation and implementation results show that the proposed method has much smaller complexity without any performance degradation than the existing schemes.

Keywords : IEEE802.11, Symbol Timing Offset, Frame Synchronization

* 정회원, 광운대학교 전자통신공학과

(Department of Electronic Communication Engineering, Kwangwoon University)

** 정회원, 광운대학교 임베디드 S/W공학과

(Department of Embedded S/W Engineering, Kwangwoon University)

*** 정회원, LIG 넥스원

(LIG Nex1)

※ 본 논문은 일부분 지식경제부 출연금으로 수행한 ETRI SW-SoC융합 R&BD센터와의 공동연구 결과입니다.
접수일자: 2012년8월31일, 수정완료일: 2012년11월26일

I. 서 론

OFDM은 고속의 정보를 여러 개의 부반송파에 분할하여 전송하므로 단일 반송파 전송방식에 비해 심볼의 길이가 길어 지연확산으로 인한 심볼간 간섭을 최소화할 수 있다. 또한, 다수의 부반송파에 정보신호를 분산하여 전송하므로 주파수 선택적 페이딩이 각 부채널에서는 Flat Fading으로 나타나므로 복잡도가 낮은 One-tap 등화기를 이용하여 등화가 가능하게 된다.

IEEE에서 제정한 802.11a/g/n은 데이터를 패킷 또는 프레임(Packet or Frame) 단위로 통신이 이루어지며 각 패킷에는 미리 알려진 훈련심볼을 전송하여 OFDM 심볼의 시작점을 찾아낸다. 전송된 Preamble의 훈련심볼과 수신신호의 Cross-Correlation을 이용하여 OFDM 심볼의 시작점을 찾게 되는데, 이러한 OFDM 심볼의 시작점을 찾는 것은 매우 중요하게 여겨진다. 수신된 OFDM 신호의 심볼 시작점을 잘못 찾게되면 전체적인 시스템 성능 열화를 유발하는 요인이 될 수 있다. 전체 시스템의 성능에 있어서 매우 중요한 부분을 차지하는 이러한 모듈은 상당한 복잡도를 갖고 있다. 심볼의 시작점을 찾기 위한 연산으로 Cross-Correlation 동작을 하게 되는데 이 동작은 반복되는 훈련심볼들의 길이에 비례하여 복소수 곱이 적용되면서 큰 복잡도를 갖게 된다. 본 논문에서는 이러한 복소수 곱의 수를 훈련심볼의 특성을 이용하여 최대한 줄임으로써 효율적인 복잡도를 가지는 구조의 설계를 제안한다. 또한 IEEE 802.11n 시스템에 적용하여 기존에 사용되던 Cross-Correlation 방법과 제안한 방법을 비교 분석하였다.

II. OFDM 시스템의 동기화 영향

OFDM을 사용하는 중요한 이유 가운데 하나는 OFDM이 다중경로 확산을 효율적으로 다룰 수 있기 때문이다. ISI를 제거하기 위해 보호구간을 각 OFDM 심볼에 삽입한다. 보호구간은 예상되는 채널지연확산보다 길게 선택하여 이전 심볼로부터의 다중경로 성분이 현재 심볼에 간섭을 주지 않도록 한다. 이러한 보호구간은 OFDM 각각의 채널의 직교성을 유지하기 위하여 Cyclic Prefix를 사용한다. Cyclic Prefix는 OFDM 심볼의 마지막 일정 샘플을 심볼 앞에 복사하여 삽입하므로

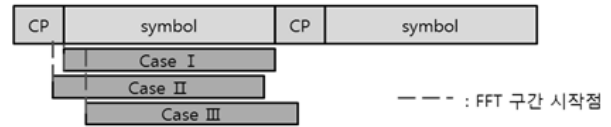


그림 1 심볼 타이밍 오프셋
Fig. 1. Symbol timing offset.

서 직교성을 유지하게 해준다. 이러한 OFDM 시스템에서는 심볼의 직교성을 유지하기 위하여 시작점을 정확하게 찾아내어 FFT를 수행하는 것이 매우 중요하다. 수신단에 OFDM 심볼의 시작점을 잘 못 찾아내게 되면 전체 시스템에 큰 성능 열화를 가져오게 된다.

그림 1은 심볼 타이밍 오프셋의 세가지 경우를 나타내고 있다. 수신단에서 OFDM 심볼의 시작점을 찾아내고 그 시작점을 기준으로 FFT를 수행하게 되는 데 이때 찾아낸 심볼의 시작점에 따른 영향은 매우 다르게 나타난다. 우선 첫 번째는 수신단에서 OFDM의 심볼 시작점을 정확하게 찾아낸 경우이다. 이 경우에는 OFDM 심볼에 ISI와 ICI가 발생하지 않고 정확한 복조가 가능해진다. 두 번째는 수신단에서 찾아낸 OFDM 심볼의 시작점이 Cyclic Prefix내에 위치하는 경우이다. 이러한 경우에는 심볼간의 간섭이 생기지 않지만 Timing offset에 의한 Phase Error가 발생하게 된다. 마지막으로 수신단에서 찾아낸 OFDM 심볼의 시작점이 OFDM 심볼 내에 위치하는 경우인데, 이 경우에는 다음 심볼과 FFT 구간이 겹치게 되므로 심볼간 간섭이 생겨 복조가 불가능하게 된다.

그림 2에 나타난 정상도는 그림 1에 나타난 각각의 경우에 대한 FFT 정상도를 보여주고 있다. 각각 (a), (b), (c)에서 보여주듯이 정확한 시작점을 찾았을 경우에는 정상도가 정확히 찍히는 것을 확인할 수 있고, Cyclic Prefix 내에 시작점이 있을 경우에는 Phase Error가 나타나는 것을 확인할 수 있다. 이러한 Phase Error는 등화기(Equalizer)와 Phase Offset 블록으로 보상 후 복호가 가능하다. 하지만 OFDM 심볼 내에 시작점이 있는 경우에는 심볼간 간섭으로 인하여 FFT 이후의 정상도에서도 완전히 깨져서 나타나는 것을 확인할 수 있다. 이런 경우에는 이후에 복호가 불가능하게 된다. 이처럼 OFDM 시스템은 심볼의 시작점을 정확하게 찾아내는 것이 시스템의 전체 성능을 좌우하는 중요한 좌표가 된다.

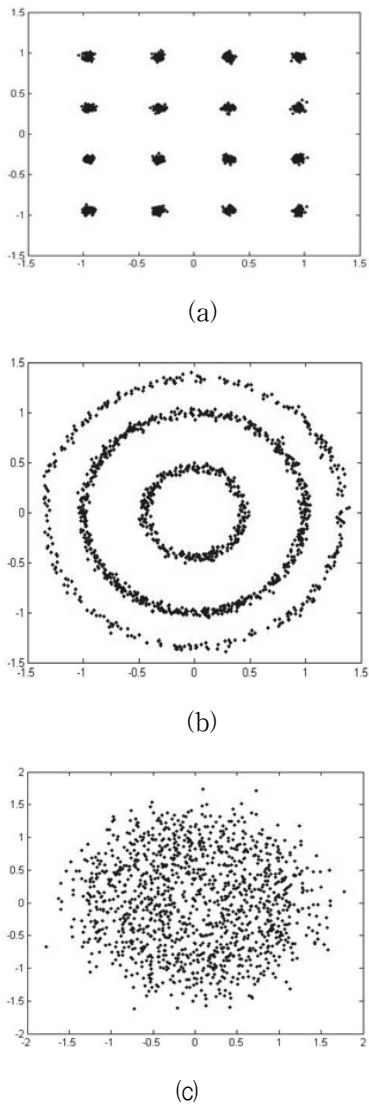


그림 2. FFT 성상도
 (a) Case I (b) Case II (c) Case III
 Fig. 2. FFT Constellation.
 (a) Case I (b) Case II (c) Case III

III. IEEE 802.11a/g/n WLAN

1. IEEE 802.11 표준

OFDM 방식을 사용하는 IEEE 802.11a/g/n 에서는 20MHz 대역폭을 기준으로 총 52개의 부반송파(4개의 파일럿 부반송파 포함)를 사용하여 6, 9, 12, 18, 24, 36, 48, 54 Mbps의 가변 전송률을 제공하며, 이를 위해 BPSK, QPSK, 16-QAM, 64-QAM의 다양한 변조방식과 부호율 1/2, 2/3, 3/4의 컨볼루션 부호를 사용한다. 또한 옥내환경에서의 다중경로 지연을 고려하여 보호

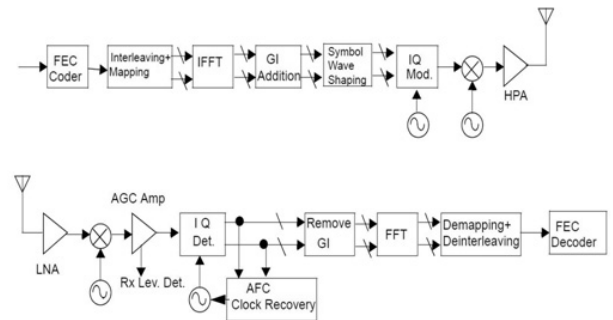


그림 3. 1송수신기의 블록다이어그램
 Fig. 3. Transmitter and receiver block diagram for the OFDM PHY.

구간을 $0.8\mu s$ 로 하고 이때의 심볼 주기를 $4.0\mu s$ 로 사용한다.

단일 안테나기반 IEEE 802.11a/g/n 무선랜의 기본 블록도는 그림 3에 나타나있다.

2. 초기 동기화

무선랜 시스템은 데이터를 패킷 단위로 전송하게 된다. 그림 4는 전송되는 패킷의 구성을 보여준다. 패킷은 크게 프리앰블, 시그널 그리고 데이터 필드로 구성되어 있다. 시그널 필드는 패킷의 전송률 및 전송하는 데이터의 길이 등 중요 정보를 포함하고 있는 만큼 가장 성능이 좋은 형태로 변조되어 전송된다. 데이터 필드는 시그널 필드에서 정의된 전송률에 맞추어 변조된 후 전송된다.

패킷에 구성되어 있는 프리앰블은 동기화(Synchronization) 및 주파수 오프셋(Frequency Offset), 채널 추정(Channel Estimation)에 사용된다. 프리앰블은 10개의 짧은 훈련심볼(Short Training Symbol)이 반복적으로 구성되어 있고, 두 개의 긴 훈련심볼(Long Training Symbol)이 반복되고 GI와 결합된 형태를 가

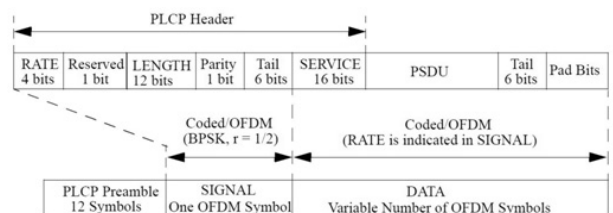


그림 4. IEEE 802.11a/g/n OFDM-PHY PPDU 프레임 포맷
 Fig. 4. PPDU frame format of IEEE 802.11a/g/n OFDM-PHY.

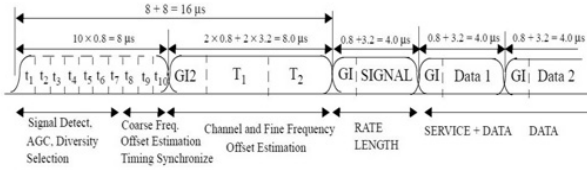


그림 5. IEEE 802.11a 훈련심볼 구조
Fig. 5. Transmitter and receiver block diagram for the OFDM PHY.

지고 있다. 여기서 GI2는 긴 훈련심볼의 마지막 0.8µs 부분을 2번 반복하여 사용한다. 그림 5는 프리앰블의 구조를 보여주고 있다.

일반적으로 버스트 모뎀의 수신단에서는 프리앰블을 사용하여 데이터 전송 이전에 초기 동기화를 이루게 되며, 이러한 초기 동기는 버스트(burst)하게 데이터를 전송하는 시스템의 성능에 크게 영향을 미치게 된다.

프리앰블에는 주기가 각각 16, 64 샘플인 두 종류의 훈련심볼이 정의되어 있는데, t_1 부터 t_2 까지는 주기가 16샘플인 짧은 훈련심볼을, T_1 과 T_2 는 주기가 64샘플인 긴 훈련심볼을 각각 나타낸다. 그림 5에 보이는 바와 같이 짧은 훈련 심볼은 신호검출, AGC(Automatic Gain Control), 다이버시티 선택(Diversity selection) 그리고 대략적인 반송과 주파수 오프셋과 심볼 타이밍 오프셋을 추정하기 위해 사용 되고, 긴 훈련심볼은 미세 반송과 주파수 오프셋과 채널 추정을 수행할 수 있도록 되어 있다.

수신단에서 신호가 검출 된 이후에는 미리 알려진 훈련심볼과 수신된 신호의 Cross-Correlation 특성을 이용하여 OFDM 심볼의 시작점을 찾게된다. 이를 수식으로 나타내면 식 (1)과 같다.

$$R_n = \sum_{k=0}^{L-1} r_{n-k} s_k \quad (1)$$

여기서 r 은 수신신호를 나타내며 s 는 수신단에서 미리 알고 있는 짧은 훈련심볼을 나타낸다. L 은 Correlation length로 IEEE 802.11a에서는 짧은 훈련심볼의 길이인 16으로 주어진다.

그림 6은 짧은 훈련심볼을 이용한 수신된 프리앰블의 Cross-Correlation 특성을 보여주고 있다. 그림에 보인 것처럼 매우 뚜렷한 Cross-Correlation 값을 얻을 수 있음을 확인할 수 있다. 수신신호가 검출 된 이후에 이러한 Cross-Correlation 특성에 나타난 최대값을 이용

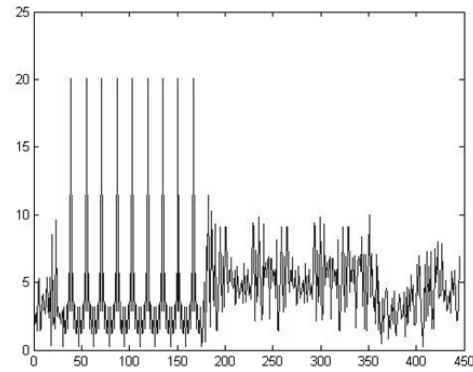


그림 6. 짧은 훈련심볼의 Cross-Correlation 특성
Fig. 6. Cross-Correlation property of short training symbol.

하여 정확한 짧은 훈련심볼의 위치를 찾게 된다. 수신단에서는 이 최대값을 기준으로 적절한 샘플 카운터를 이용하여 이후의 OFDM 심볼의 시작점을 찾아내어 FFT를 실행하게 된다.

IV. 일반적인 초기 동기부 구현 방법

II장에서 설명한 것과 같이 수신단에서 짧은 훈련심볼을 이용하여 심볼 타이밍(Symbol Timing) 동기화를 수행하게 된다. 이러한 심볼 타이밍을 찾는 과정을 블록다이어그램으로 나타내면 그림 7과 같다.

무선랜의 수신단에서는 수신된 신호의 Auto-Correlation 을 취하여 신호검출을 한 후 OFDM 심볼의 시작점을 찾기 위해 심볼 타이밍 동기화를 수행한다. 그림 7에 나타나 있는 것과 같이 입력 데이터와 미리 알고 있는 짧은 훈련심볼의 Cross-Correlation을 취한 후 평균 전력과 비교하여 FFT의 시작점을 제어하게 된다.

그림 7에 나타난 것과 같은 심볼 타이밍 동기화를 위한 모듈에서는 다른 블록들보다 Cross-Correlation 블록이 상당히 큰 복잡도를 갖게 된다. 그림 8은 그림 7에 나타나 있는 Cross-Correlation 의 내부 동작에 대한 블록도를 나타낸 것이다.

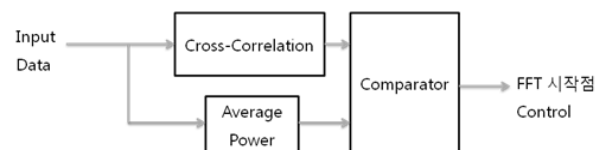


그림 7. 심볼 타이밍 모듈 블록다이어그램
Fig. 7. Symbol Timing module block diagram.

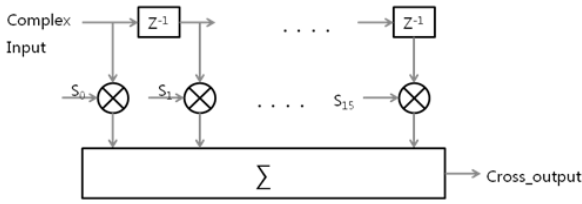


그림 8. Cross-Correlation의 블록다이어그램
Fig. 8. Block diagram of Cross-Correlation.

여기서 S는 수신단에서 미리 알고 있는 16개의 짧은 훈련심볼을 나타내며 \otimes 는 복소수 곱(Complex Multiplier)를 나타낸다. 그림 8에 보인 바와 같이 16개의 짧은 훈련심볼과 수신신호간의 Cross-Correlation을 취하기 위하여 하나의 샘플 시간동안에 대해 모두 16번의 복소수 곱셈과 16샘플 동안의 지연회로가 필요하게 된다.

즉, 16번의 복소수 곱셈을 위하여 각각 4개씩의 곱셈기가 필요하므로 최소 64개의 곱셈기가 필요한 것을 확인 할 수 있다. 이처럼 구현 측면에서는 이러한 Cross-Correlation의 복잡도는 상당히 크다고 할 수 있다. 단순히 복잡도를 줄이기 위해 16개의 샘플이 아닌 8개의 샘플로 줄인 후 Cross-Correlation을 할 경우에는 복잡도면에서는 효율적이겠지만 심볼 타이밍 동기화에 있어서 상당한 성능 저하를 가져오게 된다.

이러한 복잡도면에서의 문제점을 해결하기 위하여 다음 V장에서는 짧은 훈련심볼의 특성을 이용한 Cross-Correlation 모듈을 구현함으로써 성능면에서는 기존의 방법과 같으면서 복잡도는 현저하게 줄이는 구현 구조를 제안한다.

V. 제안하는 초기 동기부 구현 구조

1. 짧은 훈련심볼의 특성

짧은 훈련심볼은 12개의 부반송파만을 사용하여 IFFT(Inverse Fast Fourier Transform)을 거쳐 시간영역 신호로 바꾼 후 전송하게 된다. 이렇게 보내어진 프리앰블의 Cross-Correlation 특성을 이용하여 심볼 타이밍의 동기를 맞추게 된다.

그림 9는 전송되는 짧은 훈련심볼의 시간영역 신호를 보여주고 있다. 이를 살펴보면 한가지 특성을 발견 할 수 있다. 16개 샘플내의 값들에서 같은 값을 갖는 샘플들이 존재하는데, 각각 9번째 샘플을 기준으로 real과

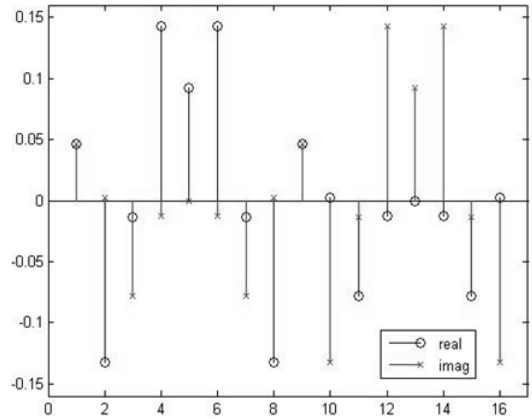


그림 9. 짧은 훈련심볼
Fig. 9. Short Training Symbol.

image만 바뀌고 값의 크기는 동일하다. 이 같은 특성은 동일한 계수(Coefficient)에 대한 반복 연산을 줄일 수 있는 중요한 기반이 된다. 다음 절에서는 이 특성을 이용한 Cross-Correlation 방법을 제안한다.

2. 제안하는 기법

짧은 훈련심볼 중 n 번째 샘플은 다음 식 (2)와 같이 정의할 수 있다.

$$S_n = si_n + jsq_n \tag{2}$$

수신기에서 수신된 수신신호는 다음 식 (3)과 같이 나타낼 수 있다.

$$r_n = ri_n + jrqn \tag{3}$$

수신신호와 짧은 훈련심볼의 곱을 식으로 나타내면 다음 식 (4)와 같이 나타낼 수 있다.

$$c_n = (ri_n + jrqn) \times (si_n + jsq_n) \tag{4}$$

식 (4)에는 복소수 곱셈기 두 개가 사용되는 것을 확인 할 수 있다. 다시 말하자면, 최소한 하나의 짧은 훈련심볼 연산에는 곱셈기 4개가 필요하게 된다. 이때 각각 16개의 짧은 훈련심볼 샘플들 중 같은 값을 가지고 있는 샘플들간의 곱셈기는 미리 Adder/Subtractor를 이용하여 줄일 수 있게 된다.

그림 10은 같은 값을 갖는 짧은 훈련심볼의 연산을 제안하는 방법을 이용하여 구현되는 모듈의 블록다이어그램을 간략히 나타낸 것이다. 그림 10과 같은 방법을 짧은 훈련심볼의 16개 샘플내에 같은 값을 가지는 샘플

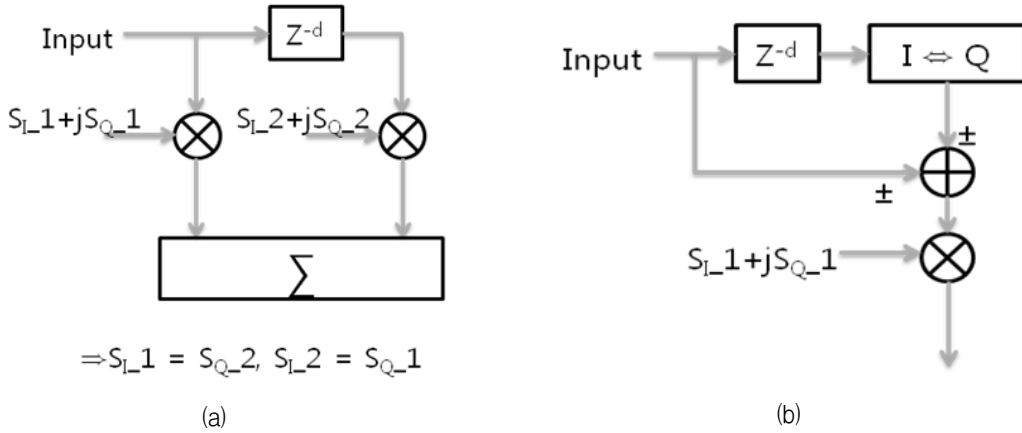
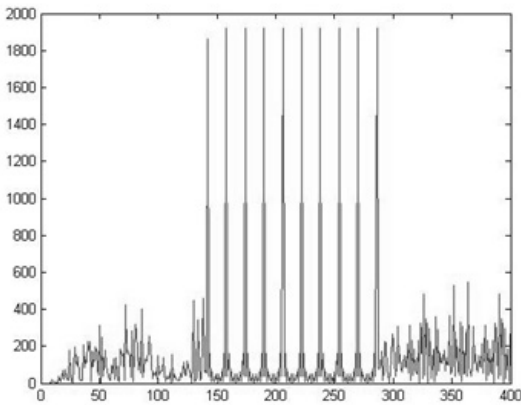


그림 10. 곱셈기 블록도

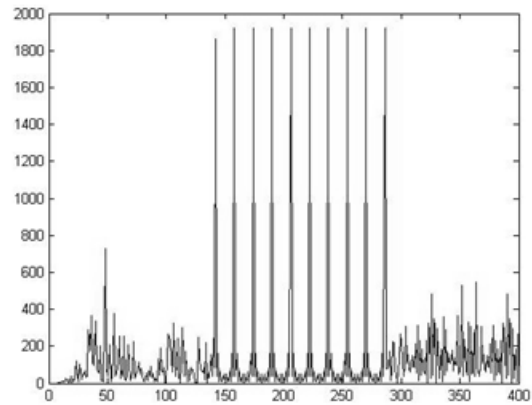
(a) 기존의 방법 (b) 제안된 방법

Fig. 10. Multiplier block diagram.

(a) Previous scheme block diagram (b) Proposed scheme block diagram



(a)



(b)

그림 11. Cross-Correlation의 출력

(a) 기존 방법 (b) 제안된 방법

Fig. 11. Output of previous scheme.

(a) Previous scheme (b) Proposed scheme

간에 적용하여 Verilog HDL을 이용하여 구현하였다. 입력된 데이터에 대해서 짧은 훈련심볼과 Cross-Correlation 취하는 동작을 하게 된다.

Verilog HDL을 이용하여 구현 시 Cross-Correlation을 제외한 블록들은 기존의 동기화 방법과 제안한 Cross-Correlation 방법의 비교를 위하여 동일한 블록을 사용하였다. Target Device는 Xilinx 사의 Virtex 6 LX240T(XC4VLX240T)이며 합성 툴은 ISE 13.1을 이용하였다. 다음 장에서는 기존의 방법과 제안한 방법의 결과를 비교 분석하였다.

VI. 합성결과 비교 분석

V장에서 제안된 방법과 기존의 방법을 비교하기 위하여 기존의 방법과 동일한 조건에서 구현한 후 합성을 진행하였다. 본 논문에서는 Cross-Correlation 블록을 제외한 나머지 블록은 동일한 블록을 사용하여 비교하였다. 그림 10과 같은 구조를 갖고 있는 모듈에 대하여 각각 기존 방법과 제안한 방법을 적용하여 구현하였다.

이때 정확한 합성결과를 비교하기 위하여 ISE 툴의 DSP48E의 사용에 대한 합성 옵션을 구분하여 비교 분

표 1. 심볼타이밍 모듈의 합성결과(DSP48E - 'Auto')
(a) 기존 방법 (b) 제안한 방법

Table 1. Synthesis result of Symbol timing module(DSP48E - 'Auto').
(a) Previous scheme (b) Proposed scheme

(a)

Device Utilization Summary(estimated values)			
Logic Utilization	Used	Available	Utilization
Number of Slice Registers	407	301440	0%
Number of Slice LUTs	4021	150720	2%
Number of fully used LUT-FF pairs	248	4180	5%
Number of bonded IOBs	125	600	20%
Number of BUFG/BUFGCTRLs	1	32	3%

(b)

Device Utilization Summary(estimated values)			
Logic Utilization	Used	Available	Utilization
Number of Slice Registers	407	301440	0%
Number of Slice LUTs	1933	150720	1%
Number of fully used LUT-FF pairs	157	2237	7%
Number of bonded IOBs	144	600	24%
Number of BUFG/BUFGCTRLs	1	32	3%

표 2. 심볼타이밍 모듈의 합성결과(DSP48E - 'No')
(a) 기존 방법 (b) 제안한 방법

Table 2. Synthesis result of Symbol timing module(DSP48E - 'No').
(a) Previous scheme (b) Proposed scheme

(a)

Device Utilization Summary(estimated values)			
Logic Utilization	Used	Available	Utilization
Number of Slice Registers	407	301440	0%
Number of Slice LUTs	4021	150720	2%
Number of fully used LUT-FF pairs	248	4180	5%
Number of bonded IOBs	125	600	20%
Number of BUFG/BUFGCTRLs	1	32	3%

(b)

Device Utilization Summary(estimated values)			
Logic Utilization	Used	Available	Utilization
Number of Slice Registers	401	301440	0%
Number of Slice LUTs	1933	150720	1%
Number of fully used LUT-FF pairs	157	2237	7%
Number of bonded IOBs	144	600	24%
Number of BUFG/BUFGCTRLs	1	32	3%

석하였다.

그림 11에는 각각 구현된 모듈에 프리앰블 데이터를 입력시킨 후의 출력 값을 나타낸 것이다. 그림에서 알 수 있듯이 두 방법에 대한 출력 결과는 동일한 것을 확인할 수 있다.

합성결과에 대해서는 제안된 방법은 합성 옵션에서 DSP48E의 사용을 'Auto'로 하였을 경우 DSP48E 블록을 18개 사용하는 것으로 나타났다. 이는 기존의 방법을 같은 합성 옵션으로 수행했을 때의 58개보다 현저하게 줄었다는 것을 보여준다. 또한 세부 합성 내용에서

의 비교를 위하여 합성 옵션에서 DSP48E 블록의 사용을 'NO'로 설정하고 두 모듈을 합성한 결과, 제안된 방법은 Slice LUT의 사용 개수가 1993개로 기존의 방법으로 구현한 모듈의 4021개 보다 약 50% 감소한 것을 확인할 수 있었다. 또한, LUT-FF pair 의 개수는 제안된 방법에서는 157개로 기존 방법의 결과인 248개 보다 약 40% 감소하였다. 이러한 결과는 기존의 방법보다 제안된 방법의 복잡도가 더욱 효율적이라는 것을 보여준다.

VI. 결 론

OFDM기반의 통신시스템의 경우 일반적으로 OFDM 심볼의 정확한 시작점을 찾아내기 위하여 훈련심볼과의 상관기를 이용하여 구현한다. 수신신호와 미리 알고 있는 훈련심볼의 Cross-Correlation은 상관관계가 매우 우수하고 이 값의 최대값은 심볼의 시작점과 일치하게 된다. 이러한 Cross-Correlation의 특성은 매우 우수하게 나타나는 반면 굉장히 상관기에 사용되는 적지 않은 복잡소복셈기로 인하여 큰 복잡도를 갖게 된다.

본 논문에서는 훈련심볼 내의 심볼값이 반복되는 특성을 활용하여 복잡도를 크게 줄일 수 있는 구현 구조를 제안하였으며 기존의 방법으로 수행되는 Cross-Correlation과 비교하여 성능은 동일하면서 복잡도면에서는 50% 수준으로 줄일 수 있음을 실제 구현을 통하여 확인하였다.

참 고 문 헌

- [1] IEEE, "IEEE802.11-2007 part 11 : Wireless LAN Medium Access Control(MAC) and Physical Layer(PHY) Specifications", IEEE 2007.
- [2] K Wang, M Faulkner and I Tolochko, "Timing Synchronization for 802.11a WLANs under Multipath Channels".
- [3] Nobuaki Mochizuki et. Al., "A High Performance Frequency and Timing Synchronization Technique for OFDM", GLOBECOM '98, vol.6, pp.3443-3448, November 1998.
- [4] TM Schmidl, DC Cox and Tx Dallas, "Robust Frequency and Timing Synchronization for OFDM".
- [5] Farzad Manavi, Yousef R. Shayan, "Implementation

- of OFDM modem for the Physical Layer of IEEE 802.11a Standard Based on Xilinx Virtex-II FPGA", IEEE 2004.
- [6] Ludwig Schwoerer, "VLSI suitable Synchronization Algorithms and Architecture for IEEE 802.11a Physical Layer", IEEE international Symposium on Circuits and Systems, 2002 (ISCAS 2002), vol.5.
- [7] L.D. Kabulepa, A. Garcia Ortiz and M. Glesner, "Design of an Efficient OFDM Burst Synchronization Scheme", IEEE International Symposium on Circuits and Systems, 2002 (ISCAS 2002), vol.3.
- [8] M. Sandell, J-J. Van de Beek, and P. Borjesson, "Timing and frequency synchronization in OFDM systems using the cyclic prefix", In Proceedings of IEEE International Symposium on Synchronization, pp.16-19, 14-15, December 1995.
- [9] H. Minn, M. Zeng, and V. K. Bhargava, "On Timing Offset Estimation for OFDM Systems", IEEE Comm. Letters, vol.4, no.7, July. 2000.
- [10] J-J. Van de Beek, M. Sandell, and P. O. Borjesson, "ML estimation of time and frequency offset in OFDM systems", IEEE Transactions. On Communication, vol.45, no.7, pp.1800-1805, July 1997.

저 자 소 개



조 준 범(정회원)
2011년 광운대학교 전자통신
공학과 공학사.
2012년~현재 광운대학교
전자통신공학과 석사

<주관심분야 : 통신 모뎀, 컴퓨터, 신호처리, 통신
모뎀 SoC 설계>



이 종 협(정회원)
2010년 한밭대학교 전자공학과
공학사
2012년 광운대학교 임베디드SW

<주관심분야 : 통신 모뎀, 컴퓨터, 신호처리, 통신
모뎀 SoC 설계>



한 진 우(정회원)
2003년 경북대학교 전자공학과
(공학 석사)
2003년~현재 LIG넥스원 통신연
구센터 (수석연구원)
<주관심분야: 군 위성통신, 무선
모뎀, 위성 모뎀/ Baseband 신호
처리 FPGA 설계 구현>



유 연 상(정회원)
1997년 단국대학교 전자공학과
(공학 석사)
1997년~현재 LIG넥스원
(수석연구원)
<주관심분야: 군 위성통신, 위성
통신용 단말, 위성통신용 모뎀>



오 혁 준(평생회원)-교신저자
1999년 한국과학기술원 전기 및
전자공학과 공학박사
1999년~2000년 미국 Stanford
대학교 박사후과정
2000년~2004년 미국 Qualcomm사
3GPP UMTS CSM/MSM
개발

2004년~현재 광운대학교 전자통신공학과
(교수)

<주관심분야: 차세대 이동통신, 통신 소프트웨어,
통신 모뎀 SoC 설계, 디지털신호처리, 레이더
신호처리>