

논문 2012-49-11-17

오디오 D/A 컨버터를 위한 인터폴레이티드 디지털 델타-시그마 변조기

(Interpolated Digital Delta-Sigma Modulator for Audio D/A Converter)

노진호*, 유창식**

(Jinho Noh and Changsik Yoo)

요약

디지털 입력 D급 증폭기는 보청기에서 사용되고 있으며 D급 증폭기는 디지털 회로와 아날로그 회로로 구성되어진다. 아날로그 회로는 가청 주파수 대역에서 잡음을 억제하고 디지털 입력을 아날로그 신호로 변환한다. 본 논문에서 제안한 인터폴레이티드 디지털 델타-시그마 변조기는 디지털 신호 처리기의 출력 신호를 D/A 변조기 입력에 적합하도록 데이터를 변조시킨다. 디지털 필터는 16-bit, 25-kbps 펄스 코드 변조 신호를 16-bit, 50-kbps 신호로 보간 작업을 한다. 이 보간 필터 출력은 3차 디지털 델타-시그마 변조기를 통하여 노이즈 웨이핑(noise shaping) 처리된다. 최종적으로, 1.5-bit, 3.2-Mbps 신호가 D/A 변조기 입력으로 인가된다.

Abstract

A digital input class-D audio amplifier is presented for digital hearing aid. The class-D audio amplifier is composed of digital and analog circuits. The analog circuit converts a digital input to a analog audio signal (DAC) with noise suppression in the audio band. An interpolated digital delta-sigma modulator is used to convert data types between digital signal processor (DSP) and digital-to-analog converter (DAC). An 16-bit, 25-kbps pulse code modulated (PCM) input is interpolated to 16-bit, 50-kbps by a digital filter. The output signal of interpolation filter is noise-shaped by a third-order digital sigma-delta modulator (SDM). As a result, 1.5-bit, 3.2-Mbps signal is applied to simple digital to analog converter.

Keywords : interpolation filter, digital input, delta-sigma modulator, class-D amplifier, deserializer

I. 서론

최근 보청기용 오디오 시장에서는 아날로그 신호를 단순히 증폭하기 보다는 디지털 신호로 변조하여 난청 보상, 환경 기반 잡음제거 알고리즘, 사용자 기반

fitting 알고리즘 등 별도의 디지털 신호 처리 작업을 시행하게 된다. DSP 출력신호를 D급 오디오 증폭기를 통해 음성 신호로 복원하게 된다. 높은 해상도를 유지 하면서 파워소모는 적은 아날로그 델타-시그마 변조기를 이용하여 D급 오디오 증폭기를 구성하게 된다. 하지만 PCM 신호를 바로 D/A 변환을 하게 되면 16-bit 해상도의 신호대 잡음비 (SNDR)와 선형성을 보장하기 어렵다.

본 논문에서는 직병렬 변환기(Deserializer), 보간 필터(Interpolation filter), 디지털 델타-시그마 변조기(Digital delta-sigma modulator)를 통해서 DSP의 출력 신호를 D/A 변환기 입력으로 변환하였다

* 학생회원, ** 정회원, 한양대학교 전자컴퓨터통신공학과

(Department of Electronics and Computer Engineering, Hanyang University)

※ 본 연구는 서울시 산학연 협력사업(SS100022)과 지식경제부 바이오의료기기전략기술개발사업의 지원으로 이루어졌음. (과제번호: 10031741)

접수일자: 2012년8월13일, 수정완료일: 2012년10월24일

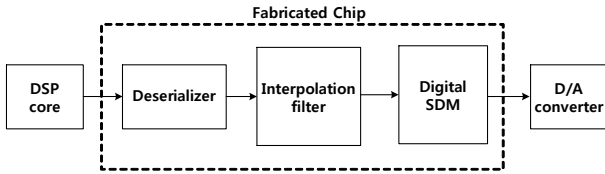


그림 1. 제안하는 인터폴레이티드 디지털 델타-시그마 변조기

Fig. 1. Block diagram of the proposed interpolated digital delta-sigma modulator.

II. 제안된 구조

본 논문에서는 DSP 출력신호를 아날로그 델타-시그마 변조기의 입력신호로 바꿔주기 위해 인터폴레이티드 디지털 델타-시그마 변조기를 설계하였다. 그림 1은 제안하는 인터폴레이티드 디지털 델타-시그마 변조기를 나타낸다. DSP와의 직렬통신을 위해 동기화 가능한 직병렬 변환기(Deserializer)를 거쳐 16-bit 병렬 신호로 변환하게 된다. 변환된 신호는 디지털 신호 처리 작업에 의해 생긴 데이터 전송 주파수를 기준으로 복제되는 가상 성분들을 제거하기 위한 보간 필터(Interpolation filter)를 거치게 된다. 보간 필터를 거쳐 나온 16-bit 신호를 디지털 델타-시그마 변조기를 통해 높은 전송속도로 해상도를 유지하면서 낮은 비트로도 표현 가능하게 한다.^[1] 낮은 비트로 바꿈으로써 D/A 변환 과정에서 높은 해상도의 신호대 잡음비와 선형성을 보장하게 된다.

III. 직병렬 변환기

1. 직병렬 변환기의 필요성

보간 필터를 사용함에 있어서 내부에 별도의 클록 분주기를 두어야 한다. 리셋 동작과 함께 카운터로 구성된 내부 분주기는 동작을 시작한다. 하지만, DSP단에서 어느 시점에 직렬데이터를 전송할지 정해지지 않았기 때문에 외부 래치 25-kHz 신호에 의해 내부 클록 분주기를 동기화 하여 사용하여야 한다.

2. 직병렬 변환기 설계

그림 2와 같이 외부 클록 “1”, 내부 클록 “0”인 경우에 두 클록 간의 차이를 3.2-MHz 클록이 떨어지는 옛지에서 카운트한다. 뒤에 들어오는 Extclk과 Intclk이 (1,1), (0,0), (0,1), (0,0)인지에 따라 내부 클록이 느린지,

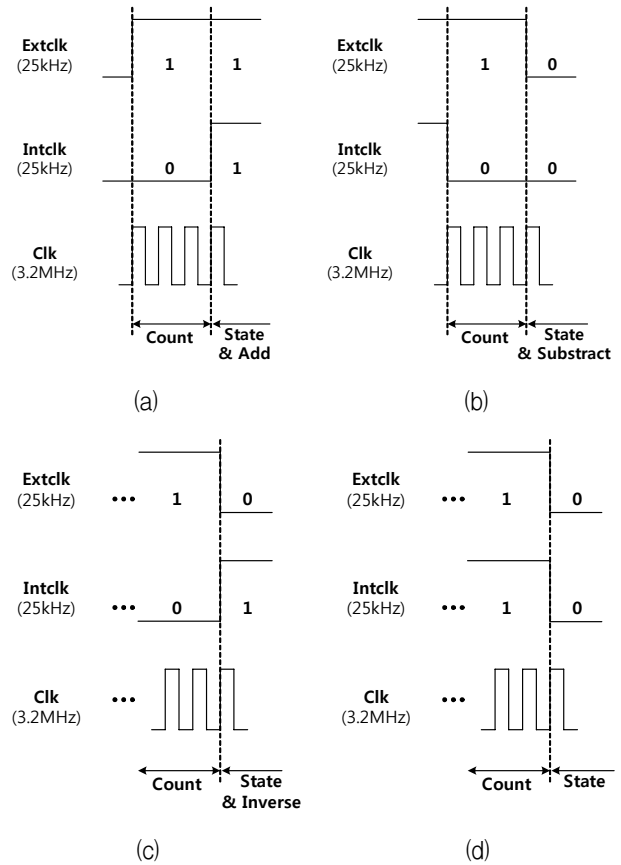


그림 2. 직병렬 변환기의 시간 구성
(a) 느린 경우 (b) 빠른 경우
(c) 반주기 차이나는 경우 (d) 정확히 맞은 경우
Fig. 2. Timing diagram of deserializer.
(a) late (b) fast (c) inverse (d) exact

빠른지, 반주기 차인지, 정확히 맞는지를 판단하여 차이는 만큼을 내부 클록 카운터에 더하여 준다.

그림 2.(a)와 같이 뒤에 들어오는 Extclk과 Intclk이 (1,1)인 경우 느리다고 판단하고 내부 클록 카운터에 차이를 더해지게 된다. 그림 2.(b)와 같이 뒤에 들어오는 Extclk과 Intclk이 (0,0)인 경우 빠르다고 판단하고 내부 클록 카운터에 차이를 빼준다. 그림 2.(c)의 경우에는 반주기 차이만큼 변화를 주게 되고, 그림 2.(d)의 경우에는 동기화 된 것이므로 그대로 유지하게 된다.

동기화된 400-kHz 클록을 이용하여 16-bit 데이터를 병렬화 작업한 뒤 25-kHz 래치 클록에 맞추어 데이터를 보간 필터 입력으로 전달한다.

IV. 보간 필터

1. 보간 필터의 필요성

난청 환자들은 보청기를 사용함에도 불구하고 높은 주파수 대역의 오디오 신호를 인지함에는 무리가 있다. 또한 보청기용 리시버 자체의 성능이 높은 주파수 대역을 커버하지 못함에 따라, 신호 대역을 10-kHz로 정하였다. 보청기용 저전력 DSP를 구동하기 위해서는 데이터 전송속도를 최소화 하여야 한다. 신호를 필터처리하기 위해서 5-kHz의 변이 대역을 포함한 25-kbps를 데이터 전송속도로 정하였다.

2. 보간 필터 설계

보간 필터를 설계함에 있어서 신호대 잡음비가 높은 델타-시그마 변조기의 성능을 만족하기 위해서는 좁은 전이대역과 높은 정지대역 이득을 필요로 하게 된다. 이에 따라 필터의 차수가 높아지게 되고 전력소모나 면적에서 큰 영향을 미치게 된다.

D/A 컨버터 성능에 영향을 주지 않기 위해서 표 1을 목표로 보간 필터를 설계하였다. 가청 주파수 대역 안에 있는 전송 주파수를 기준으로 복제되는 가상 성분들을 제거하기 위해 보간 필터를 한 단계만 구성하여 데이터 전송속도를 50-kHz로 업-샘플링 하였다.

보간 필터는 linear-phase FIR 구조로 구성된 half-band 필터로 하였다. linear-phase FIR 구조로 형성하면 필터의 안정성을 보장하여 설계를 용이하게 할 수 있다.^[2] half-band 필터는 중간 계수를 기준으로 대칭적인 구조로 이루어진다. 그림 3.(a)과 같이 가운데를 제외한 홀수번째 계수들이 "0" 이기 때문에 평균적으로 딜레이가 두 번 지날 때마다 곱해진다.^[3] 이로 인해 같은 차수의 전형적인 FIR 필터에 비해 필요한 곱셈기의 개수를 절반으로 줄일 수 있고 면적과 전력 소모 면에서 이득을 볼 수 있기 때문에 보청기에 사용할 디지털 필터로 적합하다.

블록 구성도는 그림 3.(a)와 같이 각 데이터 사이에

표 1. 보간 필터의 목표 성능
Table 1. Target of interpolation filter.

구 분	목표치
신호 대역	10-kHz
변이 대역	5-kHz
출력주파수	50-kHz
정지대역이 이득	90-dB 이상

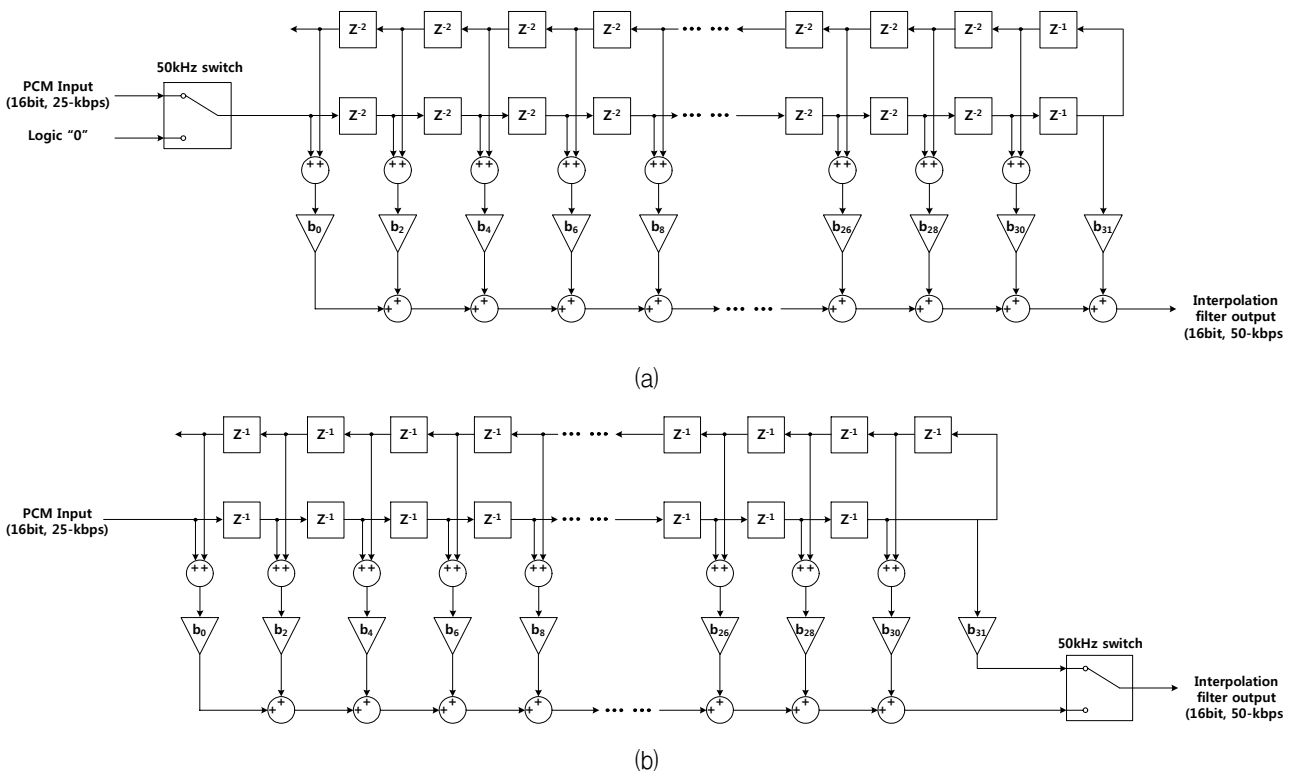


그림 3. 보간 필터 구조 (a) 기존 half-band filter (b) 향상된 half-band filter
Fig. 3. Structure of interpolation filter (a) conventional half-band filter (b) improved half-band filter.

Logic “0” 값을 대입하여 데이터 전송속도를 증가시킨 후에 저대역 필터를 통과시키게 된다.^[4] 그림 3.(b)와 같이 구성하면 그림 3.(a)와 같은 디지털 동작을 하면서 델레이 셀들의 동작을 최소화 하여 파워 소모를 줄일 수 있고 면적 또한 줄일 수 있게 된다.

3. 보간 필터 구현

Matlab GUI 환경의 filterbuilder 툴을 사용하여 신호 대역, 변이대역, 그리고 정지대역을 입력하고 half-band 필터 계수를 추출하였다.^[5] 실제 구현함에 있어 계수 및 내부 데이터 비트의 제한을 두어야 한다. 정지대역 이득을 125-dB로 설정하고 계수를 18-bit에 맞추어 이진화 하면 그림 4와 같은 95-dB의 정지대역 이득을 얻을 수 있다.

표 2. CSD encoding 방식

Table 2. Conversion of 2's complement numbers to CSD numbers.

carry-in	X_{i+1}	X_i	carry-out	C_i
0	0	0	0	0
0	0	1	0	1
0	1	0	0	0
0	1	1	1	-1
1	0	0	0	1
1	0	1	1	0
1	1	0	1	-1
1	1	1	1	0

표 3. 보간 필터의 계수

Table 3. Coefficient of interpolation filter.

	Before	Scale Round	18bit 2's complement	Canonical Signed Digit	number of adder
b[0]	-0.000019781406081165187	-5	11 1111 1111 1111 1011	00 0000 0000 0000 0101	2
b[2]	0.00007225668741739355	18	00 0000 0000 0001 0010	00 0000 0000 0001 0010	2
b[4]	-0.00019523598166415468	-48	11 1111 1111 1101 0000	00 0000 0000 0101 0000	2
b[6]	0.00044216740934643894	108	00 0000 0000 0110 1100	00 0000 0000 1001 0100	3
b[8]	-0.00089026472051045857	-218	11 1111 1111 0010 0110	00 0000 0001 0010 1010	4
b[10]	0.00164416972984327	403	00 0000 0001 1001 0011	00 0000 0001 1001 0101	5
b[12]	-0.0028403192663972732	-696	11 1111 1101 0100 1000	00 0000 0101 0100 1000	4
b[14]	0.0046535299497918459	1141	00 0000 0100 0111 0101	00 0000 0100 1001 0101	5
b[16]	-0.0073105661922454601	-1792	11 1111 1001 0000 0000	00 0000 1001 0000 0000	2
b[18]	0.01112133737115073	2726	00 0000 1010 1010 0110	00 0000 1010 1010 1010	6
b[20]	-0.016553439221752342	-4057	11 1111 0000 0010 0111	00 0001 0000 0010 1001	4
b[22]	0.0244196015282796	5985	00 0001 0111 0110 0001	00 0010 1000 1010 0001	5
b[24]	-0.03640349475426774	-8923	11 1101 1101 0010 0101	00 0010 0101 0010 0101	6
b[26]	0.056866083965360303	13938	00 0011 0110 0111 0010	00 0100 1010 1001 0010	6
b[28]	-0.1018922883176856	-24974	11 1001 1110 0111 0010	00 1010 0010 1001 0010	6
b[30]	0.31688331144505355	77670	01 0010 1111 0110 0110	01 0101 0000 1010 1010	7
b[31]	0.5	122552	01 1101 1110 1011 1000	010 0010 0001 0100 1000	5

내부 데이터는 2의 보수 형태로 구현되어 있으며 데이터 overflow를 막고 신호 감쇄효과를 최소화하기 위해서 계수에 18-bit maximum expression level 과 maximum output data의 비율을 곱하여 계수를 스케일링 하였다. 복잡성과 면적을 줄이기 위해 계수의 곱셈 연산을 일반적인 곱셈기 대신 추출된 계수에 최적화된 쉬프트와 덧셈기로 곱셈연산을 하였다. 또한 이와 같이 구성한 곱셈기의 계산량을 최소화하기 위해 CSD (Canonical Signed Digit) coding 방식을 적용하였으며, 31번째 계수만 비트수가 부족하여 증가시켰다. CSD

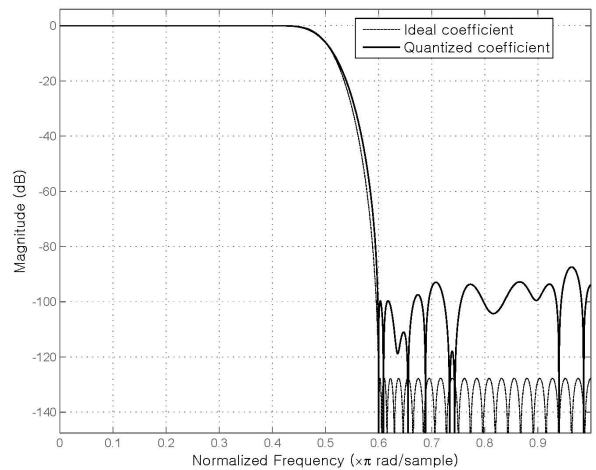


그림 4. MATLAB GUI 환경에서의 필터 특성
Fig. 4. Characteristic of filter in Matlab simulation.

coding 방식은 2의 보수의 음수형태를 이용하여 여러 번 덧셈을 뺄셈으로 표현하는 방법이다. 2의 보수형태인 계수를 CSD coding 방식으로 변형하는 방법은 표 2^[6] 와 같고, 표 3에서 나타난 바와 같이 필요한 덧셈기의 개수가 줄어들었다. 최종적으로 18-bit 계수에 내부 데이터는 28-bit를 갖게 되었고 계수는 표 3과 같다.

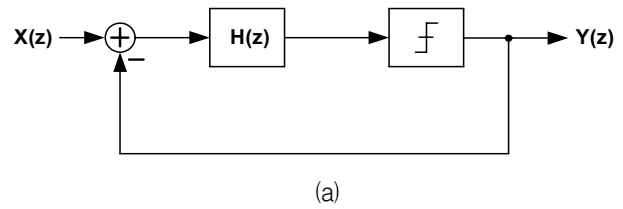
또한 보간 필터의 차수가 높아지면 delay가 많아지게 된다. 한 클럭에 구동해야 되는 플립-플롭의 개수가 늘어남에 따라, hold violation 문제가 발생하게 된다. 이를 막기 위해 deserializer 내부 카운터에 의해 분주된 여러 클럭을 사용하였다. 분주된 클럭을 사용함에 따라 순간적으로 흐르는 전류 또한 감소하게 된다.

마지막 단 28-bit에서 상위 16-bit을 단순히 선택 하는 것이 아니라 17번째 bit를 보고 판단하여 반올림 해 주는 기능을 추가해줌으로써 6-dB 가까이 SNDR이 향상되는 효과를 갖게 된다.

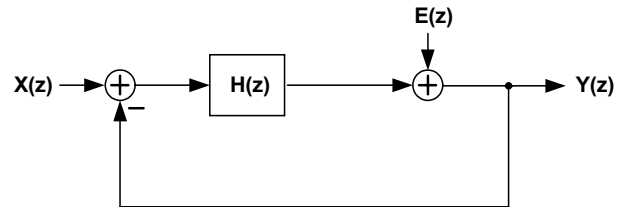
V. 디지털 델타-시그마 변조기

1. 델타-시그마 변조 기법

델타-시그마 모듈레이터는 적분기로 구성된 루프 필터와 양자화기 그리고 귀환(feedback) 경로에 있는 D/A 변환기로 구성되어 있다. 델타-시그마 모듈레이터는 오버샘플링 기법과 귀환 경로를 이용하여 A/D 변환에서 발생하는 양자화 잡음을 신호대역 밖으로 위치 시킴으로써 신호대역 내의 양자화 잡음을 줄이고 해상도를 증가시키는 역할을 한다. 이를 잡음 성형(noise shaping)이라 한다. 그림 5(a)는 델타-시그마 모듈레이터 블록도의 일반적인 구조이다. 변조기의 입출력 신호로는 아날로그 입력 신호 $x(n)$, 양자화 잡음 $e(n)$, 그리고 출력 신호 $y(n)$ 으로 나타낼 수 있으며, 그림 5(b)의 선형화 모델을 바탕으로 입력 신호와 잡음 신호를 z-domain으로 변환하여 신호전달 함수 STF(z)와 잡음 전달 함수 NTF(z)를 다음과 같이 나타낼 수 있다.



(a)



(b)

그림 5. 델타-시그마 변조기의 블록도
(a) 일반적 구조 (b) 선형화 모델
Fig. 5. Block diagram of delta-sigma modulator.
(a) Traditional structure (b) Linear model.

$$STF(z) = \frac{Y(z)}{X(z)} = \frac{H(z)}{1 + H(z)} \quad (1)$$

$$NTF(z) = \frac{Y(z)}{E(z)} = \frac{1}{1 + H(z)} \quad (2)$$

위 두 식을 이용하여 최종 출력신호를 구하면 다음과 같다.

$$Y(z) = STF(z)X(z) + NTF(z)E(z) \quad (3)$$

식(3)에서 STF(z)가 “1” 이고 NTF(z)가 “0” 이라면 모듈레이터 신호는 입력신호와 동일한 신호가 된다. 하지만 실제 회로 설계에서는 이러한 H(z)를 구현하기 힘들다. 최적화된 STF(z)와 NTF(z)를 얻기 위해서는 최대한 무한대 값에 가깝도록 적분기를 설계해야한다. 적분기의 주파수 특성을 살펴보면 저주파 영역에서는 높은 증폭도(gain)를 가지는 반면 고주파 영역에서는 증폭도가 감소하는 것을 알 수 있다. 이를 통해서 신호대역 안에서의 잡음 성분을 제거 할 수 있게 된다.

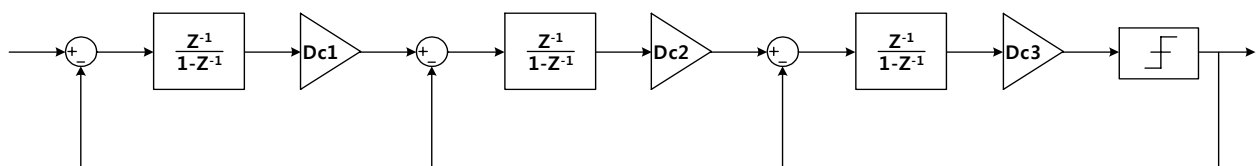


그림 6. 디지털 델타-시그마 변조기 구조
Fig. 6. Structure of digital delta-sigma modulator.

2. 디지털 델타-시그마 변조기 필요성

PCM 신호를 바로 D/A 변환하게 되면 16-bit 해상도의 신호대 잡음비(SNDR)와 선형성을 보장하기 어렵기 때문에 디지털 델타-시그마 변조 방식을 이용하였다. Nyquist rate 보다 높은 오버 샘플링 방식을 이용하여 데이터 전송속도를 높임으로써 낮은 bit수로 변조가 가능하게 된다. 16-bit에서 1.5-bit로 낮추는 양자화 과정에서 생기는 노이즈는 변조기가 동작하는 샘플링 주파수의 1/2 지점까지 고루 분포되면서 낮은 노이즈 레벨을 형성하게 된다. 또한 차수가 증가하게 되면 노이즈가 고대역 필터 특성이 가중되어 원하는 신호 대역 내에서는 노이즈가 감소하는 현상을 보이게 된다.

3. 디지털 델타-시그마 변조기 설계

디지털 델타-시그마 변조기는 구현함에 있어서 계수의 변동이 없기 때문에 시스템 구조의 안정성을 보장할 수 있다. 128의 OSR(Oversampling ratio)을 갖는 그림 6과 같은 3차 델타-시그마 변조기 구조를 사용하였다. 데이터 비트수의 증가를 억제하기 위해서 간단한

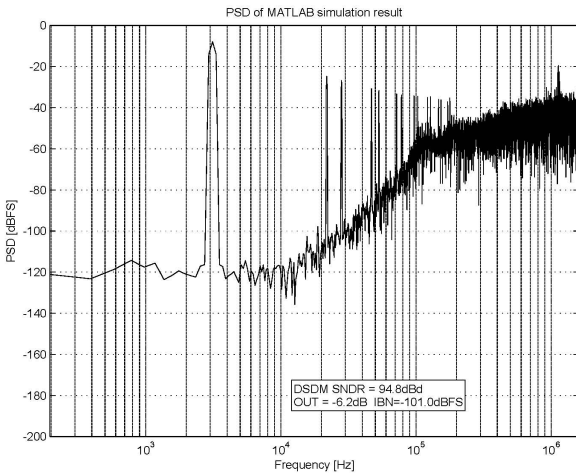


그림 7. 디지털 델타-시그마 변조기 시뮬레이션 결과
Fig. 7. Simulation result of digital delta-sigma modulator.

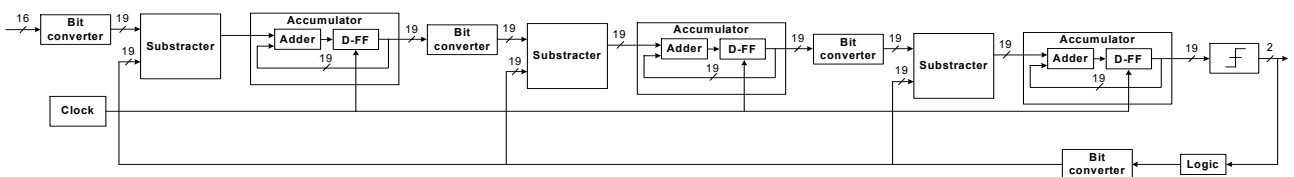


그림 8. 디지털 델타-시그마 변조기 구현
Fig. 8. Implementation of digital delta-sigma modulator.

CIFB(Cascaded integrators with distributed feedback) 구조를 선택하였으며 계수 또한 $Dc1=Dc2=0.25$, $Dc3=1$ 로 정하여 간단한 쉬프팅 동작만으로 구현이 가능하도록 설정하였다.^[7] 최종적으로 구현될 델타-시그마 변조기는 16-bit, 50-kbps 입력을 받아 1.5-bit, 3.2-Mbps 데이터를 출력으로 내보내게 된다.

SIMULINK 툴박스를 이용하여 MATLAB 시뮬레이션을 진행하였다.^[8] 시뮬레이션을 통해 디지털 델타-시그마 변조기의 계수에 따른 안정성 및 성능을 검증하였다. -6-dBFS, 16bin(3.125-kHz) 디지털 입력을 인가하였을 때, 그림 7과 같은 디지털 델타-시그마 변조기 출력의 PSD(power spectral density)를 확인하였다. 신호감소는 -0.2-dB 정도 되었으며 IBN(inband noise)는 -101-dBFS로 최종 94.8-dB의 신호대 잡음비를 얻었다.

4. 디지털 델타-시그마 변조기 구현

MATLAB을 통해 검증한 계수를 verilog 코드로 구현하였다. 구현된 디지털 델타-시그마 변조기는 그림 8과 같다. 보간 필터 출력을 입력으로 받아 차동기와 가산기에서 발생하는 overflow를 방지하기 위해 부호 비트를 3-bit 확장하였다. 이 확장된 데이터는 각 단에서 19-bit 차동기와 적분기로 델타-시그마 변조를 하게 된다. 각 차동기는 2의 보수 방식을 적용하여 감산을 하고 각 적분기는 19-bit 덧셈기와 딜레이 탭으로 구성된다. $Dc1$ 과 $Dc2$ 계수는 별도의 곱셈기 없이 하위 2-bit를 버리고 overflow를 방지하기 위해 부호 비트를

표 4. 양자화기의 동작 방법
Table 4. Operation of quantizer.

Quantizer							
in<18>	1	1	1	1	0	0	0
in<17>	1	1	1	1	0	0	0
in<16>	0	0	1	1	0	0	1
in<15>	0	1	0	1	0	1	0
Result	"DOWN"		"CM"		"UP"		

2-bit 확장한다. 1.5-bit 양자화기는 표 4와 같이 양수 최하위 값과 음수 최상위 값은 “CM” level로 판단하고 그 외의 양수는 “UP”, 음수는 “DOWN”으로 판단한다. 이와 같이 양자화된 1.5-bit, 3.2-Mbps 출력은 아날로그 D/A 변환기로 전달된다.

VI. ASIC 구현

Deserializer, clock divider, interpolation filter, digital delta-sigma modulator를 verilog 코드로 작성하여 하나의 셀로 구현하였다. Verilog로 작성한 코드를 0.13 μ m 공정의 Standard Cell 라이브러리로 합성하고 P&R (Place & route)를 거쳐 칩으로 제작하였다.

동작의 안정성을 위해 Typical case와 worst case로 합성하였다. Typical case는 합성과정에서 equivalent nand gate 수는 27128개이고, P&R 후 layout 도면은

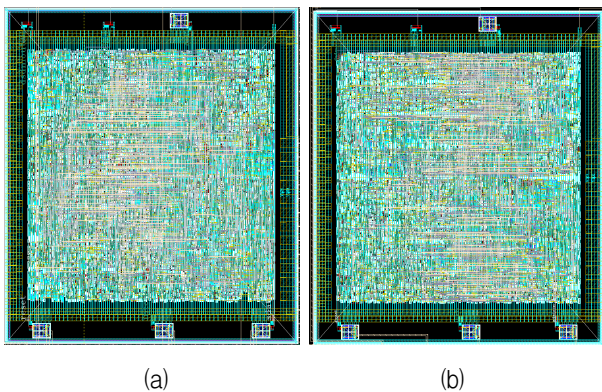


그림 9. 레이아웃 (a) Typical 경우 (b) Worst 경우
Fig. 9. Layout (a) Typical case (b) Worst case.

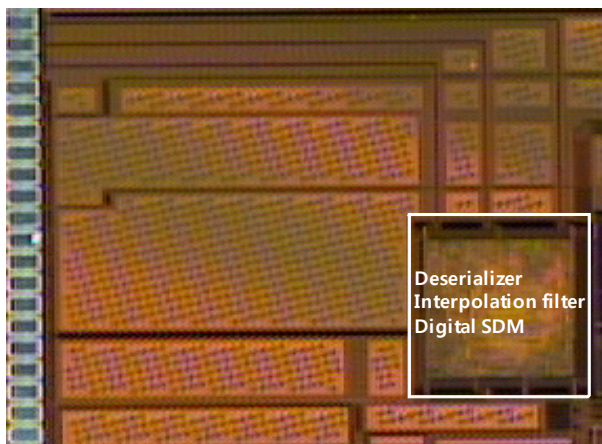


그림 10. 칩 현미경 사진
Fig. 10. Die photograph.

그림 9.(a)와 같으며 면적은 510 \times 560 μ m²이다. Worst case는 합성과정에서 equivalent nand gate 수는 26980 개이고, P&R 후 layout 도면은 그림 9.(b)와 같고 면적은 520 \times 560 μ m²이다. 제작된 IC의 현미경 사진을 그림 10에 보였다.

VII. 결론

그림 11은 P&R 한 정보를 다시 verilog로 추출한 후 simulation한 파형이다. 원하는 가청 주파수 대역에서 복제되는 가상 성분들이 보간 필터에 의해 제거된 것을

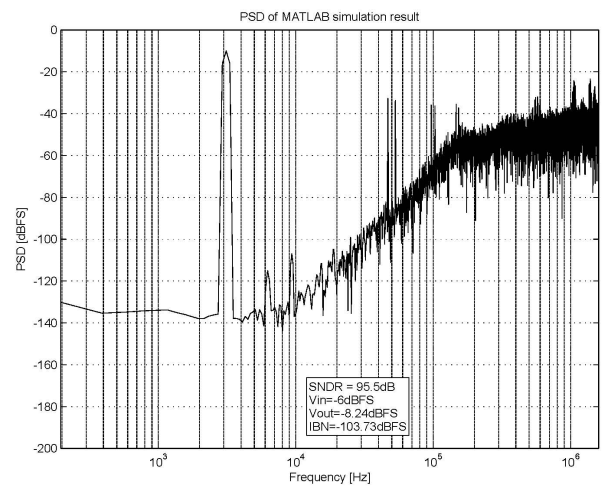


그림 11. 디지털 델타-시그마 변조기의 출력신호 스펙트럼

Fig. 11. PSD of the digital delta-sigma modulator output.

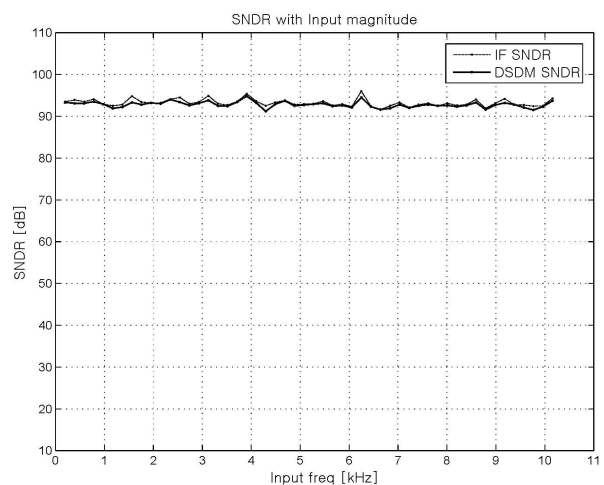


그림 12. 입력주파수에 따른 SNDR
Fig. 12. SNDR versus input frequency.

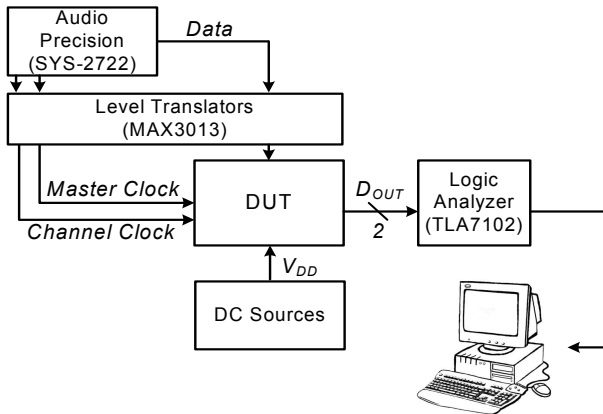


그림 13. 측정 환경

Fig. 13. Test environment.

확인할 수 있다. 디지털 델타-시그마 출력 파형이 95.5-dB 신호대 잡음비를 만족하였고 그림 12과 같이 목표한 주파수 대역 내에서 91.2-dB 이상의 신호대 잡음비를 유지하였다.

그림 13는 측정환경을 나타낸다. DC sources에서는 1.2V 전원을 받아 사용하며 Audio Precision 장비에서는 25-kbps channel clock, 3.2-Mbps Master clock, data를 5V 출력으로 내보내고 별도의 interface board를 만들어 Level translator를 통해 1.2V로 변환하여 입력으로 사용한다. Channel clock은 동기화에 사용되고 Master clock은 Main clock으로 사용된다. 측정 보드에서 나온 디지털 출력은 Logic analyzer를 통해 받고 Desktop에 있는 MATLAB 툴로 성능을 검증한다.

본 논문에서 제시한 인터폴레이티드 디지털 델타-시그마 변조기는 저전력 고성능의 아날로그 델타-시그마 변조기와 함께 보청기용 DAC로 구현할 예정이다.^[9]

참고 문헌

- [1] KyeHyung Lee, Qingdong Meng, Tetsuro Sugimoto, Koichi Hamashita, Kaoru Takasuka, Seiji Takeuchi, Un-Ku Moon, Gabor C. Temes, "A 0.8V, 2.6mW, 88dB Dual-Channel Audio Delta-Sigma D/A Converter With Headphone Driver", *IEEE J. Solid-state Circuits*, Vol. 44, no. 3, pp. 916-927, March, 2009.
- [2] Hui Feng, Zeqi Yu, Zhigang Han, Fan Feng, "System Level Design of a Digital Audio Class D Power Amplifier", *IEEE ICMT*, pp. 1-5, October, 2010.

- [3] Brian P. Brandt, Bruce A. Wooley, "A Low-Power, Area-Efficient Digital Filter for Decimation and Interpolation", *IEEE J. Solid-state Circuits*, Vol. 29, no. 6, pp. 679-687, June, 1994.
- [4] Theede, Les, "Practical analog and digital filter design", ArtechHouse, 2004.
- [5] Karris, Steven T, "Signals and systems : with MATLAB computing and Simulink modeling", Orchard Pubns, 2006.
- [6] Hewlitt, R.M., Swartzlantler, E.S., Jr., "Canonical signed digit representation for FIR digital filters", *IEEE SIPS*, pp. 416-426, 2000.
- [7] Kuo, Sen M, "Real-time digital signal processing : implementations and applications", WILEY, 2006.
- [8] R. Schreier and G.C Temes, "Understanding Delta-Sigma Data Converters", Piscataway, NJ: IEEE Press, 2005.
- [9] Xiaoliang Yao, Liyuan Liu, Dongmei Li, Liangdong Chen, Zhihua Wang, "A 90dB DR audio delta-sigma DAC with headphone driver for hearing aid", *IEEE CISP*, pp. 2890-2893, October, 2010.

저자 소개



노진호(학생회원)

2007년 단국대학교 전자공학과
학사 졸업.

2009년~현재 한양대학교
전자컴퓨터통신공학과
석박사통합과정

<주관심분야 : 아날로그 및 음성 신호 회로 설계,
Oversampling sigma-delta modulator 설계>



유창식(정회원)

1992년 서울대학교 전자공학과
학사 졸업.

1994년 서울대학교 전자공학과
석사 졸업.

1998년 서울대학교 전자공학과
박사 졸업.

2002년~현재 한양대학교 융합전자공학부 교수

<주관심분야 : 유무선 통신용 음성 신호 회로 설계>