

# LPF 내장형 7중 대역 LTCC 프런트엔드모듈 설계

논문
61-3-12

## Design of 7 Bands LTCC Front-end Module Embedded LPF

김형은\* · 서영광\*\* · 김인배\*\*\* · 문제도§ · 이문규†  
 (Hyung Eun Kim · Young Kwang Suh · In Bae Kim · Je Do Mun · Moon-Que Lee)

**Abstract** - In this paper, we have designed and fabricated 7-bands (GSM 850/900, DCS/PCS, and UMTS 3 bands) LTCC front end module (FEM) embedded LPF (low pass filter) to efficiently eliminate harmonics generated in TX path. The proposed FEM is composed of flip-chip typed CMOS SP9T switch to select transceiver signals, dual type SAW filters to receive Rx signals, and 0603 size chip components for the antenna matching and ESD protection. The whole size of FEM is 4.5 x 3.2 x 1.2 mm<sup>3</sup>. The insertion loss of Tx and Rx ports are measured at 1.7 dB and 4.8 dB, respectively.

**Key Words** : Front end module, LTCC, Low pass filter

### 1. 서론

최근 휴대 단말기는 지역과 표준에 상관없이 다양한 무선 표준을 수용하기 위한 통신기능을 요구한다. 이러한 요구사항을 충족하기 위한 부품의 하나로 단말기 내의 안테나와 RF transceiver 단을 연결하여 송수신 신호를 분리하고, 불필요한 신호 및 잡음의 제거 역할을 하는 다중대역 front end module(FEM)이 필요하다[1]. FEM은 초기 GSM 방식의 단말기에서 단순한 스위칭 기능으로 주로 사용되던 antenna switch module(ASM)에서 발전하여, 송수신 신호의 분리 및 신호의 필터링과 증폭 등의 주요 역할을 담당하는 RF 부품들이 결합하는 방향으로 발전하고 있다. 초기의 GSM 4개 대역을 지원하는 FEM은 3세대 통신인 W-CDMA가 지원되지 않는 문제가 있다. 또한 최근 3세대 이동통신 서비스인 UMTS는 각 나라마다 서비스 대역이 달라 단일 단말기에서 다양한 서비스를 지원하기 위한 FEM이 필요하게 되었다[2-5].

이러한 요구 사항에 맞추어 본 논문에서는 GSM 4개 대역과 UMTS 3개 대역을 지원하는 7중대역 FEM을 대량 양산 기술에 적용해 왔던 LTCC 공정을 이용하여 통신 시스템의 소형화, 저가화를 구현하는 FEM을 제안하고자 한다. 제안하는 LTCC 적층 구조는 다층 세라믹 기판 내부 및 표

면에 수동소자와 능동소자 구현과, 상호연결 및 정합을 위한 전송 선로구조를 3차원적으로 배열이 가능하여 RF 부품 및 모듈의 소형화, 집적화에 매우 유리하다. 모듈의 내부에는 지역통과필터를 설계하여, 우수한 통과대역 특성과 고조파 제거 특성을 구현하였다. 제안하는 7중대역의 주파수 대역을 수용하기 위해 flip chip 형태의 RF CMOS IC SP9T를 적용하였다. LTCC 모듈 외부는 ESD 보호회로를 위한 0603 칩소자와, 수신신호의 필터링을 위한 dual type의 SAW 필터를 표면 실장하여 구성하여 소형화에 이점을 가진다.

### 2. 7중 대역 FEM의 설계

#### 2.1 7중 대역 FEM의 기본 구조

본 논문에서 제안하는 7중 대역 LTCC FEM의 구성 블록도는 그림 1과 같다.

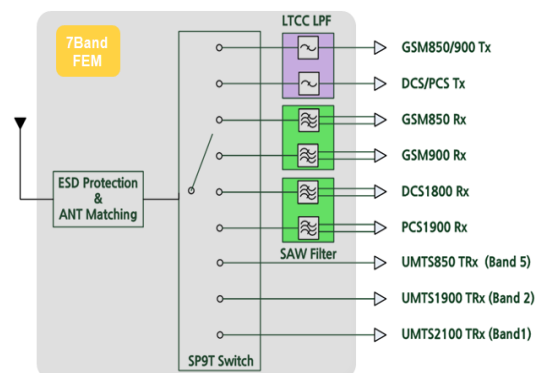


그림 1 LTCC FEM의 블록도  
 Fig. 1 Block diagram of LTCC FEM

\* 정회원 : (주)텔레웍스 연구원  
 \*\* 비회원 : (주)텔레웍스 연구소장  
 \*\*\* 비회원 : (주)텔레웍스 대표이사  
 § 비회원 : (주)ADMT 대표이사  
 † 교신저자, 정회원 : 서울시립대학교 전자전기컴퓨터공학부 교수

E-mail : mqlee@uos.ac.kr  
 접수일자 : 2011년 10월 7일  
 최종완료 : 2012년 2월 27일

제안하는 FEM은 매칭 회로, 스위치, 송수신단의 필터로 구성된다. 먼저 안테나 매칭 회로는 외부에 0603소자를 실장하여 구성된다.

스위치는 부품의 소형화를 가능하게 하고 제안하는 구조의 통신 방식을 모두 지원하며, 선형성이 우수한 flip chip 형태의 SP9T CMOS IC 스위치를 사용하였다. 스위치는 4개의 저전압 control 단자로 조정된다. 스위치 자체적으로 1500V의 ESD를 허용하고, 블록 커패시터를 필요로 하지 않는 장점을 가진다.

Tx단의 저역통과필터는 모듈 내부에 인덕터 및 커패시터를 구현하여 내장하였다. 이는 우수한 삽입손실과 2배수, 3배수 고조파의 제거에 유용한 역할을 한다.

Rx단에는 소형화에 이점을 가지고 대역내 통과특성과 대역외 차단특성이 우수한 SAW필터를 적용하였다. 그리고 UMTS TRx단은 port만 집적되는 형태로 모듈 내부에 signal line를 배치하여 설계하였다.

### 2.2 Tx단 저역통과필터의 설계

Tx 단의 저역통과필터는 850/900 GSM 대역과 DCS/PCS 대역의 통과특성 향상과 고조파 제거 특성을 위한 목적으로 최대 평탄 필터 형태를 적용하여 4단의 저역통과 필터를 설계하였다. 그림 2는 제안하는 저역통과필터의 기본 회로도이다.

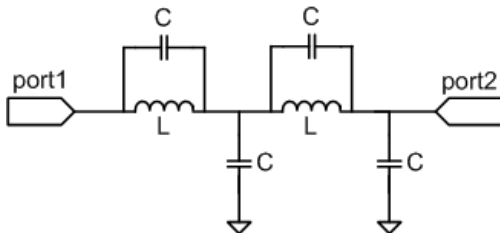


그림 2 Tx 경로에 있는 저역통과필터의 회로도  
Fig. 2 Schematic of low pass filters in Tx path

고주파 성분은 각 필터의 병렬 연결된 커패시터와 직렬 인덕터에 의해 제거된다. 인덕터와 병렬로 연결되는 커패시터는 차단 주파수 근처에서 저지 특성을 개선하기 위한 목적으로 사용된다. 이때 최대 평탄 필터의 전력손실  $P_{LR}$ 은 아래와 같이 쓸 수 있다.[6].

$$P_{LR} = 1 + k^2 \left( \frac{\omega}{\omega_c} \right)^{2N} \quad (1)$$

전원 임피던스가 1Ω이고 차단 주파수가 1인 정규화된 최대 평탄 저역 통과 여파기의 기본형을 이용하여 각 소자의 적정 용량값을 구하였다. 고조파 감쇄특성의 향상을 위하여 인덕터에 병렬로 노치를 추가하여 설계하였다. 이때의 병렬 공진부의 적정 컨패시턴스 값은 아래의 수식으로 구할 수 있다.

$$f_0 = \frac{1}{2\pi \sqrt{LC}} \quad (2)$$

LTCC 기판에 내장하게 될 저역통과필터의 인덕터와 커패시터의 적정 용량 값의 설계를 하기 위해 AWR社의 Microwave Office를 이용하여 2D 설계를 우선적으로 실시하였다. 삽입손실과 고조파의 감쇄특성은 trade-off 관계로 튜닝을 통하여 최적의 결과를 얻었다. 이 설계를 바탕으로 LTCC의 적층구조에 적용하여 3D EM 시뮬레이션을 하였다. 3D 시뮬레이션을 위한 저역통과필터의 구성도면과 시뮬레이션 결과를 그림 3과 그림 4에 각각 나타내었다. 저역통과필터는 LTCC 모듈의 7층~14층에 걸쳐 구현하였다.

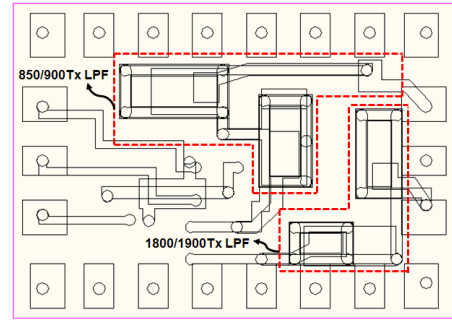
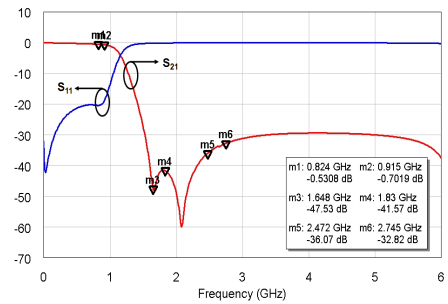
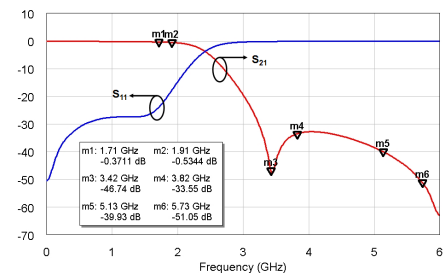


그림 3 저역통과필터의 구성 도면  
Fig. 3 Layout of low pass filters



(a) 850GSM/900GSM



(b) 1800DCS/1900PCS

그림 4 저역통과필터의 시뮬레이션 결과  
Fig. 4 Simulation results of low pass filters

### 2.3 LTCC FEM의 적층구조 설계 및 시뮬레이션

LTCC 적층구조의 설계를 위해 우선 회로 패턴 설계 후 2D 도면을 sweep하는 기법을 이용하여 3D 구조로 변환하였다. 3D 구조에서 공간 해석에 대한 정의 및 영역을 설정하고, 주파수 해석 영역 및 해석의 정확도 설정 등의 부가적

인 설계 변수를 정의한 후 시뮬레이션 하였다. 그림 5는 LTCC 모듈의 3D 설계 도면이다.

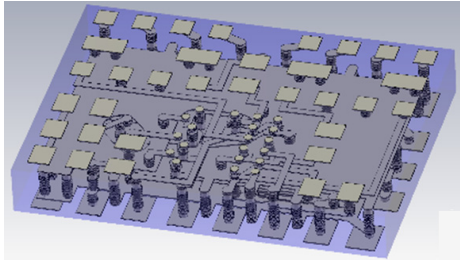


그림 5 LTCC FEM의 3D 설계 도면  
Fig. 5 3D Layout of LTCC FEM

설계한 LTCC 기판의 크기는 4.5 x 3.2 x 0.5 mm<sup>3</sup>으로 총 16층으로 구성되어있다. 도면의 구조는 1층~5층에는 bias line을 집중적으로 배치하였고, 7층~16층에는 저역통과필터를 구성하는 수동소자와 UMTS signal line을 배치한 구조이다. 6층에는 내부 GND 층을 만들어 서로간의 영향을 최소화 하였다. 저역통과필터 구성을 위한 인덕터 및 커패시터의 층간 간격은 24 um, 내부층 격리 GND는 70 um의 충분한 높이로 설계하였다. 각 층간 line을 연결하는 via hole은 100 um의 직경으로 설계하였다.

부품의 아랫면은 신호 port 및 control voltage port를 배치하였으며, UMTS 단말기용으로 가장 범용적으로 사용하고 있는 Qualcomm社의 MSM7200 chipset solution에 대응하게 배치하였다. 뒷면에는 0603 칩소자와 SAW filter 및 SP9T switch 부품이 실장되는 패드를 설계하였다. 그림 6은 모듈의 윗면과 이에 실장되는 부품 배치도를 보여주고 있다.

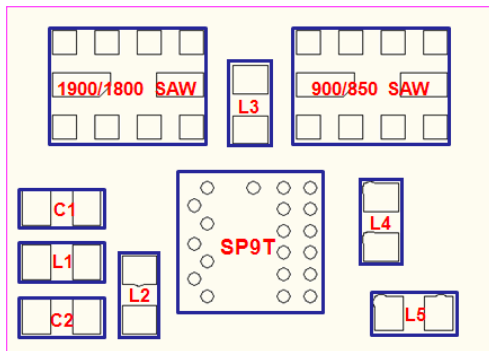


그림 6 LTCC 모듈의 윗면과 부품 배치도  
Fig. 6 Top layer and components layout of LTCC module

매칭 회로는 0603 크기의 인덕터 및 커패시터로 구성된 다. 위쪽 양 옆으로 수신을 위한 1511 크기의 SAW filter가 위치하며, 중앙에 SP9T 스위치가 배치된다.

제안하는 LTCC 모듈은 CST社의 CST Microwave Studio 2008을 이용하여 3D EM 시뮬레이션을 수행하였다.

설계한 모듈의 3D EM 시뮬레이션 결과 Tx단의 삽입손실은 최대 1.35 dB 이하, 고조파 감쇄특성은 최소 30 dB 이상, Rx단의 삽입손실 최대 3.0 dB 이하, UMTS단의 삽입손

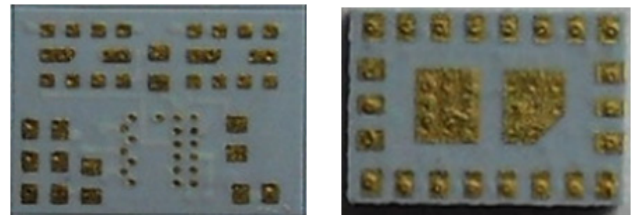
실 최대 1.0 dB 이하의 우수한 특성을 보였다. 시뮬레이션 결과는 표 1에 정리하였다.

### 3. FEM의 제작 및 측정

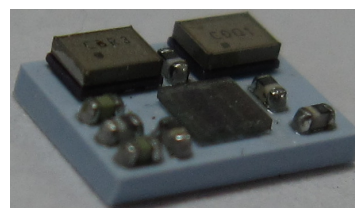
#### 3.1 LTCC 기판 제작

본 논문에서 제안한 7중 대역 FEM은 LTCC 공정을 적용하여 제작하였다. LTCC 공정 기술은 적층구조의 회로 설계가 가능하여 부품의 소형화 및 경량화가 가능하고, 집적화에 따른 저가화의 장점을 가진다. 그리고 소성온도가 상대적으로 낮으므로 녹는점이 낮고, 전도도가 우수한 내부전극을 사용하여 낮은 도체 손실의 구현이 가능하다.

제안하는 7중 대역 FEM의 LTCC 기판은 유전율 7.2, 손실탄젠트 0.002의 세라믹 재료를 사용하였다. 50 um의 얇은 green sheet이 이용되고, flip chip bonding 부분이 60 um pitch가 필요하다. 내부 패턴은 100 um 내외의 최소 선폭이 요구된다. 이때 패턴 구현은 은(Ag)를 이용하였다. 내장된 소자의 외부 영향을 최소화하기 위해 충분한 via를 이용하여 GND를 최대한 많이 배치하였다. LTCC 모듈의 기판 두께는 500 um이고, 부품 실장 후 전체 모듈의 총 두께는 1200 um(±100 um)이다. 그림 7은 제작한 FEM의 외관과 부품 외부에 0603소자, 스위치 및 SAW filter를 실장한 부품 사진이다.



(a) 윗면 (a) Top layer  
(b) 아랫면 (b) Bottom layer



(c) 표면실장 후 LTCC FEM  
(c) LTCC FEM after surface mount

그림 7 제작된 LTCC FEM  
Fig. 7 Fabricated LTCC FEM

#### 3.2 SAW 필터 측정

수신을 위한 SAW 필터의 성능 검증을 위한 개별 필터의 측정을 하였다. SAW 필터는 표면 탄성파를 이용하여 신호 주파수성분과 위상성분을 제어하여 인접 채널신호를 제거하고 수신채널신호를 통과시키는 대역통과필터이다. 또한 SAW 필터는 소형화, 경량화에 유리하고, 설계가 용이하며,

생산성 및 신뢰도가 높은 장점을 갖는다. 그림 8은 각 수신 대역의(850/900/1800/1900 MHz)의 삽입손실 특성을 보여주고 있다. 삽입손실은 최대 2.1 dB 이하의 특성을 보인다.

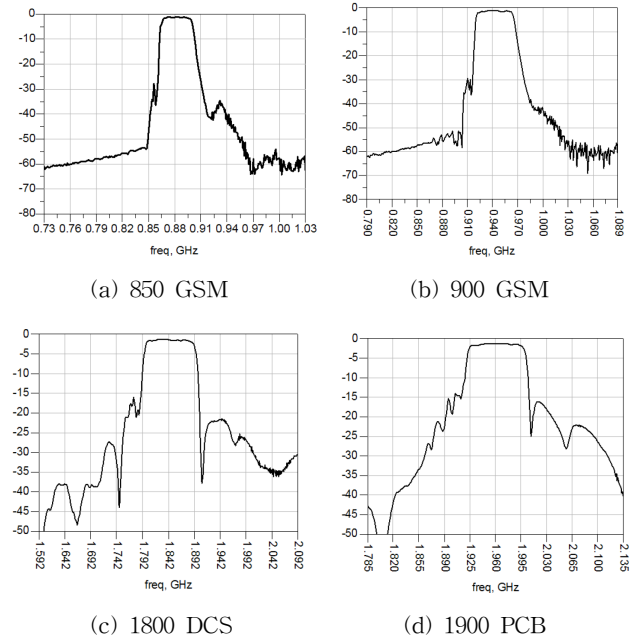


그림 8 SAW 필터의 삽입손실 측정결과  
Fig. 8 Measurement results of SAW filter insertion loss

### 3.3 7중 대역 LTCC FEM의 측정

설계 제작한 7중 대역 LTCC FEM을 SP9T의 control voltage logic을 이용하여 스위치를 조정하며 측정하였다. Tx port와 Rx port의 삽입손실은 Agilent社의 2-port network analyzer를 이용하여 측정하였다. 측정 결과에 대한 신뢰성을 얻기 위해 자체적으로 제작한 SOLT calkit을 이용하였다.

#### 3.3.1 측정 PCB 및 Calkit 제작

제작한 부품의 정확한 측정을 위해 측정 PCB 및 측정용 calkit을 제작하였다. 측정 PCB는 부품이 소형이고 7중 대역을 지원하므로 측정항목이 많아 4층 기판으로 설계하였다. 측정 시료 pad와 50Ω 선로의 선폭에 의한 불연속을 줄이기 위해 50Ω 선로의 폭을 작게 유지하도록 설계하였다. 스위치 동작을 위한 전원 및 4개의 전압 컨트롤 단자가 있으며, 불필요한 신호를 제거하기 위해 바이패스 커패시터를 적용하였다. 실제 측정에 있어 필요한 port 이외는 50Ω로 종단하여 각 포트를 순차적으로 측정하였다.

측정을 위한 calkit 또한 제작한 측정 PCB를 이용하여 제작하였다. 측정 PCB 자체에 open, short, load line을 구현하고 through line을 추가적으로 제작하였다. Calkit을 이용하여 측정 PCB의 signal line 길이 만큼 보정하여 측정결과와 정밀성과 신뢰성을 확보하였다. 다음 그림 9는 제작한 측정 PCB 및 calkit을 보여주고 있다.

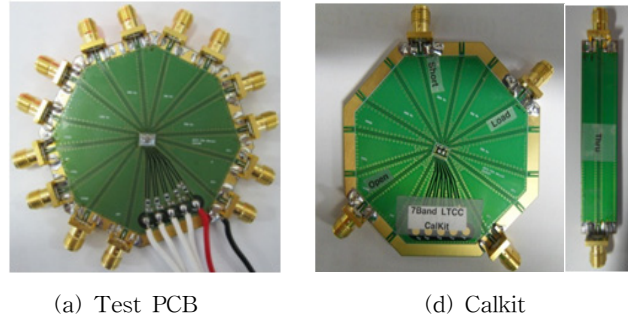


그림 9 제작된 측정 PCB와 calkit  
Fig. 9 Fabricated test PCB and calkit

#### 3.3.2 제작된 FEM의 측정결과

그림 10과 표 1은 제작한 FEM의 측정결과 그래프와 요약 결과이다. Rx단의 측정결과에는 dual type의 SAW필터를 사용하므로 2-port network analyzer를 이용하여 측정한 후 3-port data로의 변환 과정이 필요하다.

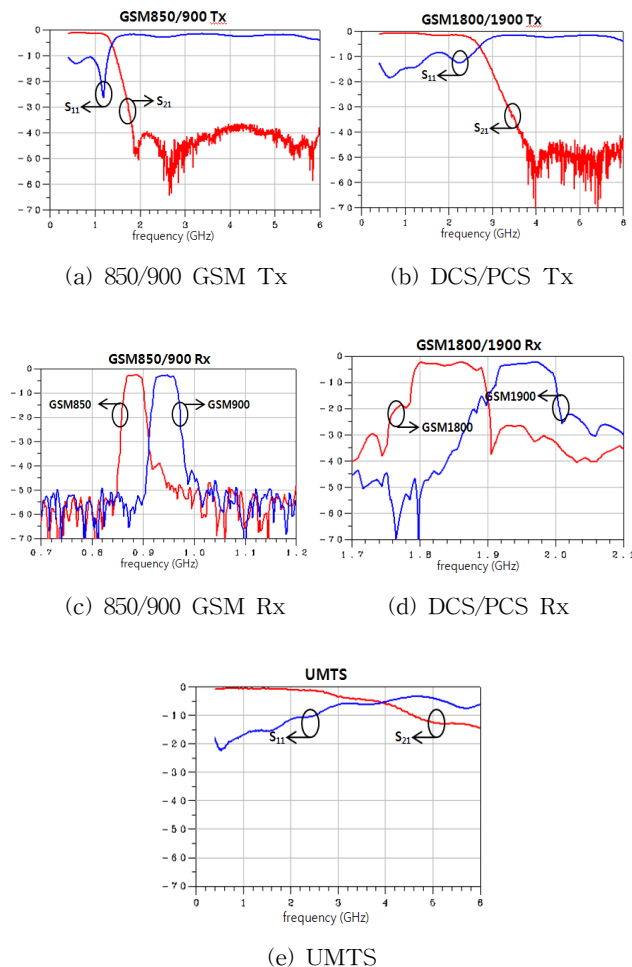


그림 10 LTCC FEM의 측정결과  
Fig. 10 Measurement results of LTCC FEM



표 1 LTCC FEM의 시뮬레이션결과 및 측정결과

Table 1 Simulation and measurement results of LTCC FEM

Tx	항목	시뮬레이션	측정
GSM850	삽입손실(dB)	1.35	1.39
	2f <sub>0</sub> 감쇄(dB)	42	22
	3f <sub>0</sub> 감쇄(dB)	33	48
GSM900	삽입손실(dB)	1.35	1.43
	2f <sub>0</sub> 감쇄(dB)	40	38
	3f <sub>0</sub> 감쇄(dB)	36	55
DCS	삽입손실(dB)	1.28	1.62
	2f <sub>0</sub> 감쇄(dB)	40	32
	3f <sub>0</sub> 감쇄(dB)	48	49
PCS	삽입손실(dB)	1.3	1.61
	2f <sub>0</sub> 감쇄(dB)	51	46
	3f <sub>0</sub> 감쇄(dB)	43	49
Rx			
GSM850	삽입손실(dB)	2.47	3.39
GSM900		2.38	3.65
DCS		2.74	4.81
PCS		2.66	3.55
T/Rx			
UMTS850	삽입손실(dB)	0.81	0.59
UMTS1900		0.95	0.97
UMTS2100		1.06	1.16

측정결과 Tx단의 삽입손실은 1.7 dB 이하 고조파 감쇄 22 dB이상, Rx단의 삽입손실은 최고 4.9 dB이하, UMTS단은 삽입손실 1.2 dB이하의 특성을 갖는다.

### 3. 결 론

본 논문에서는 SAW 필터 및 SP9T CMOS IC 스위치를 포함하는 소형화된 LPF 내장형 LTCC FEM을 설계하고, 제작 및 측정하였다. LTCC 공정을 이용하여 수동소자를 내장하고 주요 부품을 외부에 표면 실장하여 총 16층으로 구성된 부품 크기 4.5 x 3.2 x 1.2 mm<sup>3</sup>의 초소형 FEM을 제작하였다.

제품의 측정결과는 규격을 만족하는 우수한 특성을 보였다. 최근 외국 부품들이 강세를 이루는 LTCC FEM 부분에 경쟁력 있는 국산 부품 개발 기술의 확보가 가능할 것으로 기대된다.

### 감사의 글

본 연구는 지식경제부의 차세대 융복합 단말기용 멀티밴드 필터 내장형 FEM 개발과제(100325-43)의 지원에 의해 수행된 결과임을 밝힙니다.

### 참 고 문 헌

[1] T. Ranta, J. Ella, and H. Pohjonen, "Antenna switch linearity requirements for GSM/WCDMA mobile phone front-ends," *IEEE 2005 Wireless Technology*, pp. 23-26, 2005.

[2] D. -S. Kim, J. C. Kim, H.M.Cho, N.K. Kim, and J. C. Park, "An LTCC power amplifier module integrated with SAW duplexer," *2005 European Microwave Conference*, vol. 3, p.4, Oct. 2005.

[3] E. Kim, Y. S. Lee, C. S. Yoo, W. S. Lee, and J. C. Park, "A power amplifier module with fully embedded passive components in a LTCC substrate for K-PCS band mobile phone," *2003 European Microwave Conference*, vol. 1, pp. 253-256, 2003.

[4] Lianjun Liu, C. Ramiah, Qiang Li, S. Pacheco, Shunmeen Kuo, M. Miller, S. Marshall, M. Watts, and P. Piel, "Integrated passive technology for wireless basestation applications," *IEEE International Microwave Symposium*, pp. 1173-1176, Jun. 2007.

[5] Kai Liu, R. C. Frye, "Small form-factor integrated passive devices for SIP applications," *IEEE International Microwave Symposium*, pp. 2117-2120, Jun. 2007.

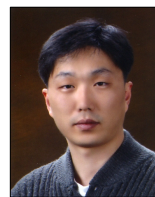
[6] David M. Pozar, *Microwave Engineering*, 3rd edition, Wiley, pp. 389-405, 2005.

## 저 자 소 개



### 김형은 (金亨垠)

2009년 2월: 서울시립대학교 전자전기컴퓨터공학부 공학사, 2012년 2월: 서울시립대학교 전자전기컴퓨터공학부 공학석사, 2012년 3월~현재: (주)텔레웍스 연구원  
Tel : (02)2026-5757  
E-mail : hyung\_kim@teleworks.co.kr



### 서영광 (徐泳光)

1999년 2월 : (주)씨엔아이 선임연구원  
2000년 8월 : 뷰컴 선임연구원  
2003년 5월 : 미래통신 책임연구원  
2003년 5월~현재 : (주)텔레웍스 연구소장  
Tel : (02)2026-5757  
E-mail : glory@teleworks.co.kr



### 김인배 (金寅培)

1981년 2월 : 항공대학교 통신학과 공학사  
1993년 5월 : 삼성전자 수석연구원  
1997년 1월 : (주)원텔 대표이사  
2003년 5월 : (주)이오텔 대표이사  
2003년 5월~현재 : (주)텔레웍스 대표이사  
Tel : (02)2026-5757  
E-mail : ivy@teleworks.co.k



**문 제 도 (文 濟 道)**

1987년 2월 : 서울대학교 금속공학과 공  
학사, 1989년 2월 : 서울대학교 대학원  
금속공학과 공학석사, 1994년 10월 :  
Oxford University 재료학 박사, 2004년  
~현재 : (주)ADMT 대표이사

Tel : (031)323-0396

E-mail : jdmun@ltcc-m.com



**이 문 규 (李 文 揆)**

1992년 2월 : 한국과학기술원 전기 및 전  
자공학과 공학사, 1994년 2월 : 서울대학  
교 대학원 전자공학과 공학석사, 1999년  
2월 : 서울대학교 대학원 전자공학과 공  
학박사, 2002년 2월 : 한국전자통신연구  
원 통신위성개발센터 선임연구원, 2002년  
3월~현재 : 서울시립대학교 전자전기컴  
퓨터공학부 교수

Tel : (02)2210-5241

E-mail : mqlee@uos.ac.kr