http://dx.doi.org/10.5370/KIEE.2012.61.3.422

논 문
61-3-11

과도방사선에 의한 CMOS 소자 Latch-up 모델 연구

A Study of CMOS Device Latch-up Model with Transient Radiation

정 상 훈*,** · 이 남 호** · 이 민 수*** · 조 성 익†
(Sang-Hun Jeong · Nam-Ho Lee · Min-Su Lee · Seong-Ik Cho)

Abstract - Transient radiation is emitted during a nuclear explosion. Transient radiation causes a fatal error in the CMOS circuit as a Upset and Latch-up. In this paper, transient radiation NMOS, PMOS, INVERTER SPICE model was proposed on the basisi of transient radiation effects analysis using TCAD(Technology Computer Aided Design). Photocurrent generated from the MOSFET internal PN junction was expressed to the current source and Latch-up phenomenon in the INVERTER was expressed to parasitic thyristor for the transient radiation SPICE model. For example, the proposed transient radiation SPICE model was applied to CMOS NAND circuit.. SPICE simulated characteristics were similar to the TCAD simulation results. Simulation time was reduced to 120 times compared to TCAD simulation.

Key Words : CMOS, TCAD, Latch-up, Transient Radiation Effects (TRE)

1. 서 론

전자소자는 핵 폭발시 방출되는 에너지중 하나인 과도방사선[1]에 의해 Upset, Latch-up과 같은 치명적인 오류가 발생한다[2-3]. 특히 Latch-up 현상이 지속되면 소자가 Burnout 되어 동작하지 않게 된다. 전자소자의 방사선 피해 현상을 최소화하기 위해 시뮬레이션 및 실험을 통해 많은 연구가 진행되고 있으며 최근 TCAD (Technology Computer Aided Design)를 이용하여 방사선 피해 영향을 분석하려는 연구가 활발히 진행되고 있다. TCAD[4]를 통해 CMOS INVERTER[5] 등 간단한 단소자의 과도방사선 영향 분석을 하여 정밀한 결과 값을 얻을 수 있다. 그러나 CMOS 트랜지스터가 대량으로 사용되는 고밀도 집적회로(VLSI) 등에서는 분석을 위한 계산량이 기하급수적으로 늘어나므로 시뮬레이션 시간이 기하급수적으로 증가한다.

본 논문에서는 CMOS 공정의 기본 소자인 NMOS와 PMOS, INVERTER 에서 발생하는 과도 방사선 현상을 TCAD 시뮬레이션을 통하여 분석하고 이를 기준으로 하여 과도방사선 SPICE 모델을 제시하였다.

본 논문의 구성은 다음과 같다. Ⅱ장에서는 TCAD를 이용한 CMOS 공정의 기본소자인 NMOS와 PMOS INVERTER에 대한 과도방사선 분석결과에 대해서 기술하고 Ⅲ장에서는 Ⅱ장에서 분석한 결과를 이용하여 SPICE 모델 제작 방법에 대하여 기술하고 그 응용의 예로 CMOS NAND 회로에 SPICE 모델을 적용하였다. 그리고 Ⅳ장에서는 CMOS NAND 회로에 대한 과도방사선 현상을 비교하기 위하여 TCAD, SPICE 시뮬레이션을 진행하였고 Ⅴ장에서 결론을 맺는다.

† 교신저자, 정회원 : 전북대학교 전자공학부 부교수 공학박사
E-mail : kiee@kiee.or.kr
* 비 회 원 : 전북대학교 전자공보공학부 박사과정
한국원자력연구원 고급전문인력
** 정 회 원 : 한국원자력연구원 책임연구원
*** 정 회 원 : 한국과학기술원 박사과정
접수일자 : 2011년 9월 27일
최종완료 : 2012년 1월 31일

2. SPICE 모델을 위한 TCAD 분석

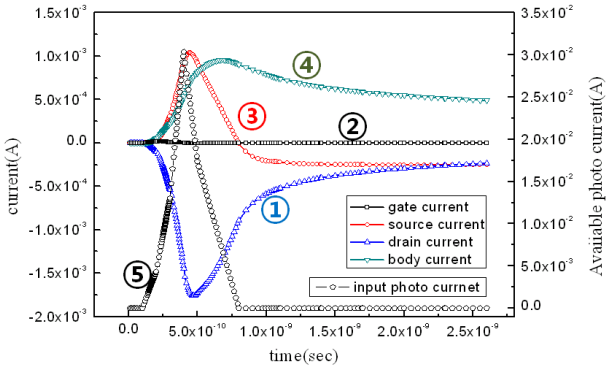
과도방사선 영향에 인한 CMOS 회로의 SPICE 모델을 위해 PMOS와 NMOS에서 발생하는 Upset 현상과 INVERTER에서 발생하는 Latch-up 및 Upset 현상을 TCAD 시뮬레이션을 기반으로 분석하였다.

2.1 PMOS

그림 1은 TCAD를 이용하여 [Vd=-5V, Vg=0V, Vs=0V, Vb=0V] turn-off 조건에서 과도방사선 세기⑤에 따라 PMOS의 Drain①, Gate②, Source③, N-well④에서 발생하는 광전류의 양을 분석한 결과이다. 과도방사선의 세기를 Available photo current로 표시한다. 과도방사선 의해 발생하는 광전류는 PMOS 내의 N-well과 P-diffusion 사이인 PN 접합부분에서 발생하며 N-well④에서 Drain①, Source③로 흐른다. 그리고 과도방사선 입사시 Drain①과 Source③ 사이에 전압차가 없을 경우 Source③에서 Drain①으로 광전류의 흐름이 없지만 Drain①과 Source③ 사이에 전압차가 있을 경우 Electron/Hole pair 생성으로 인한 일시적인 채널이 형성되어 Source③에서 Drain①으로 광전류가 흐르며 Gate②의 경우 SiO_2로 격리되어 있어 광전류 변화량은 거의 없다. 그리고 PMOS가 Turn-on 조건에서는 전기적 특

성에 의해 흐르는 전류에 과도방사선 입사시 발생하는 광전류가 추가된다.

그러므로 과도방사선에 의해 PMOS 내에서 흐르는 광전류는 CMOS 회로에서 입력과 무관하게 출력 전압이 변하는 Upset 현상을 가져온다.



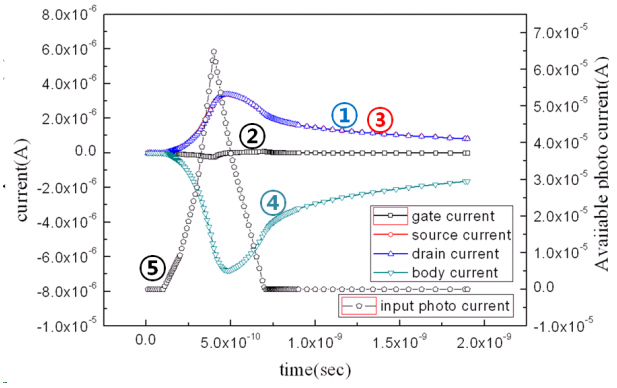
Vd=-5V, Vg=0V, Vs=0V, Vb=0V

그림 1 PMOS TCAD 분석
Fig. 1 PMOS TCAD Analysis

2.2 NMOS

그림 2는 TCAD를 이용하여 [Vd=0V, Vg=0V, Vs=0V, Vb=0V] turn-off 조건에서 과도방사선 입사시 NMOS의 Drain①, Gate②, Source③, Body④에서 발생하는 광전류의 양을 분석한 결과이다. 과도방사선 의해 발생하는 광전류는 NMOS내의 N-diffusion 과 P- substrate인 PN 접합부분에서 발생하며 Drain①과 Source③에서 Body④로 흐른다. 그리고 Drain①과 Source③ 사이에 전압차가 있을 경우 PMOSFET와 동일하게 과도방사선에 의해 일시적으로 누설전류가 흐르며 Gate② 전류 역시 흐르지 않고 NMOS가 Turn-on 조건에서 PMOS와 동일하다.

그러므로 이러한 과도방사선에 의한 NMOS 내의 흐르는 광전류는 CMOS 회로에서 입력과 무관하게 출력 전압이 변하는 Upset 현상을 가져온다.



Vd=0V, Vg=0V, Vs=0V, Vb=0V

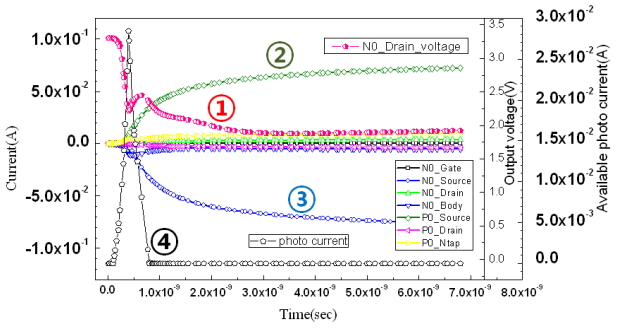
그림 2 NMOS TCAD 분석
Fig. 2 NMOS TCAD Analysis

2.3 INVERTER

그림 3은 TCAD를 이용하여 PMOS와 NMOS로 구성된 INVERTER의 과도방사선 현상을 시뮬레이션 한 결과이다.

그림 3는 입력전압이 0V, VDD=3.3V, GND=0V 조건에서 과도방사선④ 입사 초기에 NMOS 및 PMOS 채널영역에서 Electron/Hole Pair 생성으로 누설전류가 흐르기 때문에 출력 전압①이 3V에서 변화하는 Upset 현상을 가져온다.

그 이후에 출력전압①이 복구하려는 현상을 보이지만 PMOS N-well 전압이 하강하고 NMOS Body 전압이 상승하여 INVERTER 내부의 기생 PNPN 구조인 Thyristor를 동작시킨다. 이로 인해 VDD 전류②가 급격히 증가하고, INVERTER의 출력전압①이 감소하는 Latch-up 현상이 발생한다.



Input=0V, VDD=3.3V,

그림 3 INVERTER TCAD 분석
Fig. 3 INVERTER TCAD Analysis

3. 과도방사선 SPICE 모델 및 응용 예

2장에서 TCAD를 이용하여 분석한 NMOS, PMOS, INVERTER의 과도방사선 현상에 따른 SPICE 모델을 제안하고 과도방사선에 의한 집적회로 설계 및 분석을 위하여 응용의 예로 CMOS NAND 회로에 적용하였다.

3.1 NMOS, PMOS, INVERTER의 과도방사선 SPICE 모델

PMOS의 과도방사선 분석결과 광전류가 N-well에서 Drain과 Source로 흐르므로 전류원을 이용하여 대체하였다. 그리고 Drain과 Source 사이의 전압 차에 따라 발생하는 Turn-on 누설전류를 Diode와 Switch를 이용하여 그림 4(A)와 같이 PMOS 과도방사선 SPICE 모델을 구현할 수 있다.

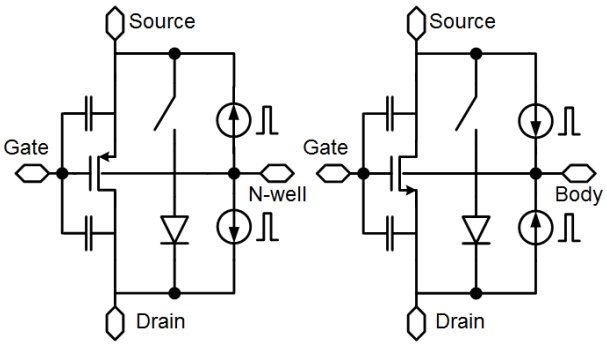
NMOS의 과도방사선 분석결과 PMOS과 마찬가지로 Drain과 Source간 전압차에 의한 Turn-on 누설전류를 Diode와 Switch를 이용하여 삽입하고 Drain과 Source에서 Body로 향하는 광전류를 전류원을 이용하여 그림 4(B)와 같이 NMOS 과도방사선 SPICE 모델을 구현할 수 있다.

INVERTER의 과도방사선 분석결과 입사초기에 PMOS의

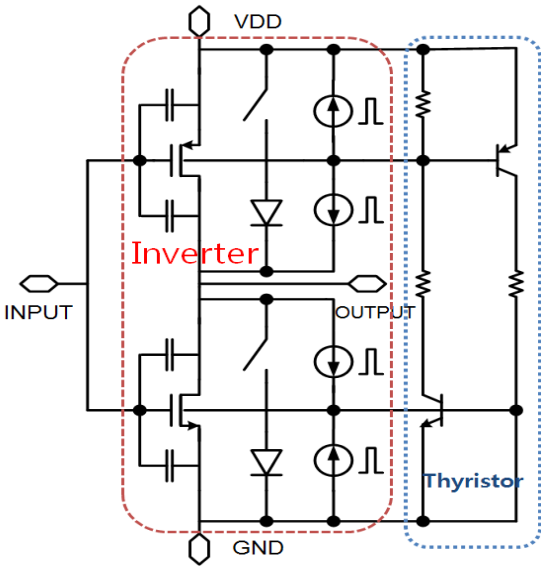
N-well에서 NMOS의 Body로 광전류가 흐르고, 과도방사선 세기가 기준치 이상이 되면 Latch-up 현상이 발생하여 VDD에서 GND로 전류가 급격히 흐른다. 그러므로 기생 Thyristor를 추가하여 그림 4(C)와 같이 INVERTER SPICE 모델을 구현할 수 있다. 여기서 Thyristor 각 노드의 저항은 Rectangular resistance 추출 방법을 사용하였으며 전류가 흐르는 방향에 따른 width, length, height를 알게 되면 식 (1)과 같이 간단하게 추출이 가능하다.

$$R_r = \rho \cdot \frac{L}{W \cdot H} \tag{1}$$

그리고 기생 BJT의 β값이 Latch-up 에 가장 많은 영향을 주게 되므로 TCAD를 통해 INVERTER가 과도 방사선에 의해 방출하는 광전류를 통해 β값을 결정하였다. 이렇게 결정된 값은 소자의 Layout 기법 및 면적에 따라 달라진다.



(A) PMOS (B) NMOS



(C) INVERTER

그림 4 NMOS, PMOS, INVERTER의 과도방사선 SPICE 모델
Fig. 4 Transient Radiation SPICE Model of NMOS, PMOS, INVERTER

3.2 SPICE 모델에 의한 과도방사선 CMOS NAND 회로 설계

그림 4에서 제안한 PMOS, NMOS INVERTER의 과도방사선 SPICE 모델을 이용하여 과도 방사선 CMOS NAND 회로를 그림 5와 같이 설계 할 수 있다.

그림 5에서 사용되는 모든 PMOS, NMOS에는 그림 4(A), (B)와 같은 과도방사선 SPICE 모델을 적용하였고, NMOS와 PMOS 사이의 Latch-up 현상을 표현하기 위해 VDD, GND, N-well, Body에 걸쳐 그림 4(C)와 같은 기생 Thyristor 구조를 삽입하였다.

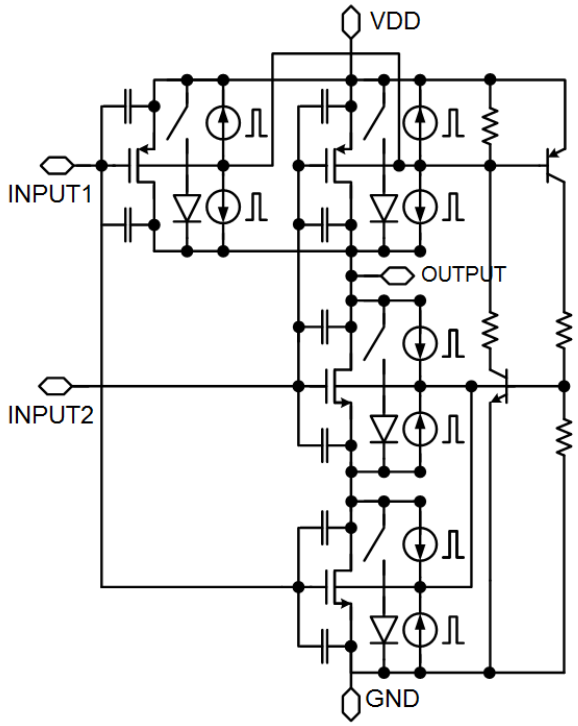


그림 5 과도방사선 CMOS NAND 회로
Fig. 5 Transient Radiation CMOS NAND Circuit

4. 시뮬레이션 및 고찰

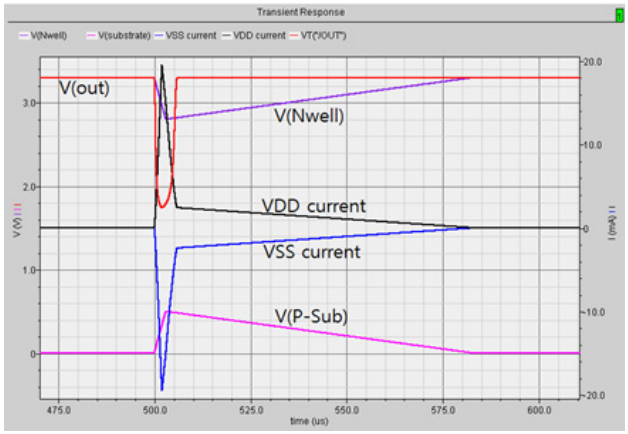
그림 5의 과도방사선 CMOS NAND 회로의 검증을 위해 TCAD와 SPICE를 통해 비교 시뮬레이션을 진행하였다.

4.1 과도방사선 CMOS NAND 회로 SPICE 시뮬레이션

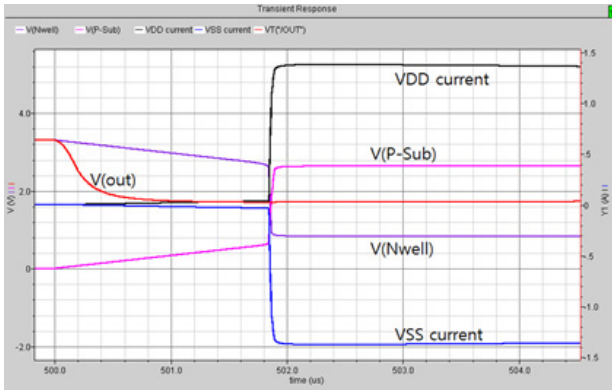
그림 6(A)는 설계된 과도방사선 CMOS NAND 회로의 Upset 현상에 대한 시뮬레이션 결과이다. 과도방사선에 의해 NMOS, PMOS 내의 PN 접합에서 Electron/Hole Pair 생성으로 NAND가 순간적으로 Trun-on 된다. 이로 인해 전류 경로가 NAND 입력과 무관하게 형성이 되어 출력 전압 V(out)이 3.3V에서 1.8V까지 하강했다 상승하는 Upset 현상을 보인다.

그림 6(B)는 과도방사선 량을 20배 증가시켰을 때 CMOS NAND 회로의 Latch-up 현상에 대한 시뮬레이션 결과이다.

입력 초기에 광전류에 의해 PMOS의 N-well 전압의 하강과 NMOS의 P-Sub 전압의 상승이 기생 Thyristor를 동작시킴으로써 Latch-up 현상을 발생한다. 그러므로 VDD 전류가 급격히 증가한다.



(A) Upset 현상 (입력 A=0, B=0)



(B) Latch-up 현상 (입력 A=0, B=0)

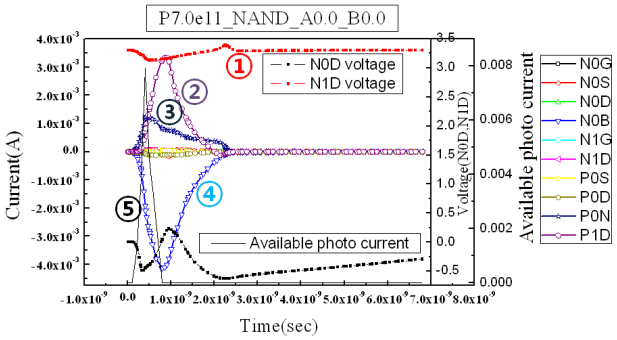
그림 6 과도방사선 CMOS NAND 회로 시뮬레이션 결과
Fig. 6 Simulation Results of Transient Radiation CMOS NAND Circuit

4.2 CMOS NAND 회로 TCAD 시뮬레이션

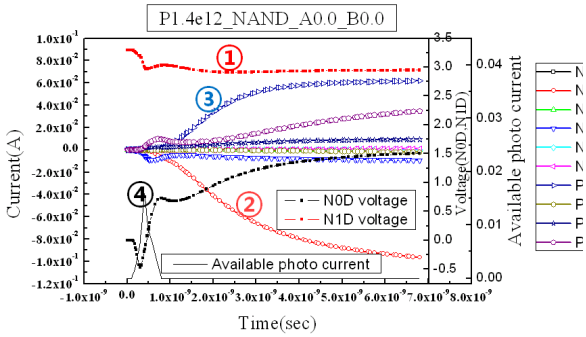
그림 7은 CMOS NAND 회로를 TCAD를 이용하여 과도방사선 현상을 시뮬레이션한 결과이다.

그림 7(A)에서 PMOS0의 N-well③에서 NMOS의 Body④로 흐르는 전류는 과도방사선에 의해 발생된 광전류이며 PMOS1의 Drain②에서 NMOS의 Body④로 흐르는 전류는 NMOS의 Drain과 Source사이의 전압차에 의한 누설 전류이다. 이 때 출력 전압①이 0.5V 가량 흔들리는 Upset 현상이 발생한다.

그림 7(B)는 과도방사선 세기를 (A)보다 2배 증가하여 TCAD 시뮬레이션 한 결과이다. PMOS의 Source③인 VDD에서 NMOS의 Source②인 GND로 전류가 급격히 증가하여 Latch-up 현상을 발생시키고, 이로 인해 출력 전압①은 약간 하강한다.



(A) A=0, B=0, Upset 현상



(B) A=0, B=0. Latch-up 현상

그림 7 NAND 과도방사선 현상 TCAD 분석 결과
Fig. 7 TCAD Analysis Results for Transient Radiationion Effects of NAND

4.3 특성 비교 및 고찰

표 1은 CMOS NAND 회로의 과도방사선 현상을 TCAD와 SPICE를 이용하여 비교 시뮬레이션한 결과이다. 동일한 조건에서 SPICE 2분, TCAD는 4시간의 시뮬레이션 시간이 소요되어 120배 차이가 났다. 그리고 TCAD, SPICE, 실험에 의한 특성은 비교적 유사함을 확인 하였다. SPICE의 시뮬레이션 시간이 TCAD 보다 현저히 감소하는 이유는 해석방법의 차이로 사료된다. 시뮬레이션 시간에서 강한 이점이 가지므로 본 연구에서 제시한 과도 방사선 SPICE Model을 CMOS 집적회로 분석에 적용한다면 분석시간을 단축시킬 수 있을 것이다.

표 1 CMOS NAND 회로 시뮬레이션 비교
Table 1 Comparison of Simulation Result for CMOS NAND Circuit

Simulator	TCAD	SPICE
Time	4시간	2분

5. 결 론

본 논문에서는 CMOS 회로의 과도방사선 현상인 Upset, Latch-up의 분석을 위해 TCAD를 이용하여 PMOS, NMOS, INVERTER의 과도방사선 현상을 분석하였다. 분석된 결과를 CMOS 회로에 적용할 수 있도록 과도방사선

SPICE 모델을 제시하였다. NAND 회로를 예로 PMOS와 NMOS에는 과도방사선 SPICE 모델을 적용하였고 PMOS와 NMOS 사이의 Latch-up 현상을 적용하기 위해 VDD, GND, N-well, Body에 거쳐 기생 Thyristor 구조를 삽입하였다.

과도방사선 NAND 회로에 대하여 TCAD와 SPICE 시뮬레이션 시간은 120배이고, SPICE, TCAD 모의실험 특성은 유사하여 본 연구에서 제시한 SPICE 모델의 유용함을 확인하였다. 따라서 본 연구에서 제안한 과도방사선 SPICE 모델을 이용한다면 CMOS 집적회로 등에서 발생하는 과도방사선 현상의 분석이 용이할 것이다.

감사의 글

본 연구는 한국원자력연구원을 통한 국방과학연구소 연구비지원으로 수행되었습니다.

참 고 문 헌

[1] Larry L., "NUCLEAR EVENT DETECTOR", http://www.freepatentsonline.com/, pp. 2, Aug 1987.

[2] George C Messenger, "The effects of radiation on electronic systems", New York : Van Nostrand Reinhold, cop., 1992.

[3] Lewis Cohn, Manfred Espig, Al Wolicki, Mayrant Simons, Clay Rogers, Alfred Costantine, "Transient Radiation Effects on Electronics(TREE) Handbook", Defence Nuclear Agency, 1996.

[4] Ahlbin, J., Gadlage, M., Atkinson, N., Narasimha-m, B., Bhuva, B., Witulski, A., Holman, W. Ea- ton, P. ; Massengill, L., "Effect of Multiple -Transistor Charge Collection on Single-Event Transient Pulse Widths", Device and Materials Reliability, IEEE Transactions on, Issue, 99, pp 1, May, 2011,

[5] Daisuke Kobayashi, Kazuyuki Hirose, Véronique Ferlet-Cavrois, Dale McMorrow, Takahiro Makino, Hirokazu Ikeda, Yasuo Arai, Morifumi Ohno, "Device-Physics-Based Analytical Model for Single-Event Transients in SOI CMOS Logic", NUCLEAR SCIENCE, IEEE Transactions on, Vol. 56, No. 6, pp 3043-3049, December 2009.

저 자 소 개

정 상 훈 (丁 相 勳)

2007년 전북대학교 반도체과학기술학과 학사 졸업, 2009년 전북대학교 전자정보공학부 석사졸업, 2012년~현재 전북대학교 전자정보공학부 박사과정.

주관심분야: 저전력/고성능 A/D Converter, PLL, Transient Radiation Modeling

E-mail : shjung85@jbnu.ac.kr

이 남 호

1991년 경북대학교 전자공학과 학사 졸업.
1993년 경북대학교 전자공학과 석사 졸업.
2004년 충남대학교 전기공학과 박사 졸업.
현재 : 한국원자력연구원 융합기술개발부 책임연구원

주관심분야: 방사선 센서, 입체영상, 원격제어 시스템

이 민 수 (李 玟 洙)

2006년 KAIST 전기공학과 학사 졸업
2008년 KAIST 전기공학과 석사 졸업
2012년 현재 KAIST 전기공학과 박사과정

주관심분야: Radiation damage reduction structure for electronics

조 성 익 (趙 成 翊)

1987년 전북대학교 전기공학과 학사 졸업.
1989년 전북대학교 전기공학과 석사 졸업.
1994년 전북대학교 전기공학과 박사 졸업.
1996년~2004년 Hynix 반도체 메모리 연구소 책임연구원, 2004년~현재 전북대학교 전자공학부 부교수.

주관심분야: 저전압/고속 Graphic DRAM, Low-voltage Low-power analog circuit, High speed data Interface circuit, ADC/DAC, Filter, PLL/DLL

E-mail : sicho@jbnu.ac.kr