

LED용 Si 기판의 저비용, 고생산성 실리콘 관통 비아 식각 공정

구영모¹ · 김구성² · 김사라은경^{1,†}

¹서울과학기술대학교 NID융합기술대학원, ²강남대학교 전자공학과

Developing Low Cost, High Throughput Si Through Via Etching for LED Substrate

Youngmo Koo¹, GuSung Kim² and Sarah Eunkyung Kim^{1,†}

¹Graduate School of NID Fusion Technology, Seoul National University of Science and Technology,
232 Gongreung-Rho, Nowon-gu, Seoul 139-743, Korea

²Department of Electrical Engineering, Kangnam University, 40 Gangnam-Rho, Giheung-gu, Kyunggi-do 446-702, Korea

(2012년 9월 10일 접수: 2012년 10월 8일 수정: 2012년 11월 7일 게재확정)

초 록: 최근 발광다이오드(LED)의 출력 성능을 높이고, 전력 소비를 줄이기 위해 LED 패키지 분야에서 실리콘 기판 연구가 집중되고 있다. 본 연구에서는 공정 비용이 낮고 생산성이 높은 습식 식각을 이용하여 실리콘 기판의 실리콘 관통 비아 식각 공정을 살펴보았다. KOH를 이용한 양면 습식 식각 공정과 습식 식각과 건식 식각을 병행한 두 가지 공정 방법으로 실리콘 관통 비아를 제작하였고, 식각된 실리콘 관통 비아에 Cu 전극과 배선은 전기도금으로 증착하였다. Cu 전극을 연결하는 배선의 전기저항은 약 5.5 Ω 정도로 낮게 나타났고, 실리콘 기판의 열 저항은 4 K/W로 AlN 세라믹 기판과 비슷한 결과를 보였다.

Abstract: Silicon substrate for light emitting diodes (LEDs) has been the tendency of LED packaging for improving power consumption and light output. In this study, a low cost and high throughput Si through via fabrication has been demonstrated using a wet etching process. Both a wet etching only process and a combination of wet etching and dry etching process were evaluated. The silicon substrate with Si through via fabricated by KOH wet etching showed a good electrical resistance (~5.5 Ω) of Cu interconnection and a suitable thermal resistance (4 K/W) compared to AlN ceramic substrate.

Keywords: LED, Si substrate, Si through-via, Wet etching, Thermal resistance

1. 서 론

고출력, 고효율, 고휘도, 우수한 내구성, 등과 같은 특징을 갖는 LED(light emitting diode)는 여러 분야에서 그 역할이 점차 증가하고 있으며, 휴대전화의 백라이트 유닛(Backlight Unit)과 자동차의 외부 조명으로도 사용이 확대 되어 가고 있다. 특히 조명분야에서는 LED의 활용이 점차 늘어가고 있는 상황이며 LED 조명시장은 점점 커져가고 있다.^{1,2)} 현재 LED는 일반 조명의 출력과 동등한 성능을 내기 위해서 고효율의 LED화 되고 있으며 그에 따라 LED 칩(chip)의 구동전류는 빠르게 높아지고 있다. 백열등, 형광등의 광원들과 달리 LED는 광 반도체소자로 입력된 전력의 80% 정도를 빛을 내기 위해 열에너지로 전환하고 있어 LED 칩의 온도는 계속 높아진다.³⁾ 이에 따라 LED 칩의 온도 관리는 신뢰성과 내구성을 결

정짓는 중요한 요소가 된다. LED 연구는 칩의 소형화, 방열 기술, LED 소재에 대한 연구가 진행되고 있으며 그 중 온도 관리를 위한 방열 기술 및 측정에 대한 연구가 활발히 진행 되고 있다.⁴⁻⁸⁾ 현재 LED 방열 기술은 LED 칩 구조, LED 기판 문제, 형광체, 몰드 에폭시 등의 여러 가지 측면에서 연구가 진행되고 있다. 그 중 효율적인 방열을 위한 기술적 측면으로 LED 패키지 설계를 통한 방열 기술이 있으며 대류, 복사, 전도의 모든 측면을 고려한 설계가 이루어져야 함으로 어려움이 있다.⁹⁾ LED 패키지는 구조적으로 적층의 형태를 이루고 있어 열 전달의 방법 중 전도 특성에 의한 열 전달 방법이 매우 중요하다. 방열 특성을 고려한 LED 패키지는 기존의 플라스틱 패키지에서 세라믹 패키지와 메탈이 적용된 패키지 형태로 변화 되고 있으며 최근에는 열 특성이 우수한 실리콘 웨이퍼를 패키지 소재로 사용하고 있다.¹⁰⁾

[†]Corresponding author
E-mail: eunkyung@seoultech.ac.kr

© 2012, The Korean Microelectronics and Packaging Society

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

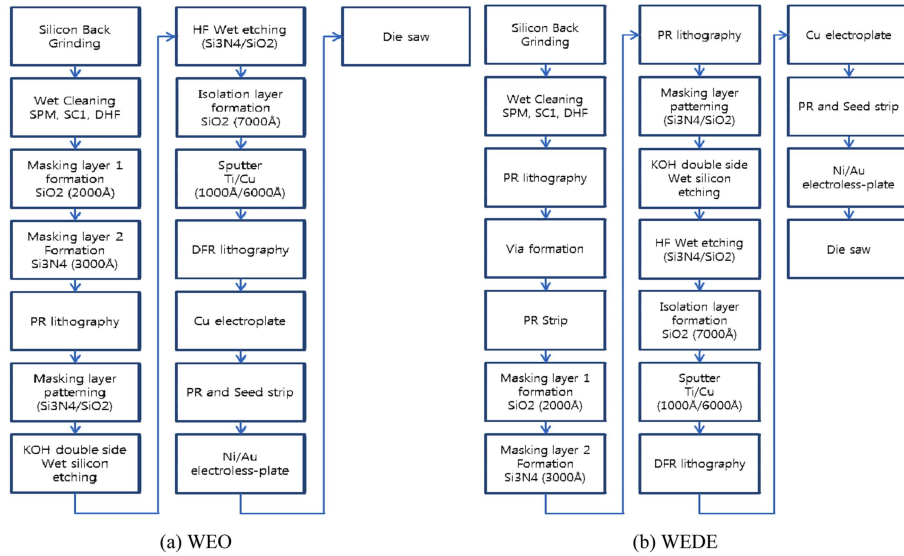


Fig. 1. Deep Si via process flow by (a) WEO and (b) WEDE.

실리콘의 열 특성을 이용한 연구를 살펴보면 실리콘 웨이퍼에 습식 식각(wet etching)을 이용하여 LED 칩 관통 비아를 만들고 SnPb 솔더볼(solder ball)을 사용하여 전극을 형성한 후 제작된 실리콘 관통 비아에 LED 칩을 실장하는 방법이 소개된 바 있고, 실리콘 기판을 사용함으로써 AI 기판보다 열팽창계수의 차이를 줄일 수 있기 때문에 약 1.5 배 낮은 열 응력을 가지는 것으로 보고 되었다.¹⁾ 또한, 실리콘 열전장치(thermoelectric device)를 제작하여 고효율 LED의 방열을 위해 적용한 경우도 있다.²⁾ 실리콘 열전장치는 기존의 세라믹 열전장치에 비하여 열전도율이 3배 이상 우수하며, 실리콘 기반의 LED 패키지 칩의 경우 세라믹 열전장치와의 열팽창계수의 차이로 인한 문제가 발생하지만 실리콘을 열전장치로 이용할 경우에는 그에 대한 문제점이 거의 발생하지 않는다.

실리콘 웨이퍼를 LED 기판으로 사용하면 기존의 세라믹 기판에 비해 열 전달 특성이 좋고, 기존 반도체 공정을 그대로 적용할 수 있으며, 또한 LED 패키지 제작 시 배열 가능한 형태로 제작할 수 있는 장점들이 있다. 본 연구에서는 실리콘 기판의 방열 특성을 분석하기 위해서 세라믹 기판과 실리콘 기판의 열 저항을 측정 분석하였다. LED용 기판으로 연구되는 실리콘 웨이퍼의 제작공정 중 공정 단가가 높은 공정은 실리콘 관통 비아 제작이며, 이는 주로 건식 식각(dry etching)으로 진행되고 있다.¹²⁻¹³⁾ 본 연구에서는 기존의 건식 식각보다 저렴한 습식 식각을 적용하여 관통 비아를 제작하는 공정을 개발하고 관찰하였다. 건식 식각 공정의 경우 정밀한 높은 종횡비(aspect ratio)를 가지며 수직 형태의 제어가 가능하다는 장점들이 있으나, 식각 속도에 제한이 있고, 고비용의 공정이라는 단점이 있기 때문에,¹⁴⁾ 건식 식각에 비해 저비용과 높은 식각 속도, 그리고 일괄 공정이 가능한 습식 식각 공정 개발은 대량생산에 매우 중요한 공정 개발이라 하겠다.

2. 실험 방법

실리콘 기판에 두 가지 습식 식각 공정을 이용하여 실리콘 관통 비아를 제작하였다. 하나는 습식 식각으로만 진행된 공정(WEO: wet etching only)이고, 다른 하나는 습식과 건식 식각을 병행하는 공정(WEDE: combination of wet etching and dry etching)이다. 각 시편 제작을 위한 공정 순서는 Figure 1에 도식도로 나타내었다. WEO 공정으로 진행되는 실리콘 관통 비아의 제작 방법은 먼저 8인치 실리콘 웨이퍼를 400 μm까지 연삭(grinding)한 후, 습식 식각의 마스크 층으로 사용될 SiO₂와 Si₃N₄을 furnace와 LPCVD(low pressure chemical vapor deposition) 공정을 통해 각각 2000Å과 3000Å으로 증착하였다. Figure 2(b)와 같은 실리콘 관통 비아 모양을 습식 식각으로 만들기 위해서 양면에 lithography가 진행되었고, 본 공정의 핵심인 양면 습식 식각이 한번에 이루어졌다. 실리콘 웨이퍼 앞면과 뒷면에 약 400 μm 지름의 육각형 모양의 실리콘 관통 비아가 깔때기(funnel)형으로 형성되었다. 실리콘 관통 비아는 온도 80°C에서 농도 33% KOH용액에 습식 식각되었고, dilute HF로 남은 SiO₂와 Si₃N₄층을 제거하였다. 제작된 실리콘 관통 비아에 SiO₂ 절연막 7000Å

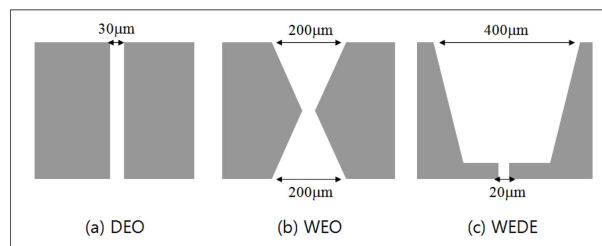


Fig. 2. Schematic of cross sectional view: (a) DEO, (b) WEO, and (c) WEDE.

Table 1. Unit process conditions

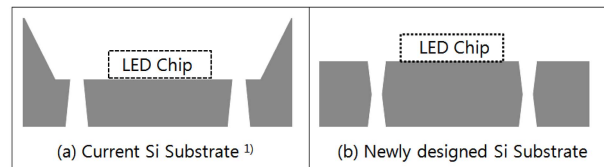
Unit Process	Equipment	Process Conditions
Sputtering	Q300 (JuSung Eng)	Ti Deposition Power: 2.5 KW, Ar Flow: 120sccm, Pressure: 2mtorr, Time: 400sec
		Cu Deposition Power: 4 KW, Ar Flow: 50sccm Pressure: 1mtorr, Time: 100sec
Cu Electroplating	UFP200 (Ebara)	Cu plating solution: Spherolyte Cu 200 sol Surface Pretreatment: H ₂ SO ₄ (3%) Current: 0.5A (0.25ASD), Time: 6hours
Si Grinding	DFP8760 (Disco)	Initial Si Thickness: 815 μ m 1 st step: grinding down to 500 μ m 2 nd step: grinding down to 400 μ m 3 rd step: Polishing
Wet Etching	WET12 (Duritec)	Chemical: 33% KOH Temperature: 80°C Etch Rate: 1 μ m/min
Dry Etching	DRIE Selex (APTC)	Type: Bosch process Etch Rate: 3.8 μ m/min
		<u>Deposition Step:</u> Pressure: 30mtorr, C4F8 Flow: 100sccm, Power: source 5 kw, bias 0 W
		<u>Etch step:</u> Pressure: 60mtorr, SF6 Flow: 200sccm Power: source 5 kw, bias 150w

을 증착하였고, 배리어층(barrier layer)과 씨드층(seed layer)으로 2000Å Ti와 6000Å Cu 층의 금속 박막을 스퍼터(sputter)공정을 통해 증착하였다. 그리고 20 μ m 이상 두께의 Cu 전극 및 배선을 전기도금으로 웨이퍼 앞면과 뒷면으로 두 번에 걸쳐서 진행하였다. 각 단위공정의 공정 조건은 Table 1에 설명하였다.

습식 식각과 건식 식각을 병행하는 WEDE 공정으로 제작된 실리콘 기판은 Figure 2(c)와 같은 모양이고, 다음과 같이 진행되었다. 8인치 실리콘 웨이퍼를 400 μ m까지 연삭한 후, 먼저 실리콘 뒷면에 약 30 μ m 지름에 45 μ m 깊이의 원형 실리콘 관통 비아를 DRIE(deep reactive ion etching)를 이용한 건식 식각으로 형성하였다. 뒷면에 건식 식각된 실리콘 웨이퍼의 앞면에 400 μ m 지름의 육각형 실리콘 관통 비아가 패턴 되었고, 온도 80°C에서 농도 33% KOH 용액으로 웨이퍼 전체를 습식 식각하였다. SiO₂ 절연막과 배리어층과 씨드층 증착, 그리고 Cu 전극 및 배선의 전기도금은 WEO 방법과 동일한 방법으로 진행하였다. 제작된 시편의 단면은 SEM(scanning electron microscope)으로 관찰하였고, Cu 배선의 전기 저항 측정은 probe station으로 측정하였다. 마지막으로 실리콘 기판의 열 특성을 AlN 세라믹 기판과 비교하기 위해서 열 저항을 thermal transient tester로 측정하였고, 측정 시 구동전압과 구동전류는 각각 8.95 V와 690 mA였다.

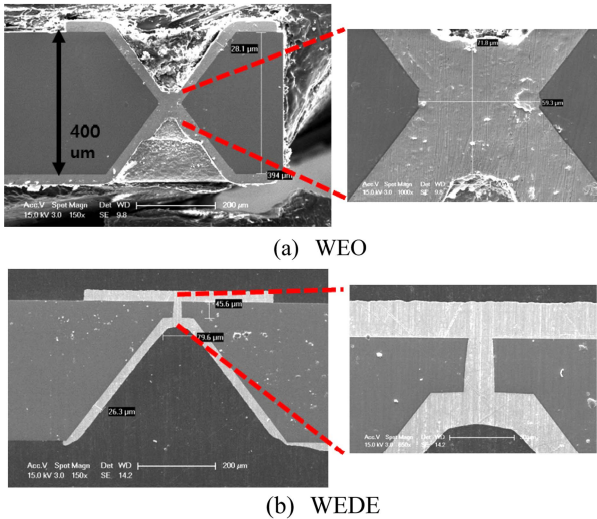
3. 결과 및 고찰

실리콘 기판에 실리콘 관통 비아를 형성하는 방법에는 건식 식각으로만 진행된 공정(DEO: dry etching only)과

**Fig. 3.** Schematic of LED chip package on Si substrate.

WEDE 공정, 그리고 WEO 공정이 있다. 각 공정은 대략 14~15개의 단위 공정으로 구성되어 있으며, 일반적으로 실리콘 관통 비아를 제작하는데 있어 습식 식각 공정이 건식 식각 공정에 비하여 비용이 낮은 공정이라 하겠다. 본 연구에서 진행한 WEO 공정의 특징은 웨이퍼 한 면당 습식 식각을 적용했던 기존의 실리콘 관통 비아 공정과 달리 실리콘 웨이퍼의 양면에서 동시에 습식 식각을 진행하여 공정 비용을 더욱 절감시키고 시간을 단축시키는 데 있다. 한편, WEO 공정의 경우 관통 비아를 Cu로 완전 충진을 하지 않고 배선을 증착하기 때문에 Cu 도금 시간혹 발생하는 구멍(void)이 차후 수지 렌즈 성형 시 수지가 구멍으로 들어갈 가능성이 있어서 이를 보완하는 방법으로 일부 완전 충진을 하는 WEDE 공정을 시도하였다. 또한, Figure 3에서 보듯이 기존의 습식 식각으로 제작된 실리콘 기판과 본 연구에서 제작된 실리콘 기판은 전극 및 배선과 LED 칩 장착 등 LED 패키지의 구조적인 면에서 구성이 크게 다르다. 그리고 실리콘 기판의 두께도 기존의 기판은 500 μ m-900 μ m으로 두꺼웠으나, 본 연구에서는 실리콘 기판 두께를 400 μ m으로 낮추었으며, 전극의 종류도 SnPb 대신 Cu 전극을 사용하였다.

공정 비용뿐 아니라 실리콘 관통 비아를 만드는 위 3가



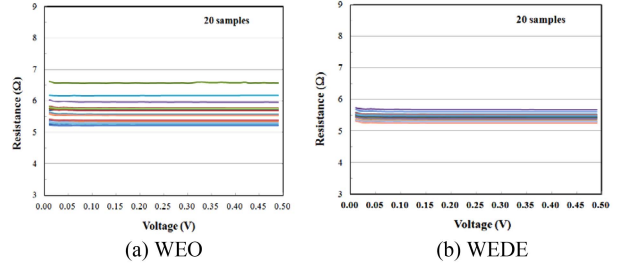
(a) WEO

(b) WEDE

Fig. 4. SEM images of (a) WEO and (b) WEDE.

지 공정의 큰 차이는 최종적인 실리콘 관통 비아의 모양이라 하겠다. Figure 2에서 볼 수 있듯이 DEO 공정은 수직형이고, WEO 공정은 갈때기형이며, WEDE 공정은 앞면은 갈때기형으로 뒷면은 짧은 수직형으로 되어 있다. Figure 4은 WEO 공정과 WEDE 공정으로 실제 제작된 웨이퍼의 단면을 보여주고 있다. LED 패키지에서 실리콘 관통 비아의 주 목적은 실리콘 웨이퍼의 앞면과 뒷면을 전기적으로 연결해 주는 것으로 실리콘 관통 비아의 모양은 중요하지 않다. 왜냐하면 비아를 전체적으로 채우지 않고, Figure 4와 같이 비아에 20-30 μm 두께의 배선만 형성되면 되기 때문이다. 하지만 비아의 모양은 배선 형성을 위한 배리어층(barrier layer) 증착, 씨드층(seed layer) 증착, 그리고 Cu 도금 공정에 큰 영향을 주게 된다. WEO 공정의 경우와 같은 갈때기형은 스퍼터공정을 이용한 배리어층과 씨드층 증착에 효과적일 뿐 아니라 균일한 Cu 도금 공정에도 가장 이로운 이점을 가진다. 또한, WEO 공정의 경우 양면 습식 식각 공정을 적용할 수 있기 때문에 공정시간을 단축할 수 있고, 이는 대량생산을 위한 저가 공정에 효과적이라 하겠다.

전기적 연결을 위해 형성된 Cu 전극 및 배선의 경우 기판의 전기적 연결의 역할뿐 아니라 Cu 배선을 통해서 LED 칩에서 발생된 열을 방열하는 기능도 할 수 있어야 한다. 방열 기능을 위해서는 Cu 배선의 두께가 최소 20 μm 이상 되어야 하며, Figure 4에서 보듯이 WEO 공정의 경우는 실리콘 기판의 앞면과 뒷면에 약 28 μm 두께의 Cu 전극 및 배선이 형성되었고, WEDE 공정의 경우는 앞면은 약 26 μm 그리고 뒷면은 32 μm 두께의 Cu 전극 및 배선이 형성된 것을 볼 수 있었다. Figure 5는 WEO 공정과 WEDE 공정으로 제작된 웨이퍼의 앞뒤 전극을 연결하는 배선의 전기 저항을 측정한 결과로, 각 공정마다 20개의 시편들을 측정하였으며, WEO의 경우 평균 5.62 Ω±0.34 Ω의 전기저항을 보였고, WEDE의 경우는



(a) WEO

(b) WEDE

Fig. 5. Electrical resistance measurements of (a) WEO and (b) WEDE.

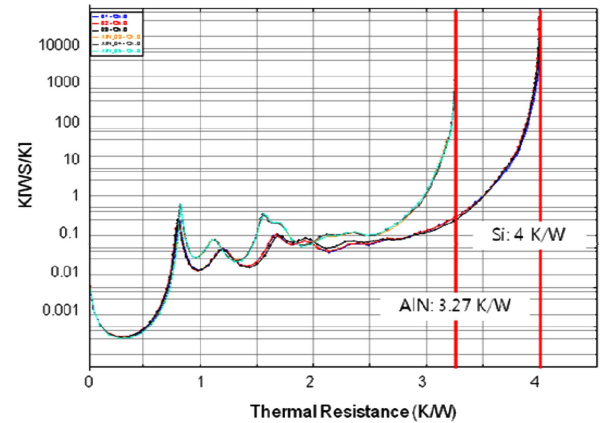


Fig. 6. Thermal resistance measurements between Si and ceramic (AlN) substrate.

5.42 Ω±0.11 Ω의 전기저항을 보였다. 이는 습식 식각으로 제작된 실리콘 관통 비아도 안정되고 균일한 Cu 전극 및 배선을 형성할 수 있음을 보여주고 있다.

기존의 LED용 방열 기판으로 사용하고 있는 AlN 기판 대신에 실리콘 기판의 사용 가능성을 비교하기 위하여 AlN 기판과 실리콘 기판의 열 저항 특성을 분석하였다. 시료는 실리콘 기판과 AlN 기판에 각각 LED 칩 3개를 실장하였고, 그에 따른 전극을 연결하기 위해 6개의 관통 비아를 형성하였다. 본 실험에서 AlN 기판에는 약 50 μm 지름의 DEO 경우와 같은 수직형 관통 비아가 있었으며 실리콘 기판은 WEO 공정으로 제작된 관통 비아가 형성되어 있었다. 열 저항 측정은 측정 장비의 9개 측정 단자(channel)중 AlN 기판과 실리콘 기판에 각각 3개의 단자를 연결한 후 같은 시료의 단자별 값을 읽었으며, 이를 Figure 6에 나타내었다. Figure 6에서 보듯이 실리콘 기판의 열 저항은 4 K/W로 측정되었고, 이는 기존의 건식 식각인 ICP(inductively coupled plasma) 공정으로 제작된 실리콘 기판의 열 저항 값과 동일함을 보였다.¹³⁾ 그리고 제작된 실리콘 기판은 3.27 K/W를 갖는 AlN 기판보다 열 저항이 0.73 K/W 높은 것으로 나타났지만, 본 실험에서 제작된 실리콘 기판이 AlN 기판보다 200 μm 두꺼워서 LED 칩에서 발생한 열이 기판의 하부로 빠지기 어려웠다는 점과 AlN 기판의 하부에는 방열을 위해 금속 층이 형성되어 있었다는 점을 감안할 때, 실리콘 기판은 매우

우수한 열 특성을 가지고 있다고 판단되며 LED 칩 기판으로 사용하는데 충분하다고 보겠다. 제작된 실리콘 기판의 두께가 400 μm 으로 AlN 기판보다 200 μm 두꺼웠던 이유는 현재 공정 기술로는 캐리어(carrier) 웨이퍼 본딩 없이 실리콘 웨이퍼를 200 μm 까지 연삭하기 매우 어렵기 때문이다.

4. 요약

실리콘 웨이퍼를 LED 기판으로 사용하기 위한 적합성을 살펴보았다. 특히, 실리콘 관통 비아를 제작함에 있어서 고가의 건식 식각을 대체할 수 있는 습식 식각 공정을 연구하였다. 습식 식각만으로 진행되는 공정(WEO)은 건식 식각으로만 진행되는 공정(DEO)과 습식과 건식 식각을 병행하는 공정(WEDE)에 비해 전체 공정 비용을 절감할 수 있었으며, Cu 전극 및 배선의 앞뒤 연결상태도 매우 좋았고, 배선의 전기 저항 값도 낮았다. 또한, 습식 식각 공정으로 제작된 실리콘 기판은 4 K/W의 열저항을 가졌으며 이는 건식 식각으로 제작된 실리콘 기판과도 차이가 없었고, 세라믹 기판과 비교하여도 우수한 결과로 LED 기판으로의 사용 가능성을 보였다. 습식 식각 공정을 이용하여 실리콘 기판의 실리콘 관통 비아를 제작하는 공정은 LED 기판의 특성을 유지하면서 공정 비용을 절감할 수 있는 장점을 가진 공정이라 하겠다

감사의 글

본 논문은 서울과학기술대학교 교내 학술연구비 지원으로 수행되었습니다.

참고문헌

1. C. Tsou and Y. Huang, "Silicon-Based Packaging Platform for Light-Emitting Diode", IEEE Trans. Adv. Packag., 29(3), 607 (2006).
2. J. -H. Cheng, C. -K. Liu, Y. -L. Chao and R. -M. Tain, "Cooling Performance of Silicon-Based Thermoelectric Device on High Power LED", Proc. 24th International Conference on Thermoelectrics, Clemson, 53, IEEE Components, Packaging and Manufacturing Technology Society (CPMT) (2005).
3. L. Liu, Z. Q. Zhang, D. Yang, K. Pan, H. Zhong and F. Hou, "Thermal Analysis and Comparison of Heat Dissipation Methods on High-Power LEDs", Proc. 11th International Conference on Electronic Packaging Technology & High Density Packaging (ICEPT-HD 2010), Xi'an,, 1366, IEEE CPMT (2010).
4. 안재평, 김효진, 박경원, 장혜정, "LED 소자의 방열을 위한 다기능성 복합재료의 개발현황 및 기술동향" (in Korean), 재료마당, 24(3), 17 (2011).
5. 김기윤, 함광근, "고출력 LED 투과등의 방열 기술 동향" (in Korean), 한국조명전기설비학회 춘계학술대회, 214 (2009).
6. T. Cheng, X. Luo, S. Huang and S. Liu, "Thermal Analysis and Optimization of Multiple LED Packaging Based on a General Analytical Solution", Int. J. Therm. Sci., 49, 196 (2010).
7. H. W. Shin, H. S. Lee, J. O. Bang, S. H. Yoo, S. B. Jung and K. D. Kim, "Variation of Thermal Resistance of LED Module Embedded by Thermal Via", J. Microelectron. Packag. Soc., 17(4), 95 (2010).
8. 이태희, 황용준, 신무환, "GaN 기반 LED 패키지의 열저항측정법을 통한 열특성 분석" (in Korean), 한국 마이크로전자 및 패키징 학회 추계학술대회, 29 (2004).
9. H. -H. Kim, S. -H. Choi, S. -H. Shin, Y. -K. Lee, S. -M. Choi and S. Yi, "Thermal Transient Characteristics of Die Attach in High Power LED PKG", Microelectron. Reliab., 48, 445 (2008).
10. W. K. Jeung, S. H. Shin, S. Y. Hong, S. M. Choi, S. Yi, Y. B. Yoon, H. J. Kim, S. J. Lee and K. Y. Park, "Silicon-Based, Multi-Chip LED Package", Proc. 57th Electronic Components and Technology Conference (ECTC), Reno, 722, IEEE CPMT (2007).
11. B. Cao, S. Yu, H. Zheng and S. Liu, "Silicon-Based System in Packaging for Light Emitting Diodes", Proc. 62th Electronic Components and Technology Conference (ECTC), San Diego, 1267, IEEE CPMT (2012).
12. 조남인, 천인호 "KOH 용액 및 KOH-IPA 혼합용액에 의한 단결정 실리콘의 이방성식각 특성" (in Korean), J. Kor. Vac. Soc., 11(4), 249 (2002).