

Gate 전하를 감소시키기 위해 Separate Gate Technique을 이용한 Trench Power MOSFET Trench Power MOSFET using Separate Gate Technique for Reducing Gate Charge

조 두 형*, 김 광 수**

Doohyung Cho*, Kwangsoo Kim**

Abstract

In this paper, We proposed Separate Gate Technique(SGT) to improve the switching characteristics of Trench power MOSFET. Low gate-to-drain 전하 (Miller 전하 : Qgd) has to be achieved to improve the switching characteristics of Trench power MOSFET. A thin poly-silicon deposition is processed to form side wall which is used as gate and thus, it has thinner gate compared to the gate of conventional Trench MOSFET. The reduction of the overlapped area between the gate and the drain decreases the overlapped charge, and the performance of the proposed device is compared to the conventional Trench MOSFET using Silvaco T-CAD. Ciss(input capacitance : Cgs+Cgd), Coss(output capacitance : Cgd+Cds) and Crss(reverse recovery capacitance : Cgd) are reduced to 14.3%, 23% and 30% respectively. To confirm the reduction effect of capacitance, the characteristics of inverter circuit is comprised. Consequently, the reverse recovery time is reduced by 28%. The proposed device can be fabricated with conventional processes without any electrical property degradation compare to conventional device.

요 약

이 논문에서 Trench Power MOSFET의 스위칭 성능을 향상시키기 위한 Separate Gate Technique(SGT)을 제안하였다. Trench Power MOSFET의 스위칭 성능을 개선시키기 위해서는 낮은 gate-to-drain 전하 (Miller 전하)가 요구된다. 이를 위하여 제안된 separate gate technique은 얇은(~500Å)의 poly-si을 deposition하여 sidewall을 형성함으로써, 기존의 Trench MOSFET에 비해 얇은 gate를 형성하였다. 이 효과로 gate와 drain에 overlap 되는 면적을 줄일 수 있어 gate bottom에 쌓이는 Qgd를 감소시키는 효과를 얻었고, 이에 따른 전기적인 특성을 Silvaco T-CAD simulation tool을 이용하여 일반적인 Trench MOSFET과 성능을 비교하였다. 그 결과 Ciss(input capacitance : Cgs+Cgd), Coss(output capacitance : Cgd+Cds) 및 Crss(reverse recovery capacitance : Cgd) 모두 개선되었으며, 각각 14.3%, 23%, 30%의 capacitance 감소 효과를 확인하였다. 또한 inverter circuit을 구성하여, Qgd와 capacitance 감소로 인한 24%의 reverse recovery time의 성능향상을 확인하였다. 또한 제안된 소자는 기존 소자와 비교하여 어떠한 전기적 특성저하 없이 공정이 가능하다.

Key words : Gate charge, Trench gate, Miller charge, Power MOSFET, switching loss

* Dept. of Electronic Engineering, Sogang University
doohyung@sogang.ac.kr 010-9105-8155

★ Corresponding author

※ Acknowledgment

"This research was supported by the Ministry of Knowledge Economy, Korea, under the University ITRC support program supervised by the National IT Industry Promotion Agency(NIPA-2012-H0301-12-1007)."

Manuscript received Sep. 24, 2012 ; revised Oct. 26, 2012 ; accepted Oct. 29, 2012

1. 서론

최근 전력 반도체 소자는 전력 소모를 낮춰 효율을 극대화하기 위한 노력이 강조되어 왔다. 그 중 Low-voltage Power MOSFET은 자동차, 모바일 휴대폰, PMIC(power management IC) 등 다양한 분야

에서 사용되며, 전력 소모를 낮추기 위해 많은 기술들이 개발 되어 왔다[1]. 특히 Trench power MOSFET에서 전력 손실을 줄이기 위해 중요하게 고려되어야 할 부분은 소자의 스위칭 손실과 도통 손실이며, 이 특성들을 개선시키기 위한 구조 design이 매우 중요하다[1]-[4]. 이 중 도통 손실은 온 저항에 의해 결정되며, 스위칭 손실은 gate 전하(Qg)에 의해 결정된다. 따라서 power MOSFET의 스위칭 손실을 줄일 수 있는 구조 design은 gate영역의 전하를 줄이는 것이 가장 큰 효과를 볼 수 있고, 소자의 capacitance 또한 최소화 된다. trench MOSFET의 capacitance는 Ciss, Coss 와 Crss로 구성되는데, 이 중 input/output capacitance는 위의 parameter들의 영향을 받는다. 하지만 trench MOSFET은 태생적으로 Cgs와 Cds를 최소화하기 어려운 구조로 설계 되어 있어, 주로 gate-drain overlapped 전하 Qgd(Miller charge)를 최소화 시켜 스위칭 손실을 개선시키는 방법[4]-[8]을 사용하고 있다. Qgd를 최소화 하기 위한 방법들은 두 가지 정도로 압축할 수 있다. 첫 번째 방법은 gate에 구조적으로 변화를 주어 Qgd를 개선시키는 방법인데, 대표적으로 w-gated MOSFET과 thick bottom oxide trench MOSFET이 있다[5]-[7]. 이 두 가지 방법은 gate-drain에 overlapped 된 영역의 oxide를 두껍게 형성하는 방법을 사용하며, bottom oxide가 두꺼워지면 자연스럽게 Cgd가 줄어들어 Cgd가 포함되어 있는 Ciss, Coss, Crss 모두 감소하게 되어 소자의 전체적인 스위칭 효율이 향상되게 된다. 하지만 w-gated trench MOSFET의 경우 trench etch 후 Si₃N₄로 spacer를 형성한 다음 oxidation을 해야 하는 까다로운 추가공정 단계가 필요하게 되며, spacer 영역 확보를 위한 정확한 deposition control, 두꺼운 bottom oxide 형성으로 인한 소자 면적의 손해 등 여러 단점들을 감수해야만 한다. 그에 비해 SGT-MOSFET은 Si₃N₄를 deposition하는 과정이 없고, bottom poly-si를 제거하는 과정만 존재하므로 공정이 간단한 장점이 있다. thick bottom oxide trench 또한 마찬가지로 공정 단계가 추가되어 소자 생산 비용이 증가하게 된다. 두 번째로 gate 내부에 또 다른 gate 전극을 삽입하여 두 개의 gate를 control하는 방법 split gate 구조라 불리 운다[8]. 이 방법은 main gate 외에 별도의 gate가 존재하기 때문에 split gate의 control 여하에 따라 breakdown voltage 조절, on/off gate 전하를 조절하여 스위칭 속도 및 전류 전압 특성을 control하는 등 사용자의 필요조건에 맞게 사용할 수 있는 장점이 있다. 하지만 split gate 역시 공정이 매우 복잡해져 비용이 증가하고, split gate를 control 하기 위한 전극이 추가적으로 필요하다. 또한 main gate와 split

gate 사이에 oxide capacitance가 존재하기 때문에 성능향상에는 여전히 한계가 존재 한다. 또한 위의 세 가지 방법 모두 gate bottom 지역의 accumulation 영역에 gate 전계가 직접적으로 닿지 않으므로 gate bottom 부분은 control 할 수가 없어 전류의 도통 손실이 발생한다[9]-[10]. 이는 구조적으로 극복하기 힘든 결점이며, 위 두 소자의 큰 단점이다. 위에서 논의된 3가지 구조의 단면도를 그림 1에 나타내었다.

이 논문에서는 그림 1의 단점들을 보완하기 위해 Separate Gate Technique MOSFET이 제안되었으며, Silvaco T-Cad를 사용하여 제안된 소자와 기존 소자를 비교 분석하였다.

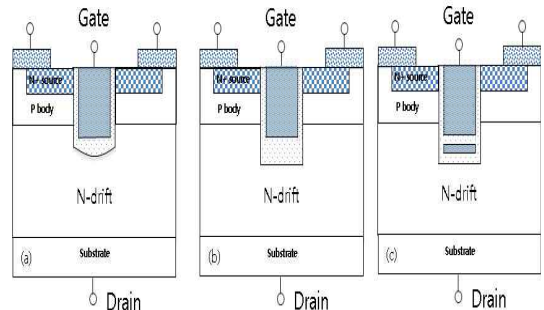


Fig 1. Schematic cross-section of (a) w-gated (b) Thick bottom oxide (c) Split trench MOSFET

그림 1. (a) w-gated (b) Thick bottom oxide (c) Split trench MOSFET의 단면도

II. 본론

1. 제안된 소자의 공정 순서

그림 2은 제안된 소자 SGT(Separate Gate Technique) MOSFET의 공정 흐름도 이다. 먼저 그림 2(a)는 high doping 되어진 N+기판위에 phosphorus가 $1e^{16}/cm^3$ 로 doping된 Si epi층을 4um 두께로 성장한다. 이후 RIE(Reactive Ion Etching)공정을 사용하여 1um 넓이와 1.3um 깊이의 trench를 식각한 후 50nm 두께를 갖도록 oxidation을 진행한다. 50nm의 oxide 위에 gate 전극으로 사용될 poly-Si을 oxide와 마찬가지로 50nm 두께로 deposition 한 것이 그림 2(b)이다. 일반적인 trench MOSFET에서는 oxidation 후 trench etching된 모든 영역에 poly-Si을 deposition하여 전극으로 사용하지만, 제안된 SGT-MOSFET은 일반적인 trench MOSFET 보다 얇은 poly-Si gate 전극을 얻기 위하여 oxide와 동일한 두께를 갖도록 poly-Si을 deposition한다. 이후 그

림 2(c)와 같이 다시 RIE 공정을 사용하여 gate bottom 영역에 상호 연결된 poly-Si를 분리하기 위한 etching을 진행한다. 이 과정은 SGT-MOSFET의 특징으로서 기존 trench MOSFET에서는 gate에 전압이 인가 될 때 gate bottom영역으로 전하들이 모여들어 Qgd가 쌓이게 되는데 이 과정은 소자의 on/off 스위칭 delay를 초래하게 된다. 따라서 이 영역으로 전하들이 모여드는 효과를 최소화하기 위해 gate bottom 영역의 poly-Si 전극을 제거하여 gate에 전압이 인가되더라도 gate bottom 영역으로 모여드는 Qgd를 최소화하는 구조 형성을 위한 공정 단계이다. 마지막으로 그림 2(d)와 같이 gate의 남겨진 지역을 oxide로 deposition 한 후 p-body와 N+ source 영역을 형성하고 소자의 전극을 만들어 주면 소자는 완성된다.

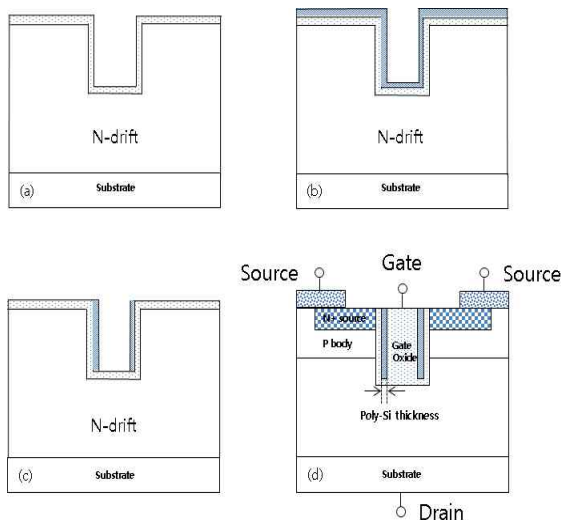


Fig. 2. Fabrication process of proposed SGT-MOSFET
그림 2. 제안된 SGT-MOSFET의 공정순서

2. 소자 시뮬레이션 결과

본 논문에서 제안된 SGT-MOSFET은 기존 trench MOSFET과의 전기적인 특성을 비교하였으며, Separate Gate Technique에 사용된 gate의 두께 변화 외에 다른 변수 차이는 없다. Poly-si thickness는 실제 gate 저항 증가 및 공정 한계를 고려하여 50nm로 제한하였고, 주요공정변수는 표 1에 나타 내었다. 소자 simulation은 Silvaco 사의 T-CAD를 사용하였다. Athena를 사용하여 구조를 생성하고, Atlas[11]로 소

자의 특성을 추출해 내었다. SGT-MOSFET은 기존 trench MOSFET에 비하여 어떠한 성능 저하 없이 Qgd 및 capacitance가 향상되었고, inverter 회로를 구성하여 스위칭 특성을 비교함으로써 소자의 성능개선을 확인하였다.

Table 1. List of parameters for the conventional MOSFET and proposed SGT-MOSFET

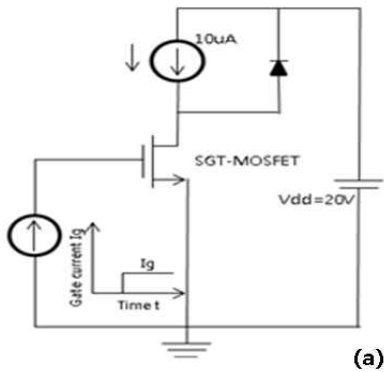
표 1. 기존 Trench MOSFET과 제안된 SGT-MOSFET의 주요 공정변수

공정 변수	Trench MOSFET	SGT MOSFET
Cell pitch	2.4um	2.4um
Trench width	1um	1um
Trench depth	1.3um	1.3um
Poly gate thickness	450nm	50nm
Epitaxial thickness	4um	4um
Source doping	$1 \times 10^{20} \text{cm}^{-3}$	$1 \times 10^{20} \text{cm}^{-3}$
P-body doping	$1 \times 10^{17} \text{cm}^{-3}$	$1 \times 10^{17} \text{cm}^{-3}$
Gate oxide thickness	50nm	50nm

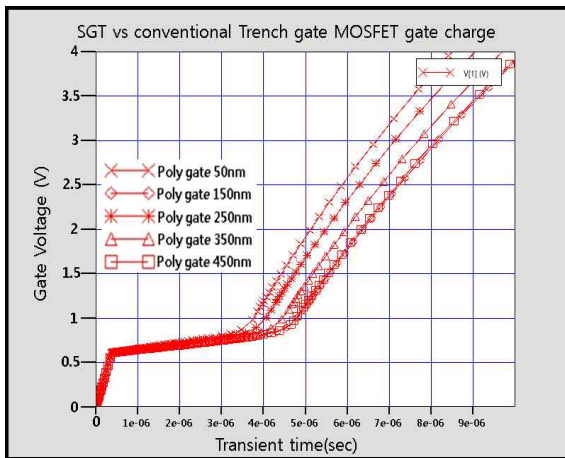
가. Gate poly-Si 두께에 따른 전하 및 Cgd 변화

그림 3는 sidewall에 얇게 deposition되어 있는 poly-Si의 두께에 따른 Qgd의 변화량이다. 그림 3(a)는 gate-drain 전하량 분석하기 위한 회로이다[4]. 그림 3(b)에서 겹쳐진 그래프들은 poly-Si의 두께에 따른 gate voltage 대 transient time인데 일정한 gate voltage 기준으로 1과 0.5사이의 평평한 영역(Miller plateau)가 Qgd이다. 이 영역은 MOSFET의 스위칭 turn on/off에 직접적인 영향을 미치는 parameter로 MOSFET이 turn on 되어 Vds 값이 떨어지게 되면 Qgd의 양에 따라 스위칭 delay가 발생하게 된다. 따라서 Qgd가 쌓이는 양이 적을수록 빠르게 스위칭이 가능하다. 제안된 SGT-MOSFET의 50nm 두께를 가진 poly-Si gate의 경우 Qgd ($Q_{gd} = C_{gd} \cdot V_{dd}$)는 13.8nC이고, 기존의 trench MOSFET의 경우 19.4nC로 측정되었고 이는 약 28.9% Qgd 개선 효과를 가져왔다. 두께에 따른 전하 값은 150nm 일 때 16nC, 250nm 일 때 18nC, 350nm 일 때 19.2nC로 나타난다. 이 결과를 확인해 보면 gate의 두께가 얇아질수록 전하 충전량이 대폭 감소한다. 하지만 250nm 이상 두꺼워 지기 시작하면, 전하충전 감소 효과가 둔화된다.

이 현상은 각 gate 두께가 두꺼워 질수록 기존의 trench MOSFET의 gate 형태와 가까워지고 두 poly-Si gate 사이의 간격이 좁아지게 된다. 즉, SGT-MOSFET에서 가지고 있는 특징인 gate bottom에 전압이 인가되지 않는 현상이 250nm이전까지는 최대의 효과를 보았다가 이후에는 각 gate 간격이 좁아지므로 이 효과가 저하된다



(a)



(b)

Fig 3. Poly-Si gate thickness variation vs gate charge variation (a) measurement circuit (b) simulation results

그림 3. gate poly-Si 두께 변화 vs gate 전하 변화 (a) 측정 회로 (b) 변화량 simulation

그림 4는 poly-Si gate의 두께 변화에 따른 Cgd의 값 변화이다. Cgd는 gate-drain 영역에 쌓이는 Qgd값에 영향을 받으며, Crss 라고도 표현한다. Crss는 MOSFET의 스위칭 recovery time에 영향을 미치므로 작을수록 좋다. Crss의 영향은 스위칭 delay 절에서 분석하였다.

나. 제안된 소자의 전류-전압 특성과 항복전압

그림 4에 제안된 SGT-MOSFET과 기존의 Trench MOSFET의 Id-Vds 특성과 breakdown voltage 특성을 나타내었다.

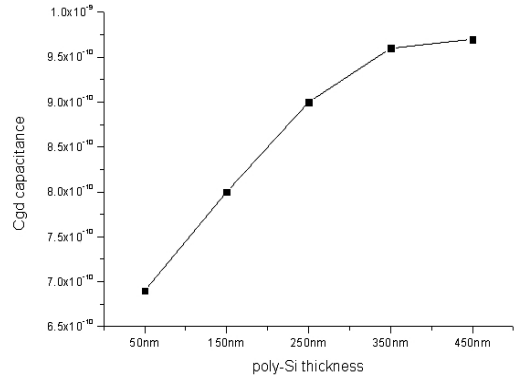


Fig 4. Poly-Si gate thickness variations vs capacitance Cgd variation simulation results

그림 4. poly-Si gate 두께 변화 vs capacitance Cgd의 변화 simulation 결과

그림 5와 같이 각각 두 개의 MOSFET은 성능이 정확히 일치함을 확인할 수 있다. 성능 비교를 위해 Vgs=3, 10V 일 때의 curve를 나타내었는데, 거의 모든 구간에서 값이 일치하였다. 그림 5(a)에서 SGT-MOSFET의 sidewall gate 전극은 채널형성에 영향을 미치지 않지만 separate 되어진 gate 사이의 영역은 채널형성에 영향을 미치지 못하였고, 소자의 전기적인 동작 특성에도 영향을 미치지 않는 것을 확인할 수 있다[9]-[10]. 그림 5(b)는 소자의 breakdown voltage를 simulation한 것인데 두 소자는 마찬가지로 53V의 breakdown voltage를 가진다. 즉, separate gate technique을 적용하면 소자의 아무런 특성저하 없이 스위칭 성능을 향상시킬 수 있다.

Trench power MOSFET에는 여러 capacitance 성분이 존재한다. 각각의 capacitance는 on/off 스위칭 동작할 때 소자에 기여하는 역할이 다르다[12]. 소자 내에 기생하고 있는 capacitance의 성분들은 다음과 같다.

$$C_{iss} = C_{gs} + C_{gd} \quad (1)$$

$$C_{oss} = C_{ds} + C_{gd} \quad (2)$$

$$C_{rss} = C_{gd} \quad (3)$$

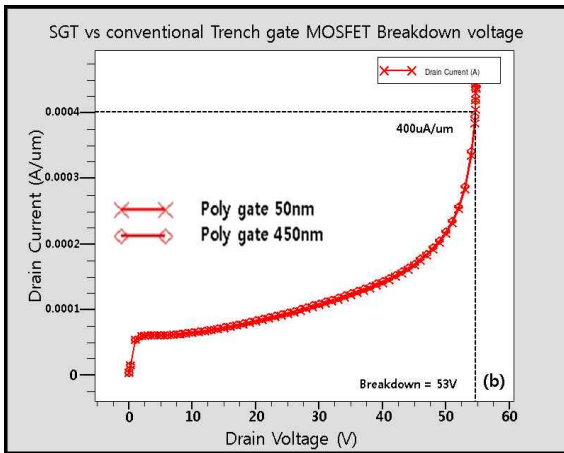
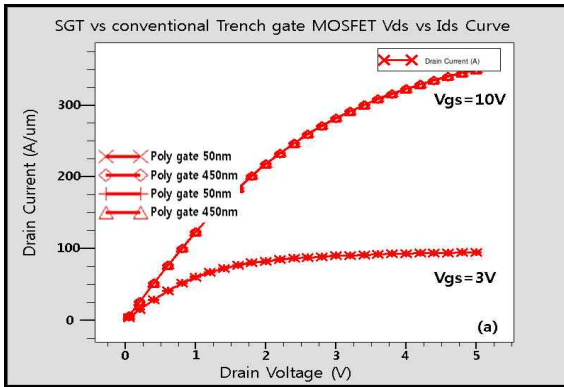


Fig 5. SGT MOSFET vs Conventional trench MOSFET (a) Vds-Id curve (b) breakdown voltage comparison
 그림 5. SGT MOSFET vs 기존 trench MOSFET의 (a)Vds-Id curve (b) breakdown voltage 비교

다. 제안된 소자의 Capacitance 성능 비교

식(1)의 Ciss는 소자가 turn on 될 시 충전되는 capacitance이다. Ciss 값이 작을수록 turn on 시에 input 스위칭 속도가 향상된다. 이 capacitance는 gate와 source가 마주하고 있는 영역에서의 capacitance Cgs와 gate-drain overlap capacitance의 합으로 구성된다. 식(2)와 (3)은 각각 output, reverse recovery capacitance 이다. vertical trench MOSFET에서는 높은 drain 전압일수록 drift 영역의 공핍층이 넓어져 capacitance가 감소하고, 소자의 구조 및 parameter가 같을 경우 비슷한 값으로 capacitance 값이 포화된다. 그림 6는 제안된 SGT-MOSFET과 기존의 trench MOSFET을 각각 비교하였다. 그 결과 Ciss, Coss

및 Crss 모두 개선되었으며, 각각 14.3%, 23%, 30%의 capacitance 감소 효과를 확인하였다. 이 효과는 앞서 다룬 gate-drain 전하(Qgd)의 감소 효과이며 이 효과는 Cgd의 감소로 이어진다. 또한 소자내부 capacitance 각각의 성분인 Ciss, Coss, Crss 모두에 Cgd의 성분이 포함되어 있으므로, 결과적으로 모든 capacitance가 감소되는 효과를 거두었다.

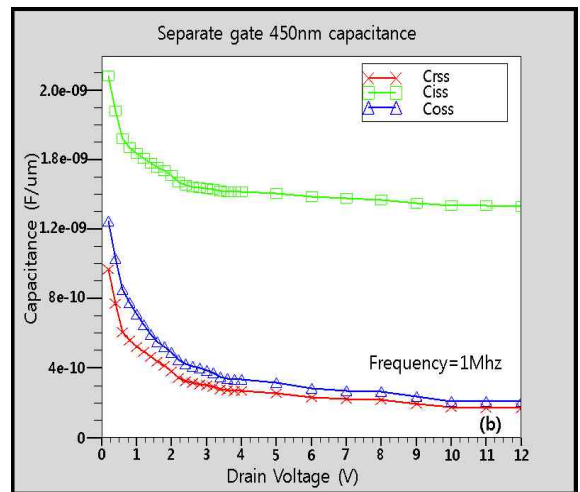
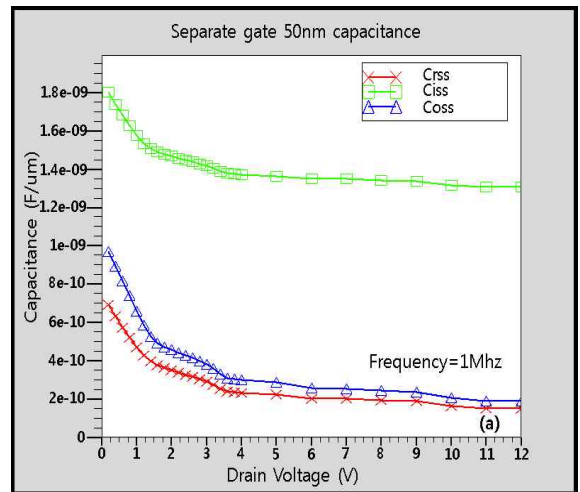


Figure 6. (a) SGT-MOSFET capacitance (b) Conventional trench MOSFET capacitance
 그림 6. (a) SGT-MOSFET capacitance (b) 기존 trench MOSFET의 capacitance

라. 스위칭 특성 분석

제안된 SGT-MOSFET은 상당한 Qgd와 Cgd의 감

소효과를 보았다. Qgd와 Cgd 모두 스위칭 속도와 관련된 parameter이므로 회로를 구현하여 SGT-MOSFET과 기존 MOSFET의 성능비교를 해보았다.

그림 7(a)는 아주 간단한 형태의 인버터 회로이다. 그림7(a)의 transistor에 제안된 SGT-MOSFET과 기존 trench MOSFET을 위치시켜 각 소자간의 입력 pulse 대비 반전되어 출력되는 출력의 그래프를 overlay하여 simulation하였다. 그림 7(b)는 제안된 SGT-MOSFET 소자와 기존의 trench MOSFET의 input/output 그래프인데 보이는 바와 같이 전체적인 on/off 스위칭 속도가 향상되었다. 그림 7(b)에서 입력 pulse가 1.1ns 일 때, on에서 off로 반전이 이루어 지는데, 이 때 응답속도가 빠를수록 MOSFET의 스위

칭 속도가 빠르다고 할 수 있다. 성능비교를 위해 입력 pulse가 반전 되는 지점인 1.1ns에서 출력 전압이 3V가 되는 지점까지의 시간을 측정하여 스위칭 속도를 simulation하였는데 SGT-MOSFET이 기존의 trench MOSFET 보다 0.06ns 빨리 도달하였고, inverter의 스위칭 효율이 24% $\{(0.06ns)/(1.35ns)-(1.0ns)=0.24\}$ 개선됨을 확인하였다.

Table 2. List of inverter performance for the conventional MOSFET and proposed SGT-MOSFET

표 2. 기존 Trench MOSFET과 제안된 SGT-MOSFET의 inverter 성능 비교

Parameters	Trench MOSFET	SGT MOSFET
Reverse recovery time	1.29ns	1.35ns
Improved rate	24%	0%

III 결론

새롭게 제안된 Separate Gate Technique은 기존 trench MOSFET과 비교하여 전류-전압 특성, 온 저항 및 breakdown voltage등 아무런 성능 저하 없이 Qgd를 개선하였고, 그 효과를 확인하였다. 제안된 SGT-MOSFET의 simulation 결과 약 Qgd=28.9%, Cgd=30%가 향상되었고, inverter 회로의 스위칭 성능은 24%가 개선됨을 확인하였다. 현재까지 스위칭 손실을 개선하기 위해 Qgd를 감소시키는 여러 technique이 제안되었지만, 각각의 technique들은 성능저하 있거나, 공정이 복잡해져 비용이 증가하는 등 많은 단점들을 포함하고 있었다. 하지만 본 논문에서 제안된 Separate Gate Technique은 poly gate가 연결된 sidewall 단절을 위한 DRIE 공정만이 추가되므로 상대적으로 쉽게 공정이 가능하며, 소자의 전기적 성능 저하가 없다. 또한 상당한 Qgd의 감소로 인해 Figure Of Merit (FOM : Ron*Qgd) 스위칭 손실 측면에서도 상당히 유용한 technique이 될 것이라고 예상된다.

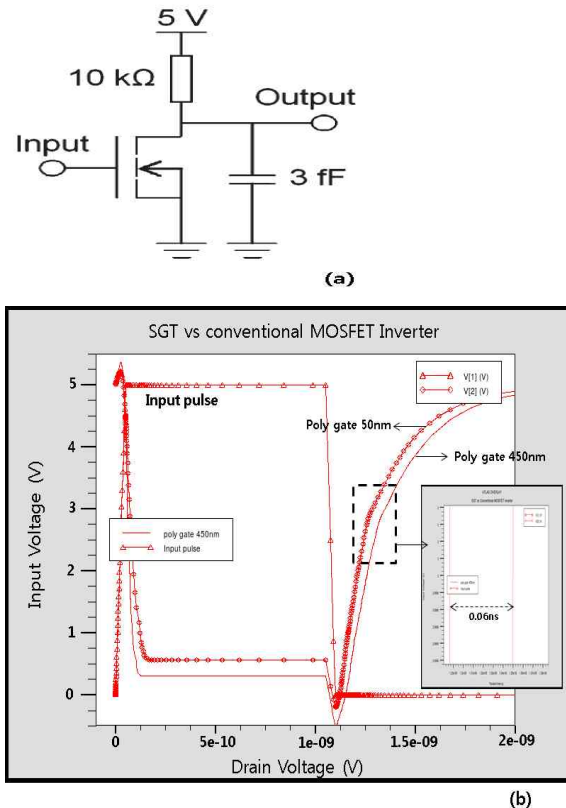


Fig 7. SGT MOSFET vs Conventional trench MOSFET (a) Inverter circuit (b) simulation results

그림 7. SGT MOSFET vs Conventional trench MOSFET (a) 인버터 회로 (b) simulation 결과

References

- [1] B. J. Baliga, "An overview of smart power technology," *IEEE Trans. Electron Devices*, vol. 38, no. 7, pp. 1568 - 1575, Jul. 1991.
- [2] R. P. Zingg, "On the specific on-resistance of high-voltage and power devices," *IEEE Trans. Electron Devices*, vol. 51, no. 3, pp. 492 - 499, Mar. 2004.
- [3] R. J. E. Huetting, E. A. Hijzen, A.W. Ludikhuizen, and M. A. A. in't Zandt, "Switching performance of low-voltage n-channel trench MOSFETs," in *Proc. ISPSD*, 2002, pp. 177 - 180.
- [4] R. J. E. Huetting, E. A. Hijzen, A. Heringa, A. W. Ludikhuizen, and M. A. A. Zandt, "Gate-drain charge analysis for switching in power trench MOSFETs," *IEEE Trans. Electron Devices*, vol. 51, no. 8, pp. 1323 - 1330, Aug. 2004.
- [5] M. Darwish, C. Yue, K. H. Lui, F. Giles, B. Chan, K.-I. Chen, D. Pattanayak, Q. Chen, K. Terrill, and K. Owyang, "W-gated trench power MOSFET (WFET)," *Proc. Inst. Elect. Eng. - Circuits Devices Syst.*, vol. 151, no. 3, pp. 238 - 242, Jun. 2004.
- [6] M. Darwish, C. Yue, K. H. Lui, F. Giles, B. Chan, K. Chen, D. Pattanayak, Q. Chen, K. Terrill, and K. Owyang, "A new power W-gated trench MOSFET (WMOSFET) with high switching performance," in *Proc. ISPSD*, Cambridge, U.K., pp. 24 - 27. Apr. 14 - 17, 2003.
- [7] H.-R. Chang, "Trench gate structure with thick bottom oxide," U.S. Patent 4 992 390, Feb. 12, 1991.
- [8] Q. Jiang, M. Wang, and . Chen, "A High-Speed Deep-Trench MOSFET With a Self-Biased Split Gate" *IEEE Trans. Electron Devices*, vol. 57, no. 8, pp. 1972-1977. 7 Aug. 2010.
- [9] B. J. Baliga, *Modern Power Devices*, 2nd ed. New York: Wiley, 1992.
- [10] B. J. Baliga, *Fundamentals of Power Semiconductor Devices*, New York: Springer, 2008.
- [11] *Atlas User's Manual: Device Simulation Software*, Silvaco Int., Santa Clara, CA, 2008.
- [12] C. K. Ong, "A mathematical model for power MOSFET capacitances" *Power Electronics Specialists Conference*, 1991. PESC '91 Record., 22nd Annual IEEE pp. 423-429 Jun. 1991.

BIOGRAPHY

Doohyung Cho (Student member)



2011 : BS degree in Electrical and Electronic Engineering, Dankook University.

2011 ~ present : MS course in Electronic Engineering, Sogang University

<Research interest>

Low voltage Power MOSFET, DC-DC converter

Kwangsoo Kim (Member)



1981 : BS degree in Electronic Engineering, Sogang University.

1983 : MS degree in Electronic Engineering, Sogang University.

1998 : PhD BS degree in Electronic Engineering, Sogang University.

1983 ~ 1997 : Electronics and Telecommunications Research Institute (ETRI)

1998 ~ 2005 : Institute for Information Technology Advancement (IITA)

2005 ~ 2008 : Daegu Gyeongbuk Institute of Science and Technology (DGIST)

2008 ~ present : Professor, Electronic Engineering, Sogang University

<Research interest>

Power Semiconductor device and fabrication, SiC(silicon carbide) Power Semiconductor device