
생산성향상을 위한 회로카드조립체 시험장비에 관한 연구

이상명* · 김영길**

The study of PCB tester for improving productivity

Sang-myung Lee* · Young-kil Kim**

요 약

최근 개발되는 무기체계는 부체계 장비를 여러개 연결하여 임무를 수행하는 장비가 대부분이다. 무기체계를 양산하기 위한 시험은 부품시험, 회로카드 조립체 시험, 구성품시험, 체계통합시험을 통해 납품시험을 한다. 생산성 향상이란 사람이 시험하는 부분을 최대한 줄이고, 다양한 회로카드 조립체를 시험하기 위한 시험장비의 수를 줄여, 궁극적으로 생산시간을 줄여 단가를 줄이는 효과이다. 지금까지 회로카드 조립체의 시험장비는 여러명의 개발자가 주장비를 개발하여 시험방법 또한 여러가지 방법으로 시험을 하였다. 본 연구는 어떻게 하면 시험간 고려사항인 시험장비의 숫자를 줄이고, 입출력하는 모든 기능을 자동적으로 시험이 가능한가를 연구하였다. 생산성향상을 위한 시험장비의 개발은 체계와 부체계 장비 기능할당과 장비에 요구되는 회로카드 조립체의 기능할당을 기본설계 기간부터 계획적으로 할당해야 시험 종류수를 줄일 수 있고 시험치구 회로카드 조립체의 수를 줄일 수 있다.

ABSTRACT

The most of military systems that developed today are composed with many sub-systems for mission execution. The test of military systems for delivery test of mass product such that part test, PCB test, component test, integration test. Improving productivity is minimize testing item by man and minimize kind of tester, so that decrease product cost by production time for test. PCB tester be developed many kind of test method that systems were developed by many different engineers. This article studies testing check point for testing that how to minimize of kind of tester, how to automatic test for all of function that have inputs and outputs. Development of tester for improving productivity requires classify functional allocation of main system and sub system, sub system require PCB for functional allocation start on preliminary design period for reducing testing item and testing fixture.

키워드

생산성향상, 회로카드 조립체 시험장비, 기능할당, 기본설계

Key word

Improving productivity, PCB tester, Functional allocation, Preliminary design

* 정회원 : LIG넥스원(주) (주저자, sangmyung.lee@lignex1.com)

** 종신회원 : 아주대학교 전자공학과 교수 (교신저자)

접수일자 : 2012. 06. 08

심사완료일자 : 2012. 07. 19

I. 서론

최근 개발되는 무기체계는 부체계 장비를 여러개 연결하여 임무를 수행하는 장비가 대부분이다. 무기체계의 성능확인 절차는 회로카드 조립체 단계에서 자동광학검사기, ICT(In-Circuit Test)를 통해 기본적인 부품 연결 상태를 점검하고 FCT(Functional Circuit Test)를 통해 회로카드 조립체의 기능을 점검한다. 모듈 및 시스템 단계에서 시스템 시험 장비를 이용하여 체계규격서의 요구조건을 기준으로 최종 완성품 시험을 완료한다.[1] 본 연구는 다양한 기능을 하는 회로카드 조립체(PCB)의 자동화 기능 시험을 통해 생산성을 향상시키는 방법을 검토하였다. 생산성 향상이란 사람이 시험하는 부분을 최대한 줄이고 다양한 회로카드 조립체를 시험하기위한 시험장비의 수를 줄여 궁극적으로 생산시간을 줄여서 양산단가를 줄이는 효과이다.

지금까지 회로카드 조립체 시험장비는 여러명의 개발자가 장비를 개발하여 시험방법 또한 여러 가지 방법으로 시험을 하였다. 이런 문제점을 어떻게 하면 시험장비의 수를 줄이고 입출력하는 모든 기능을 자동으로 시험 가능한가를 연구하였다.

II. 시험장비 및 방법 검토

시험 장비를 개발하기전 많이 사용하는 시험장비의 종류와 시험방법을 검토하였다. 다양한 시험 장비가 있겠지만 회로카드 조립체 시험장비를 개발하기위해서 검토한 시험장비는 PCB상의 부품을 직접 연결하여 시험하는 Bed of Nail 방식과 커넥터 핀을 통해 성능이나 기능을 시험하는 기능시험(Functional Test) 방법 및 최근 장비가 소형화되어 복잡한 시스템을 개발하는 경우 사용되는 JTAG 부품을 적용한 시험장비에 대해 이론적인 검토를 하였다.

2.1. Bed of nail Tester

In-circuit test (ICT)로 전자프로브를 가지고 PCB 시험하는 가장 많이 사용하는 시험중의 하나이다. PCB의 단락, 단선, 저항, 캐피턴스등 PCB의 제작 품질을 시험할 수 있다. 이 시험방법은 부품 시험이 필요한 핀에 시험 핀(Nail)을 접촉시켜주는 특수한 Fixture를 제작해

서 시험한다. 시험 핀을 PCB의 시험 핀에 접촉시키기 위해 진공으로 시험 대상 PCB와 Fixture를 접촉시켜서 시험을 한다. [그림 1]은 Bed of Nail Tester와 Fixture이다.[2]



그림 1. Bed of Nail Tester와 Fixture
Fig. 1 Bed of Nail Tester and Fixture

2.2. 기능시험기(Functional Tester)

기능시험은 블랙박스 테스트라고도 한다. 시험에는 각 기능에 대한 소프트웨어 컴포넌트가 사용된다. 기능 시험은 입력을 블랙박스인 회로에 제공하여 원하는 출력이 나오는지 시험하는 방법이다.

기능 시험은 시스템 시험과는 다르다. 시스템 시험은 설계문서 또는 명세서에 대해 시험항목을 시험하여 검증하거나, 사용자와 요구사항에 대한 확인을 하는 시험이다.[3]

2.3. JTAG Tester

JTAG(Joint Test Action Group)는 임베디드 시스템 개발시에 사용하는 디버깅 장비이다. JTAG은 임베디드 시스템을 개발하기 위해 통합한 회로로 사용되는 IEEE1149.1의 일반적인 이름이지만, 보통 디버거를 가리킨다.

JTAG 인터페이스는 다음과 같은 핀으로 칩 안에 구성된다.

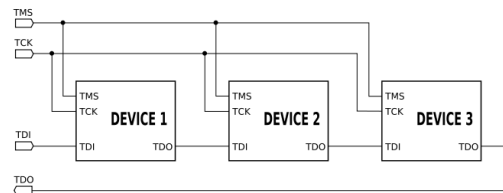


그림 2. JTAG 시험
Fig. 2 JTAG Test

JTAG 라인(boundary scan cell)을 통해 칩 내부를 조사 (Capture 기능) 및 제어(INTEST 기능)를 할 수 있다.

데이터 라인은 한개만이 유효하기 때문에, 프로토콜은 시리얼 방식을 사용한다. 클럭 입력은 TCK 핀으로, 설정은 TMS 핀을 사용하며, 동작 주파수는 10-100MHz (10-100ns/bit)가 일반적으로 사용된다.[4]

2.4. 분석한 시험 방법 비교

회로카드 조립체에 대해 시험을 할 수 있는 방법이다. 각각의 장단점을 비교하면 [표 1]과 같다.

표 1. 시험 방법 비교
Table. 1 comparison of test method

구분	장점	단점
Bed of nail Tester	- 부품별 시험 - 부품특성별 S/W - S/W구조 간단	- PCB별 Fixture - 기구설계 복잡 - 시험비용 상승
Functional Tester	- 기능별 단순화가능 - 시험장비 저가구현 - BIT S/W 재사용	- 시험S/W 복잡 - 부품단위 시험불가
JTAG Tester	- 고집적회로 시험 - 간단한 시험장비 - 신뢰성 높음	- JTAG 부품고가 - 수동소자 시험불가

양산을 위한 회로카드조립체의 시험방법은 기능시험으로 개발하여도 문제가 없었다. 그 이유는 개발간 모든 회로에 대한 분석과 연구가 되어 주장비의 BIT(Built In Test)시험을 활용하여 시험장비의 프로그램을 개발할 수 있다.

III. 시험장비 설계

개발한 구성장비의 회로카드 조립체별 시험항목과 시험방법을 먼저 검토하였다. 다음은 회로카드 조립체 2종의 시험항목과 기능정의이다. 다른 회로카드 조립체 모두 시험항목과 기능정의를 하였으나, 회로카드 조립체 2종에 예시를 작성하였다.

3.1. 회로카드 조립체별 시험항목

3.1.1. 회로카드 조립체 1 시험항목

- VME Bus 인터페이스

- SPI Bus 인터페이스
- 이산신호 입력 처리 14 port 확인
- 이산신호 출력 제어 5 port 확인
- RS-232 통신 제어
- 비동기 RS-422 통신 제어
- 동기 RS-S422 통신

3.1.2 회로카드 조립체 2 시험항목

- RS-232 통신 인터페이스 확인
- VME 인터페이스 확인
- SPI Bus 인터페이스 확인
- 이산신호 입력 처리 13 port 확인
- 이산신호 출력 제어 4 port 확인

3.2. 시험장비의 기능 정리

시험장비 설계시 시험대상 회로카드 조립체별 시험항목을 분석하여 시험장비가 각 회로카드 조립체의 입력 신호 조건에 따라 출력되는 모든 신호에 대하여 시험이 가능하도록 제작하였다. 회로카드 조립체 1, 2를 분석하여 시험장비는 다음의 조건을 만족해야 한다.

- RS-232 시리얼 포트 1채널 이상
- RS-422 시리얼 포트 1채널 이상
- SATA 포트 1채널 이상
- 이더넷 포트 1채널 이상
- VME Bus 인터페이스
- 이산 신호 입력 처리 14 port 이상
- 이산 신호 출력 제어 5 port 이상

3.3. 시험장비 구성

회로카드 조립체의 시험장비는 사용자 정의의 핀 별로 기능 시험을 할 수 있게 설계를 하였다. 시험장비에서 시험진행 화면을 처리할 수 있는 설계가 가능하나, 주임무장비의 BIT 프로그램을 재사용하기 위해 시험장비와 시험장비를 제어하는 노트북을 적용하여 별도로 개발하였다. [그림 3]은 시험장비의 구성도이다.

노트북에서 해당 장비의 시험 프로그램을 수행하여 통신을 통해서 시험장비에 시험항목을 전송한다. 시험장비는 노트북의 시험요청을 받아 피시험 회로카드 조립체의 기능별 시험을 순차적으로 수행한 후 결과를 노트북에 전달한다.

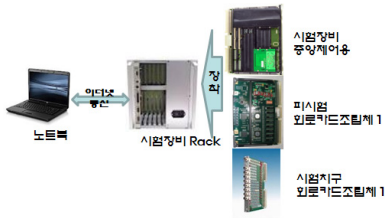


그림 3. 시험장비 구성도
Fig. 3 Structure of test device

3.4. 시험치구 회로카드조립체

피시험 회로카드 조립체의 모든 사용자 정의핀을 시험치구 회로카드 조립체로 연결한다. 시험 프로그램 절차에 따라 시험장비에서 시험치구용 회로카드에 N 채널의 신호를 보낸다. 그 값을 피시험 회로카드조립체에서 읽은 내용과 동일한지 확인한다. 이 절차를 순서적으로 수행한다.

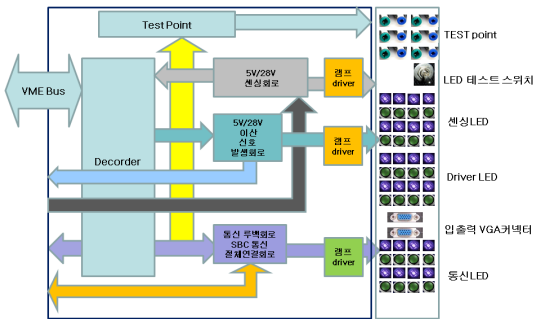


그림 4. 시험치구 회로카드조립체 블록도
Fig. 4 Block diagram of Fixture PCB for testing

3.5. 시험장비 마더보드

피시험카드 조립체의 사용자 핀을 모두 검토하여 사용된 핀을 마더보드에서 시험치구회로카드조립체로 1:1 대응되게 연결했다. 중앙회로카드조립체에서 시험치구 회로카드 조립체로 통신핀은 사용되고 남은 사용자 핀을 사용하여 할당했다. P2 커넥터를 이용하기는 여유 핀이 없어 P0 커넥터를 사용하여 남은 사용자 핀을 통해 통신채널을 시험치구회로카드조립체로 연결했다.

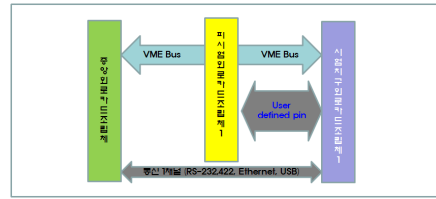


그림 5. 시험장비 마더보드 블록도
Fig. 5 Block diagram of Motherboard for testing

3.6. 시험 방법

이산신호 드라이버 기능의 시험방법은 피시험 회로카드 조립체에 이산신호를 발생시킨 후 시험치구 회로카드 조립체를 통해 센싱하는 방법이다. 통신시험은 피시험 회로카드 조립체에 전문을 보내면 시험치구 회로카드를 통해 시험 포트의 통신 라인을 연결하여 중앙제어 회로카드 조립체에서 읽어서 내용이 동일한가를 확인하는 시험으로 가능하였다.

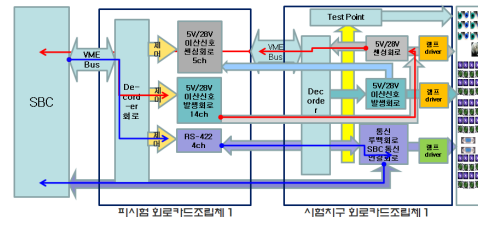


그림 6. 시험방법
Fig. 6 Testing method

3.7. 시험 소프트웨어

회로카드 조립체별 시험 소프트웨어를 개발하였다. 시험장비 상태를 LED를 통해 확인 할 수 있다. 시험실행은 별도 개발된 노트북탑재 프로그램을 통해 사용자가 피시험 회로카드 조립체의 일련번호를 입력하고 시험항목을 선택하여 진행하며 자동으로 시험 가능하다.

모든 시험이 종료된 후 시험장비는 시험데이터를 저장하고 시험 성적서를 프린터와 연결하여 출력하는 기능이 있다.

3.7.1 노트북 탑재 시험 소프트웨어

```
{
    피시험장비_000_선택();
    피시험_회로카드조립체_선택();
}
```

```

시험_항목_표시();
시험_보드명_전송();
이산입력신호_ch1~14시험();
이산출력신호_ch1~5시험();
RS-232통신_ch1~5시험();
- RS-422통신_ch1~4시험();
}
    
```

3.7.2 시험장비의 소프트웨어

```

{
switch
case: 이산입력신호시험();
case: 이산출력신호시험();
case: RS-232통신시험();
case: RS-422통신시험();
:
}
    
```

시험장비 소프트웨어는 주장비의 시험프로그램을 재사용하여 개발을 하였다.

3.7.3 시험장비 소프트웨어

구현된 시험장비의 소프트웨어는 [그림 7]과 같다.

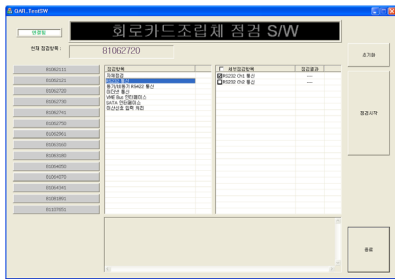


그림 7. 시험장비 소프트웨어
Fig. 7 Software of Tester

IV. 시험장비 개선

회로카드 조립체별로 다양한 기능이 요구되어진다. 시험장비도 다양한 기능의 요구 및 개발 일정 단축에 따라 표준화된 개방형 시험장비가 요구되어지고 있다[5].

개방형 버스인 VME, PCI 등은 사용자 정의 핀에 대해서 체계 설계시 부체계 장비에 대해 기능할당을 해주어야 한다. [표 2] 는 VME의 P2 커넥터의 사용자가 정의할 수 있는 핀 공간이다. 장비의 기능인 RS-232, RS-422, USB, SATA, 이더넷 포트, 이산 신호 입력(5V, 28V), 이산 신호 출력(5V,28V) 등을 체계적으로 기능할당을 하여 기본설계를 할 수 있다.

표 2. VME의 P2 커넥터 사용자 정의 핀
Table. 2 User Define Pin on VME P2 connector

Pin Num	ROW D	ROW C	ROW B	ROW A	ROW Z
1			+5V		
2			GND		GND
3			-		
4			VA24		GND
5			VA25		
6			VA26		GND
7			VA27		
8			VA28		GND
12			GND		GND
;	중간 생략		+5V		
;	중간 생략		-		GND
31	GND		GND		
32	+5V		+5V	-	GND

4.1. 체계 설계시 기능할당 방법

- ① 회로카드 조립체에 대한 기능을 정의한다.
- ② 정의된 기능에 대해 적용 가능한 기술을 확인한다.
- ③ 정의된 신호에 대한 특성을 확인한다.
- ④ 회로카드 조립체별 특성이 동일 신호의 수량을 확인한다.
- ⑤ 같은 신호 규격별로 최대 수량에 맞게 커넥터의 사용자 정의핀에 허용 전류나 전압을 고려하여 순서적으로 할당한다.
- ⑥ 기능이 많아 허용된 사용자 커넥터 핀보다 많으면 회로카드 조립체의 종류를 추가한다.

[표 3]은 VME Bus의 사용자 정의 핀을 같은 신호별 구역으로 나누어 사용할 경우 각 회로카드조립체의 사용자가 핀을 할당하는 방법을 설명하였다. 예로서 회로카드 조립체 2종류의 핀 할당을 공통화될 수 있게 계획적으로 하였다.

표 3. VME의 P2 커넥터 사용자 정의 핀 할당
Table. 3 Allocation of User Define Pin on VME P2 connector

Pin Num	ROW D	ROW C	ROW B	ROW A	ROW Z
1	RS-232 +	Lan Tx+	+5V	5V driver	
2	RS-232 -	Lan Tx-	GND	5V drv rtn	GND
3	RS232GND	Lan Rx+	-	5V driver	
4	RS-232 +	Lan Rx-	VA24	5V drv rtn	GND
5	RS-232 -	Lan Tx+	VA25	5V driver	
6	RS232GND	Lan Tx-	VA26	5V drv rtn	GND
7		Lan Rx+	VA27	5V sense	
8	RS-422Tx+	Lan Rx-	VA28	5V sen rtn	GND
9	RS-422Tx-	Lan Tx+	VA29	5V sense	
10	RS-422Rx+	Lan Tx-	VA30	5V sen r 수	GND
11	RS-422Rx-	Lan Rx+	VA31	5V sense	
12	RS-422Tx+	Lan Rx-	GND	5V sen rtn	GND
13	RS-422Tx-	Lan Tx+	+5V		
14	RS-422Rx+	Lan Tx-	VD16		GND
15	RS-422Rx-	Lan Rx+	VD17		
16		Lan Rx-	VD18		GND
17	RS-422Tx+		VD19		
18	RS-422Tx-		VD20		GND
19	RS-422Rx+		VD21	28V driver	
20	RS-422Rx-		VD22	28V drv rtn	GND
21	RS-422Tx+		VD23	28V driver	
22	RS-422Tx-		GND	28V drv rtn	GND
23	RS-422Rx+		VD24	28V driver	
24	RS-422Rx-		VD25	28V drv rtn	GND
25			VD26	28V sense	
26	SATA Tx+		VD27	28V sen rtn	GND
27	SATA Tx-		VD28	28V sense	
28	SATA Rx+		VD29	28V sen rtn	GND
29	SATA Rx-		VD30	28V sense	
30			VD31	28V sen rtn	GND
31	GND		GND		
32	+5V		+5V	-	GND

회로카드조립체 1 회로카드조립체 2

복잡한 회로카드 조립체의 경우 PO 커넥터를 사용하여 더 많은 기능을 균등하게 할당할 수 있다.

또한 신호특성을 분석하여 같은 전압레벨이면 다른 방식의 통신 신호도 같이 사용할 수 있다는 장점이 있다. 이런 방법으로 기능을 계획적으로 할당하면 시험 항목 및 기능을 공통화 시킬 수 있다.

V. 시험장비 개선안 검증

회로카드 조립체의 기능할당을 기존에 설계된 방법대로 시험장비를 개발했을때와 체계 설계시 기능할당을 계획적으로하여 시험장비를 개발했을때 2종의 체계를

분석한 결과 다음과 같다.

표 4. 계획적 기능할당 결과
Table. 4 The Result of Functional Allocation by Plan

구분	체계 1	체계 2
회로카드 조립체 종류	A장비 입출력 B장비 입출력 B장비 모뎀 B장비 이더넷 C장비 이더넷 D장비 광변환 E장비 입출력	A장비 입출력 A장비 통신 B장비 입출력 B장비 이더넷
시험지구 회로카드 조립체수	7종	5종
계획적 기능 할당시 시험지구 회로카드	4종 - 입출력 1 - 입출력 2 - 이더넷 - 모뎀(광변환)	3종 - 입출력1 - 입출력2 - 이더넷(통신)
부수적인 장점	- 주장비의 회로카드 조립체간 BIT 프로그램 재활용 - 회로카드 조립체별 FPGA 프로그램 공유 가능 - 시험장비 점검수행시간 절감	

계획적으로 기능할당을 할 경우 시험지구 종수를 7종에서 4종, 5종에서 3종으로 줄일 수 있다. 무기체계별로 기능이 다양하나 어떤 특성을 가지고 있다는 것이다. 어떤 체계는 통신 기능이 대부분의 기능이고, 어떤 체계는 이산신호처리 기능이 대부분인 점이였다.

VI. 결 론

생산성 향상을 위한 자동화 회로카드 조립체 시험장비 개발은 주장비를 개발하는 초기부터 사용자 정의 핀에 대해 회로카드 조립체의 특성에 따라 사용되는 신호규격을 정확히 분석하여 각 핀에 대한 기능할당을 하는 체계적인 설계가 필요하다. 양산을 위한 시험장비의 개발도 장비별 기능할당이나 사용자가 정의한 핀에 대해 회로카드 조립체별로 일관성 계획하고 할당을 하면 시험항목 및 시험장비의 공통화를 통해 시험시간이나 시험장비의 투자비용이 감소함을 알 수 있다.

참고문헌

- [1] 윤영호외 5명, “무기체계 양산단계 자동화시험장비 (ATE)SW신뢰성향상방안연구“ 2 page
- [2] Wikipedia, “In-circuit test”
- [3] Wikipedia, “Functional testing”
- [4] 위키디피아, “JTAG”
- [5] 천영호, “KUH 임무컴퓨터 하드웨어 시험을 위장비 개발”, 4 page

저자소개



이상명(Sang-Myung Lee)

1984. 경북대학교 전자공학과
공학사
2012. 아주대학교 전자공학과
석사

1986. ~ 현재 LIG넥스원(주) 수석연구원
※ 관심분야: 사격통제장치, 통신프로토콜



김영길(Young-Kil Kim)

1978. 고려대학교 전자공학과
공학사
1980. 한국과학기술원 산업전자공학과
공학석사

1984. ENST(France) 공학박사
1984. ~ 현재 아주대학교 전자공학과 교수
※ 관심분야: 의용전자공학, Embedded System