
분극 엔지니어링을 통한 상시불통형 질화알루미늄갈륨 이종접합 전계효과 트랜지스터 설계

차호영* · 성혁기**

Design of Normally-Off AlGa_N Heterojunction Field Effect Transistor Based
on Polarization Engineering

Ho-Young Cha* · Hyuk-Kee Sung**

이 논문은 서울반도체와의 공동개발 프로그램과 2012년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임 (No. 20120002507, 2012042153, 2012035274).

요 약

본 연구에서는 기존의 질화알루미늄갈륨/질화갈륨 이종접합 구조에서 강한 분극현상으로 인하여 구현하기 어려웠던 상시불통형 소자를 질화알루미늄갈륨 기판 혹은 버퍼층을 이용하여 구현하는 방법을 제안한다. 질화알루미늄갈륨 기판 혹은 버퍼층 위에 더 높은 Al 몰분율을 갖는 장벽층을 성장하고 최상부에 질화갈륨 층을 추가 성장하여 분극전하를 상쇄시키는 방법을 이용하여 선택적으로 게이트 아래의 채널만 공핍시켜 상시불통형 소자를 구현할 수 있다. 이를 통하여 본 연구에서는 상용 전력소자에서 요구하는 게이트 문턱전압 2 V 이상을 갖는 질화알루미늄갈륨 이종접합 전계효과 트랜지스터 에피구조를 제안한다.

ABSTRACT

In this study, we propose a novel structure based on AlGa_N substrate or buffer layer to implement a normally-off mode transistor that was difficult to be realized by conventional AlGa_N/Ga_N heterojunction structures. The channel under the gate can be selectively depleted by growing an upper AlGa_N barrier with a higher Al mole fraction and a top Ga_N charge elimination layer on AlGa_N substrate or buffer layer. The proposed AlGa_N heterojunction field effect transistor can achieve a threshold voltage of > 2 V, which is generally required in power device specification.

키워드

질화알루미늄갈륨, 전계효과 트랜지스터, 상시불통, 분극

Key word

AlGa_N, field-effect transistor, normally-off, polarization

* 정회원 : 홍익대학교 (교신저자, hcha@hongik.ac.kr)

** 정회원 : 홍익대학교

접수일자 : 2012. 11. 08

심사완료일자 : 2012. 11. 22

I. 서 론

현재 전력반도체 시장의 대부분을 차지하는 실리콘 기반의 전력소자는 이제 물질자체의 이론적인 한계에 다다라서 더 이상의 전력 전송효율 향상을 기대하기 힘들다. 최근 에너지 손실 최소화에 많은 관심이 기울여지는 상황에서 현재의 실리콘 전력소자의 한계를 극복할 수 있는 신소재 반도체를 이용한 차세대 고효율, 고전력 반도체 소자에 대한 요구는 필연적이며 이러한 요구에 부합하는 반도체 중 하나가 질화갈륨(GaN)이다 [1].

질화갈륨은 넓은 에너지밴드로 인하여 실리콘에 비하여 10 배 가량 높은 항복전압을 구현할 수 있으며 높은 전자이동도로 스위칭 속도가 높아서 궁극적으로 전력전송효율을 개선할 수 있다. 그리고 고온 동작이 가능하여 냉각장치를 최소화 할 수 있는 추가적 장점을 가지고 있다. 이러한 질화갈륨은 주로 질화알루미늄갈륨(AlGaN) 이종접합을 이루어 이종접합 전계효과 트랜지스터를 제작하는데 이종접합 계면에서 발생하는 압전분극 효과와 비대칭성 우르짜이트(wurzite) 구조 자체에서 발생하는 자발분극 효과에 의하여 고밀도의 전자들이 질화알루미늄갈륨/질화갈륨 접합면에 양자우물을 형성하여 2차원 전자가스층을 만든다 [2]. 이처럼 외부에서의 도핑 없이 분극 현상만으로도 전자전도층이 형성되기 때문에 전력소자시장에서 요구하는 상시불통형(normally-off)으로 설계하기 매우 어렵다. 그러한 근본적인 이유는 질화갈륨 기판 보다 상부에 존재하는 질화알루미늄갈륨 층이 분극성이 강하기 때문이며 일반적인 방법으로는 채널전하를 공핍시킬 수 없기 때문이다.

상시불통형 질화갈륨 트랜지스터를 구현하는 방법은 식각을 통한 채널공핍 [3], 정공 타입(p-type) 질화갈륨이나 질화알루미늄갈륨 층 활용 [4], 플루오린(Fluoride) 표면처리를 이용하는 방법 [5] 등 다양하게 보고되어 왔으며 이 중 질화알루미늄갈륨 장벽층을 얇게 남기고 식각한 후 게이트 절연막을 증착하는 방법과 p-타입 질화갈륨이나 질화알루미늄갈륨 층을 이용한 게이트 사출 트랜지스터(gate injection transistor(GIT)) 구조가 주류를 이루고 있다. 식각방법의 경우 식각깊이 조절 및 균일도 문제와 게이트절연막의 접합면에 존재하는 트랩에 의한 문제가 해결하기 어려우며 GIT 구조의 경우 문턱전압이 1V 근처로서 전력회로에서 요구하는

2V 이상을 만족하기 어렵다. 본 연구에서는 이같은 문제를 근본적으로 해결하기 위한 방법으로 기존의 질화갈륨 버퍼층이 아닌 질화알루미늄갈륨 버퍼층 혹은 기판을 활용한 상시불통형 소자를 제안한다.

II. 본 론

질화알루미늄갈륨(Al_xGa_{1-x}N)에서 Al의 몰분율(x)에 의한 분극현상 사이의 자발분극과 압전분극은 아래 식(1)-(3)으로 나타낼 수 있다 [2].

$$P_{pz} = P_{sp} + P_{pe} \quad (1)$$

$$P_{sp} = (-0.052x - 0.029) C/m^2 \quad (2)$$

$$P_{pe} = 2 \frac{a_s - a_0}{a_0} (E_{31} - \frac{C_{13}}{C_{33}} E_{33}) \quad (3)$$

P_{pz} 는 전체 분극, P_{sp} 는 자발분극, P_{pe} 는 압전분극이고 a_s 는 하부층의 격자상수, a_0 는 질화알루미늄갈륨 층의 격자상수이다, C_{13} 과 C_{33} 은 탄성계수 E_{31} 과 E_{33} 은 압전계수를 나타낸다. 본 연구에서는 Al의 몰분율(x)에 따른 각 변수들의 관계는 참고문헌 [2]를 참조하였다.

질화알루미늄갈륨 이종접합 구조에서 몰분율이 다른 층 사이의 계면에서 분극차이에 의하여 발생하는 분극전하는 아래 식(4)와 같이 나타낼 수 있다.

$$\delta_{pz} = \frac{P_{tot}(\text{상부}) - P_{tot}(\text{하부})}{e} \quad (4)$$

그림 1은 일반적으로 사용되는 질화갈륨 기반의 이종접합 구조 두 가지에 해당하는 에너지 전도대의 형성을 보여준다. 그림 1(a)의 경우 질화갈륨 기판위에 질화알루미늄갈륨 장벽층만 존재하는 경우이고 그림 1(b)의 경우 그림 1(a)에 추가하여 상부에 질화갈륨 상부층이 존재한다. 여기서 질화갈륨 상부층의 역할은 표면의 에너지 장벽을 높여서 소자의 누설전류나 항복전압을 개선한다.

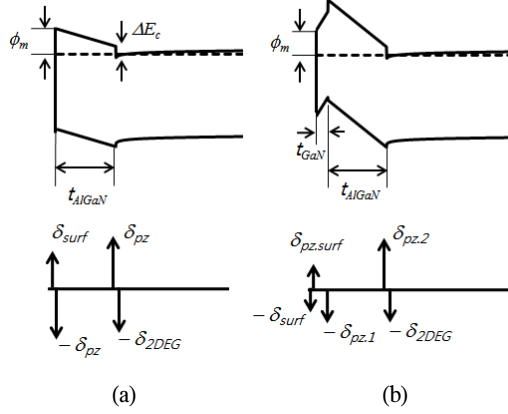


그림 1. 일반적인 질화갈륨 기반 이중접합 구조에 대한 에너지밴드와 전하분포
 (a) AlGaIn/GaN (b) GaN/AlGaIn/GaN
 Fig. 1 Energy band profiles and charge distributions of conventional GaN based heterostructures
 (a) AlGaIn/GaN (b) GaN/AlGaIn/GaN

소자의 문턱전압은 계면의 이차원 전자가스 (2DEG) 채널이 완전히 공핍되는데 필요한 게이트 전압이며 정 전기학적 접근방법으로부터 그림 1(a)와 (b)에 대한 문턱전압을 아래 수식 (5)와 (6)로 나타낼 수 있다. 이 때 최상부의 분극전하는 표면전하와 상쇄된다고 가정한다 [6].

$$V_{th.(a)} = \phi_m - \Delta E_c - \frac{t_{AlGaIn}}{\epsilon_{AlGaIn}} \delta_{pz} - \phi_f \quad (5)$$

$$V_{th.(b)} = \phi_m + \frac{t_{GaN}}{\epsilon_{GaN}} \delta_{pz,1} - \frac{t_{GaN}\epsilon_{AlGaIn} + t_{AlGaIn}\epsilon_{GaN}}{\epsilon_{GaN}\epsilon_{AlGaIn}} \delta_{pz,2} - \phi_f \quad (6)$$

여기서 ϵ 은 해당층의 유전율, δ_{pz} 는 해당 계면에서의 분극전하, ϕ_f 는 질화갈륨 버퍼층의 페르미 준위에서 전도에너지까지의 에너지 차이를 의미한다.

그림 2는 그림 1(a)와 (b)에 대한 문턱전압을 Al의 몰분율과 층의 두께에 대하여 나타낸 것이다. 그림으로부터 문턱전압은 질화알루미늄갈륨 장벽층이 극단적으로 얇은 경우를 제외하고 몰분율과 두께에 무관하게 음의 값을 갖는 상시도통형 구조임을 알 수 있다. 이러한 이유는 다음과 같이 설명할 수 있다. 질화갈륨 기반

상부에 질화알루미늄갈륨 층이 존재할 경우 자발분극과 압전분극의 차이로 인하여 계면에 + 분극전하가 발생하고 반대로 질화알루미늄갈륨 층 상부에 질화갈륨 층이 존재할 경우 자발분극 차이로 - 분극전하가 발생한다. 이 때 그림 1(b)에서 질화알루미늄갈륨 층은 pseudomorphic 하게 얇게 성장되므로 질화알루미늄갈륨의 실질적인 격자상수는 여전히 질화갈륨의 격자상수를 갖게 된다. 따라서 상부 질화갈륨 층에서는 자발분극만이 존재하고 압전분극은 존재하지 않는다. 따라서 $|\delta_{pz,1}| < |\delta_{pz,2}|$ 관계가 유지되어 질화알루미늄갈륨 장벽층과 하부 질화갈륨 버퍼층 사이의 전자전도층을 상쇄하기에는 부족하며 단지 전자전도층의 전자밀도만 감소시킬 뿐이다.

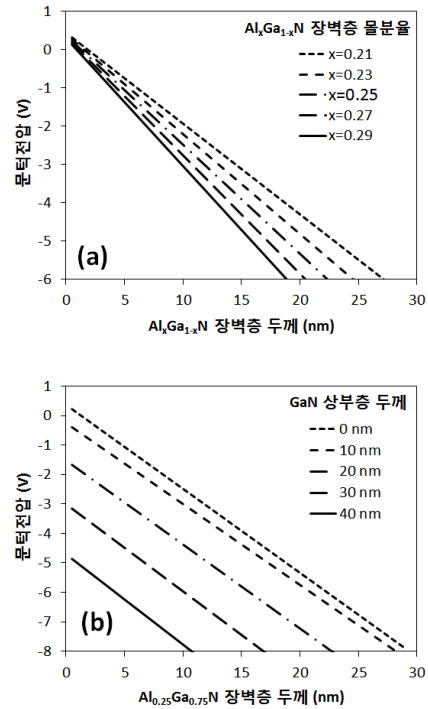


그림 2. (a) 그림 1(a)에 대한 질화알루미늄 장벽층의 몰분율과 두께에 따른 문턱전압. (b) 그림 1(b)에 대한 Al0.25Ga0.75N 장벽층과 질화갈륨 상부층의 두께에 따른 문턱전압

Fig. 2 (a) Threshold voltage for Fig. 1(a) as functions of Al mole fraction and thickness of AlGaIn barrier layer. (b) Threshold voltage for Fig. 1(b) as functions of thicknesses of AlGaIn and GaN layers

본 연구에서 제안하는 소자구조는 그림 3에 보여지며 그림 1(b)와 유사하지만 시작하는 하부 질화갈륨 층을 질화알루미늄갈륨 층으로 교체하여 상부에 성장되는 질화알루미늄갈륨 층의 Al의 몰분율을 조절하여 접합면에서의 발생하는 분극전하를 상쇄시키고 게이트에 충분한 양의 전압을 가하였을 때 비로소 전자전도층이 형성되도록 하는 방법이다. 이 때 게이트 아래를 제외한 영역은 공핍되지 않도록 하여야 게이트에 의하여 채널이 형성되었을 때 전자가 이동할 수 있다.

그림 4는 그림 3의 A-A'와 B-B'를 따라서 본 에너지 밴드와 분극전하의 분포이다. 게이트 아래 A-A'에는 전도에너지가 페르미 준위 보다 위에 위치하여 채널이 형성되지 않지만 B-B'에는 질화갈륨 채널소거층이 없기 때문에 양자우물층이 형성되어 채널전하가 존재한다.

그림 3의 구조가 상시불통형이기 위해서는 버퍼층의 Al 몰분율 (x)를 기준으로 버퍼층 상부의 질화알루미늄갈륨 장벽층의 Al 몰분율 (y)는 커야하고 그 위에 존재하는 질화갈륨 채널소거층이 분극전하를 상쇄시키도록 설계하여야한다. 제안된 구조에 대한 문턱전압은 아래 식 (7)로부터 계산할 수 있다.

$$V_{th} = \phi_m + \Delta E_{c1} - \Delta E_{c2} + \frac{t_1}{\epsilon_1} \delta_{pz,1} - \frac{t_1 \epsilon_2 + t_2 \epsilon_1}{\epsilon_1 \epsilon_2} \delta_{pz,2} - \phi_{f,buffer} \quad (7)$$

여기서 ϵ 은 해당층의 유전율이며 $\phi_{f,buffer}$ 는 질화알루미늄갈륨 버퍼층의 페르미 준위에서 전도에너지까지의 에너지 차이이다. 그리고 게이트 바깥쪽 영역에서의 채널전자농도는 아래 식 (8)로 나타낼 수 있다 [6].

$$n_s = \delta_{pz,2} - \left(\frac{\epsilon_2}{t_2 \cdot e} \right) [e\phi_{surf} + \phi_{f,buffer} - \Delta E_{c2}] \quad (8)$$

여기서 ϕ_{surf} 는 질화알루미늄갈륨 버퍼층에 대한 표면장벽이다.

구조에 따른 계산에서 게이트와 채널소거층 사이의 전압장벽과 표면장벽은 모두 1 V로 가정하였다. 현재의 웨이퍼 성장기술 수준을 고려할 때 질화알루미늄갈륨 버퍼층으로 8 - 12% 정도는 충분히 성장이 가능하기 때문에 본 연구에서는 질화알루미늄갈륨 버퍼층

의 Al의 몰분율을 10%로 고정하고 그 위에 몰분율이 21 - 29%인 질화알루미늄갈륨 장벽층을 성장하고 최상부에 가장 분극성이 낮은 질화갈륨 채널소거층을 성장하는 구조를 제안하였다. 이는 현재의 질화갈륨 성장기술을 고려하여 충분히 가능한 구조임을 재차 강조한다. 그림 5(a)는 질화알루미늄갈륨 장벽층의 몰분율과 두께에 따른 수식 (7)을 이용한 문턱전압의 변화를 보여주며 그림 5(b)는 문턱전압과 함께 식 (8)로부터 계산된 소오스와 드레인 영역에서의 최대 채널 농도를 보여준다.

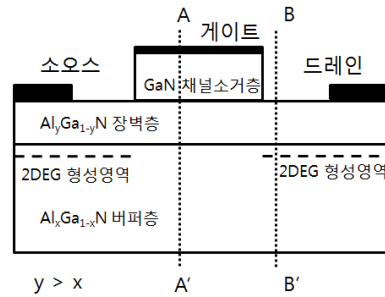


그림 3. 상시불통형 질화알루미늄갈륨 이중접합 전계효과 트랜지스터 구조
Fig. 3 Normally-off AlGaIn heterojunction field-effect transistor structure

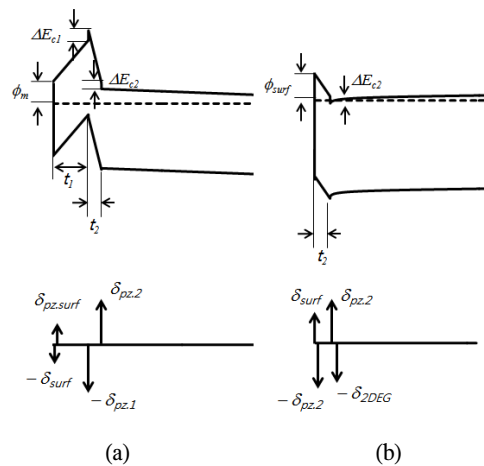


그림 4. 그림 3 구조에서 (a) A-A'와 (b) B-B'를 따라서 본 에너지밴드 및 분극전하분포
Fig. 4 Energy band profile and polarization distribution along (a) A-A' and (b) B-B' in Fig. 3

예를 들어 11 nm 두께의 $\text{Al}_{0.25}\text{Ga}_{0.75}\text{N}$ 장벽층과 30 nm 두께의 질화갈륨 채널소거층을 사용할 경우 문턱전압 2.3 V와 채널농도 $4 \times 10^{12} \text{ cm}^{-3}$ 을 얻어낼 수 있다. 항복전압의 경우 기존 질화알루미늄갈륨/질화갈륨 구조와 비교하여 저하될 이유가 없으며 포화전자속도를 $2 \times 10^7 \text{ cm/s}$ 로 고려할 때 최대 전류밀도 ($=qn_s \cdot 2DGE^v \cdot v_{sat}$)는 1.28 A/mm로 우수한 성능이 예상된다.

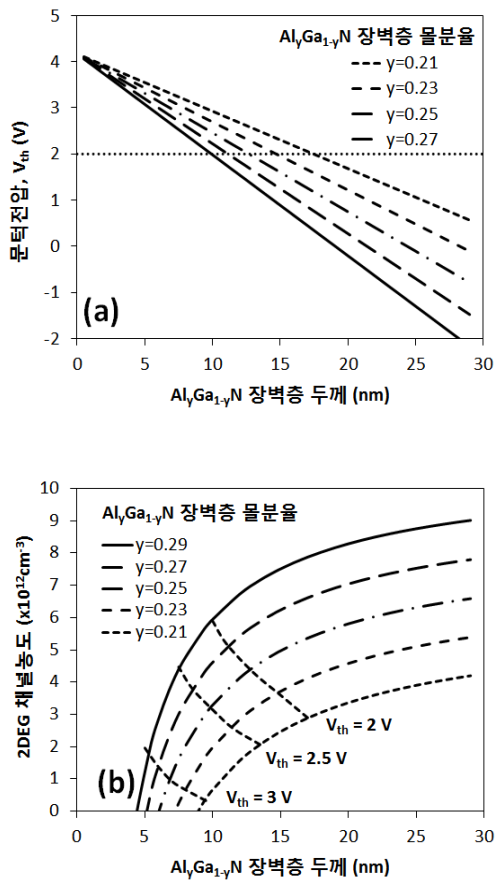


그림 5. 상시불통형 질화알루미늄갈륨 이중접합 전계효과 트랜지스터 구조에서 장벽층의 몰분율과 두께에 따른 (a) 문턱전압과 (b) 채널 전자농도
Fig. 5 (a) Threshold voltage and (b) channel carrier concentration as functions of barrier mole fraction and thickness

III. 결 론

본 연구에서 새롭게 제안된 질화알루미늄갈륨 기반의 이중접합 구조를 이용하여 문턱전압이 2 V 이상인 상시불통형 전력소자를 제작할 수 있음을 보였으며 상시도통형 질화알루미늄갈륨/질화갈륨 이중접합 전계효과 트랜지스터의 온상태 성능과 유사한 수준으로 고효율, 고전력 소자의 설계에 유용하게 사용될 것으로 기대된다.

참고문헌

- [1] J.-G.Lee, B.-R.Park, H.-J.Lee, M.Lee, K.-S.Seo and H.-Y.Cha, "State-of-the-art AlGaIn/GaN-on-Si heterostructure field effect transistors with dual field plates," *Appl. Phys. Exp.*, vol. 5, no. 4. p.066502, 2012.
- [2] O.Ambacher et al., "Two-dimensional electron gases induced by spontaneous and piezoelectric polarization charges in N- and Ga-face AlGaIn/GaN heterostructures," *J. Appl. Phys.*, vol. 85, no. 6, pp. 3222-3233, 1999.
- [3] W. Saito, Y. Takada, M. Kuraguchi, K. Tsuda and I. Omura, "Recessed-gate structure approach toward normally off high-voltage AlGaIn/GaN HEMT for power electronics applications," *IEEE Trans. Electron Devices*, vol. 53, no. 2, pp. 356-362, Feb. 2006.
- [4] Y. Uemoto, M. Hikita, H. Ueno, H. Matsuo, H. Ishida, M. Yanagihara, T. Ueda, T. Tanaka and D. Ueda, "Gate injection transistor (GIT) - A normally-off AlGaIn/GaN power transistor using conductivity modulation," *IEEE Trans. Electron Devices*, vol. 54, no. 12, pp. 3393-3399, Dec. 2007.
- [5] Y. Cai, Y. Zhou, K. M. Lau and K. J. Chen, "Control of threshold voltage of AlGaIn/GaN HEMTs by fluoride-based plasma treatment: From depletion mode to enhancement mode," *IEEE Trans. Electron Devices*, vol. 53, no. 9, pp. 2207-2215, Sep. 2006.
- [6] W. Saito, Y. Takada, M. Kuraguchi, K. Tsuda and I. Omura, "Recessed-gate structure approach toward

normally off high-voltage AlGaIn/GaN HEMT for power electronics applications,” IEEE Trans. Electron Devices, vol. 53, no. 2, pp. 356-362, Feb. 2006.

- [7] E.T.Yu, G.J.Sullivan, P.M.Asbeck, C.D.Wang, D.Qiao and S.S.Lau, “Measurement of piezoelectrically induced charge in GaN/AlGaIn heterostructure field-effect transistors,” Appl. Phys. Lett., vol. 71, no. 2794, pp.2794-2796, 1997.

저자소개



차호영 (Ho-Young Cha)

1996 서울대학교 (학사)
1999 서울대학교 (석사)
2004 Cornell University (박사)
2005 ~ 2007 GE Global Research

2007 ~ 현재 홍익대학교 전자전기공학부 (부교수)
※ 관심분야: 반도체 소자



성혁기(Hyuk-Kee Sung)

1999 연세대학교(학사)
2001 연세대학교 (석사)
2006 UC Berkeley (박사)
2007 ~ 현재 홍익대학교
전자전기공학부 (조교수)

※ 관심분야: 광통신용 소자, 반도체 소자