

---

# 위상차 전압 변환기를 이용한 Fractional-N 위상고정루프

이상기\* · 최영식\*\*

A Fractional-N PLL with Phase Difference-to-Voltage Converter

Sang-ki Lee\* · Young-shig Choi\*\*

---

이 논문은 지식경제부 출연금으로 ETRI SW-SoC융합 R&BD센터에서 수행한 시스템반도체 설계인력양성사업의 연구결과임. 또한 본 논문은 지식경제부 출연금으로 수행한 ETRI SW-SoC융합 R&BD센터와의 공동연구 결과임.

---

## 요 약

본 논문에서는 기존의 fractional-N 위상고정루프의 가장 큰 문제점인 fractional 스퍼를 억제하기 위해 위상차-전압 변환기(Phase Difference-to-Voltage Converter : PDVC)를 도입하였다. PDVC는 위상주파수 검출기 출력 신호의 위상차에 따라 전하펌프의 전류량을 조절한다. 제안한 구조는 위상 주파수 검출기(phase frequency detector) 신호들의 위상차가 커지면 전하펌프(charge pump) 전류를 감소시켜 fractional 스퍼를 줄일 수 있는 구조이다. 회로는 1.8V 0.18 $\mu$ m CMOS 공정의 파라미터를 이용하여 HSPICE로 시뮬레이션을 수행하고 회로의 동작을 검증하였다.

## ABSTRACT

In this paper, a Phase Difference-to-Voltage Converter (PDVC) has been introduced into a conventional fractional-N PLL to suppress fractional spurs. The PDVC controls charge pump current depending on the phase difference of two input signals to phase frequency detector. The charge pump current decreases as the phase difference of two input signals increase. It results in the reduction of fractional spurs in the proposed fractional-N PLL. The proposed fractional-N PLL with PDVC has been designed based on a 1.8V 0.18 $\mu$ m CMOS process and proved by HSPICE simulation.

## 키워드

위상 고정 루프, 위상차 전압 변환기, 분수 체배 위상 고정 루프

## Key word

Phase-Locked Loop (PLL), Phase Difference-to-Voltage Converter (PDVC), fractional-N PLL

---

\* 준회원 : 부경대학교 일반대학원 전자공학과 (주저자, maybillove@naver.com) 접수일자 : 2012. 06. 11  
\*\* 정회원 : 부경대학교 전자공학과 정교수 (교신저자) 심사완료일자 : 2012. 06. 18

## I. 서 론

무선통신시스템에서 사용하는 위상고정루프는 시스템 요구조건을 만족하면서 여러 가지 잡음에 대한 영향을 막기 위해 낮은 위상 잡음, 빠른 위상고정 시간, 작은 주파수 분해능 등을 요구한다[1]. 이러한 통신시스템의 요구 사항에 따라 Fractional-N 방식의 위상고정루프가 제안되었다.

채널 간격이 좁은 통신 시스템에서는 위상고정루프의 기준주파수가 통신 시스템에서 요구하는 채널 폭과 같아야 한다. 또한, 위상고정루프의 안정된 동작을 위해서는 위상고정루프의 대역폭이 기준주파수의 1/10이 이하가 되도록 설계한다. Integer-N 방식은 좁은 대역폭 때문에 위상고정 시간이 길어지기 때문에 대역폭이 좁은 시스템에서는 Integer-N 방식을 적용하는 것이 어려워졌다.

이러한 문제점의 해결책으로 입력 주파수의 분수배로 주파수를 합성하는 Fractional-N 방식이 제안되었다. 그러나 Fractional-N 방식은 주파수를 더욱 효율적으로 사용할 수 있지만 Fractional 스퍼의 문제가 발생하였다. Fractional 스퍼의 크기를 줄이기 위해 많은 연구가 진행되고 있다.

$\Delta\Sigma$  방식의 Fractional-N 위상고정루프는 좁은 채널 간격에서도 넓은 대역폭을 제공할 수 있고 빠른 위상고정 시간과 낮은 위상잡음 특성을 가진다[2]. 간단한  $\Delta\Sigma$  방식의 Fractional-N 위상고정루프는 Fractional 스퍼를 충분히 감쇄하지 못하므로 여러 가지 구조의  $\Delta\Sigma$  방식의 Fractional-N 위상고정루프가 발표되었다. 먼저 설계가 쉬워 많이 사용되는 MASH 구조의  $\Delta\Sigma$  변조기를 사용하지 않고 설계가 어려우나 스퍼 제거가 용이한 하나의 루프만으로 구성된  $\Delta\Sigma$  변조기를 사용한 기법이 연구되었고[3], 위상주파수검출기와 digital-to-analog converter (DAC)를 결합하여 소자간의 불일치와 위상고정루프 자체 신호간의 불일치를 줄여 스퍼 특성을 개선하였다[4]. 또한 복수개의  $\Delta\Sigma$  변조기와 DAC를 사용하며 위상주파수검출기의 비선형 특성을 개선할 수 있는 기법까지 포함하는 등 아주 좋은 스퍼 특성이 구현되기도 하였다[5].

또 다른 방식으로는 위상 보간 방법을 도입하여  $\Delta\Sigma$  변조기를 사용할 때 스퍼의 원인이 되는 양자 잡음을 직

접디지털 합성기와 DAC를 응용하여 스퍼 특성을 개선하기도 하였다[6].

논문 [2]에서  $\Delta\Sigma$  변조기를 사용하여 Fractional 스퍼 특성을 개선한 구조가 발표된 후, 스퍼 특성을 더욱 더 개선하기 위해 이미 앞에서 언급한 것과 다양한 구조의  $\Delta\Sigma$  방식의 Fractional-N 위상고정루프가 발표되었다. 그러나 이러한 구조들은 스퍼 특성 개선을 위해 복잡한 디지털 회로를 도입하여 칩의 크기가 커지고, 전력 소모가 증가하는 단점이 있다.

본 논문에서는 위상차-전압 변환기(PDVC)를 이용한 Fractional-N 위상고정루프를 제안한다. 제안된 구조는 칩의 크기와 전력 소모가 논문 [2]의 구조와 거의 같으나 스퍼 특성을 개선한 것이다.

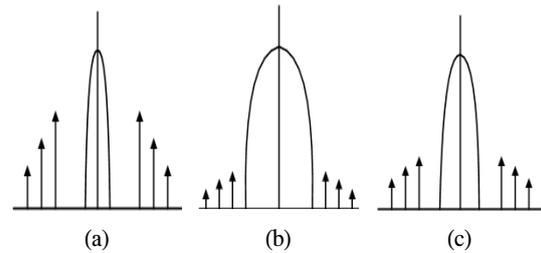


그림 1. 스펙트럼, 전하펌프 전류량이 (a) 많을 경우 (b) 적을 경우 (c) 위상차-전압 변환기 회로에 의해 조절 될 때

Fig. 1 Spectrum. When CP current is (a) large (b) small (c) controlled by PDVC

그림 1은 전하 펌프의 전류량의 따라 위상고정루프 출력 신호의 주파수 스펙트럼의 모양을 그려 놓은 것이다. 전하펌프의 전류량이 많으면 출력 신호는 그림 1(a)과 같이 위상 잡음은 작아지나 Fractional 스퍼 크기는 커진다. 반대로 전류량이 작아지면 그림 1(b)와 같이 Fractional 스퍼 크기는 줄어들지만 위상 잡음은 커진다. 이러한 서로 상치되는 설계의 제한을 완화하기 위해 위상고정루프의 동작 상황에 따라 전하펌프의 전류량을 조절할 수 있는 위상차-전압 변환기(PDVC) 회로를 도입하여 스퍼 특성이 좋은  $\Delta\Sigma$  Fractional-N 위상고정루프 설계가 용이하도록 하였다.

## II. 본 론

### 2.1. 제안된 위상 고정 루프의 설계

제안한 구조의 위상고정루프는 **Fractional** 분주기에 서 출력되는 신호( $F_{DIV}$ )와 기준 신호( $F_{REF}$ )의 차이만큼 전하 펌프에 흐르는 전류량을 조절하는 위상차-전압 변환기(PDVC)를 연결하여 대역폭 변화를 통해 **Fractional** 스퍼를 줄이는 구조이다.

그림 2는 제안한 위상차-전압 변환기를 이용한 위상 고정루프를 나타낸다. 그림에 나타난 바와 같이 위상 주파수 검출기의 출력 신호인 UP/DN 신호의 펄스를 입력으로 하는 위상차-전압 변환기를 사용하여 전하펌프의 전류를 제어하는 구조로 설계되었다.

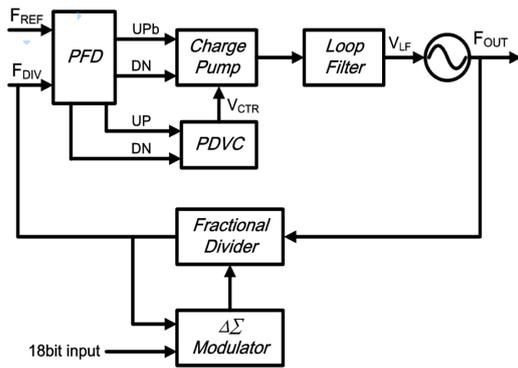


그림 2. 제안한 PLL의 구조  
Fig. 2 Architecture of proposed PLL

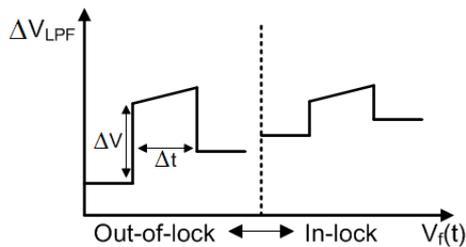


그림 3. 전압제어 발진기 입력 전압  
Fig. 3 Input voltage of VCO

그림 3은 **Fractional** 스퍼를 발생시키는 전압제어 발진기(VCO)의 입력 전압을 나타내고 있다. 매 기준 신호의

주기마다 발생하는 위상차로 인해 루프 필터 출력 전압이  $\Delta V$ 만큼 변화 한다. 전압제어 발진기는 입력 전압에 비례한 주파수를 발생시킨다.  $\Delta V$ 에 의한 주기적인 변화에 대한 전압제어 발진기 출력을 사각파로 가정하여 다음과 같이 표현 할 수 있다[7].

$$v_{out}(t) = V_o \cos \left[ \omega_{fr} t + K_{VCO} \int v_f(t) dt + K_{VCO} \int V_{cont} dt \right] \quad (1)$$

여기서  $\omega_{fr}$  은 전압제어 발진기의 **free running** 주파수이다.  $V_i(t)$ 를 푸리에 급수로 확장하면 다음과 같다.

$$v_f(t) = \frac{\Delta V \Delta t}{T_{REF}} + \sum_{n \neq 0} a_n \cos(n\omega_{REF} t + \theta_n) \quad (2)$$

$$= \frac{\Delta V \Delta t}{T_{REF}} + \Delta V \sum_{n \neq 0} K_n \cos(n\omega_{REF} t + \theta_n)$$

$T_{REF}$ 는 기준주파수의 주기이다. 위의 식 (1)을 다음과 같이 나타낼 수 있다.

$$v_{out}(t) \approx V_o \cos \left( \omega_{fr} + K_{VCO} \frac{\Delta V \Delta t}{T_{REF}} + K_{VCO} V_{cont} \right) t - K_{VCO} V_o \left[ \Delta V \sum_{n \neq 0} \frac{K_n}{n\omega_{REF}} \sin(n\omega_{REF} t + \theta_n) \right] \sin \left( \omega_{fr} + K_{VCO} \frac{\Delta V \Delta t}{T_{REF}} + K_{VCO} V_{cont} \right) t \quad (3)$$

**Fractional** 스퍼의 크기는 수식 (3)에서 알 수 있듯이  $\Delta V$ 의 크기에 의존하는 것을 알 수 있다. 제안된 위상차-전압 변환기(PDVC)를 이용한 **Fractional-N** 위상고정루프는 기준 신호의 매 주기마다 발생하는 주기적인  $\Delta V$ 의 크기를 조절하는 방식이다.  $N$  값에 따라 위상차가 커지면 전하 펌프에서 루프 필터로 유입되는 전류가 작아져서  $\Delta V$ 의 크기가 선형적으로 증가하지 못하므로 스퍼가 크기가 감소한다. 또한  $N$  값에 의해 위상차가 작아지면 전하 펌프에서 루프 필터로 유입되는 전류가 커지므로 위상 잡음을 줄일 수 있다. **Fractional-N** 위상고정루프의 출력 신호가 위상 잡음이 커지는 것을 억제하면서 스퍼를 크기를 최대한 줄였다.

2.2. 회로 설계

그림 4는 제안한 위상고정루프에서 사용된 위상차-전압 변환기(PDVC)에 회로를 나타낸다. 두 개의 NMOS와 PMOS 트랜지스터, 한 개의 커패시터와 NOR 게이트로 구성된 전압 변환기로 이루어지며 이를 그림 4(a)에 나타내었다. UP/DN 신호의 차이를 NOR 게이트로 비교하여  $V_x$ 가 Low일 때 PMOS가 동작하고, 커패시터에 전하가 충전된다.  $V_x$ 가 High일 때 PMOS는 동작을 멈추고,  $\Phi_1$  신호에 의해 커패시터에 충전된 전하가 방전된다.

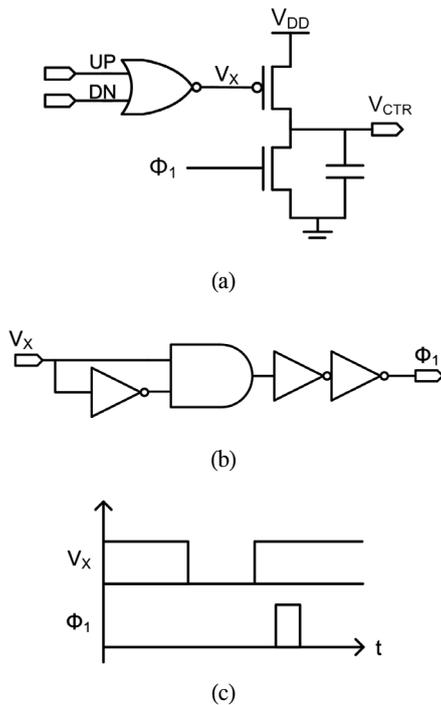


그림 4. 위상차-전압 변환기  
(a) 회로 (b) 제어 신호 (c) 제어 신호 타이밍  
Fig. 4 PDVC (a) Circuit (b) Control signal block (c) Control signal timing

제어 신호 블록은 PMOS의 동작이 멈추고, NMOS가 동작하여 전하를 방전할 수 있게 한다. NMOS의 크기는  $\Phi_1$  신호에 의해 커패시터의 전하가 완전히 방전 될 수 있도록 설계하였다.

전하 펌프는 그림 5에 나타난 바와 같이 전압제어저항과 전하 펌프 회로로 구성되어 있다.

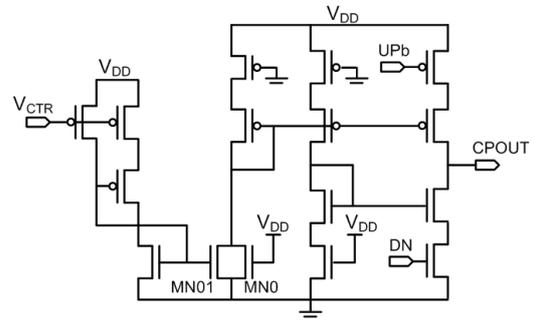


그림 5. 전압제어저항에 의해 제어되는 전하펌프  
Fig. 5 VCR controlled charge pump

위상차-전압 변환기의 출력 전압인  $V_{CTR}$ 을 전압 제어저항을 통해 전하 펌프의 Mn01 트랜지스터 전류량을 조절하여 전류 미러의 구조의 전하 펌프의 전류를 조절하게 된다. 전압제어저항은 입력 전압( $V_{CTR}$ )의 변화에 따라서 출력 전류가 선형적 변화도록 하였다. MN0의 게이트에 전압원을 인가한 이유는 MN01의 트랜지스터가 동작하지 않을 때의 최소 전류량을 유지하기 위해 인가하기 위해서이다. 그림 6은  $V_{CTR}$  전압 변화에 의한 전하 펌프 출력 전류의 변화를 나타낸다.  $V_{CTR}$ 의 전압이 0V일 경우 전하 펌프에 흐르는 전류량을  $400\mu A$ 로 하였고, 1.3V일 경우  $100\mu A$ 로 흐르게 설계 되었다. 즉, 위상 주파수 검출기의 UP/DN 신호 차가 클 경우에는  $100\mu A$ 가 흐르고, UP/DN 신호 차가 작을 경우  $400\mu A$ 가 흐르도록 하였다.

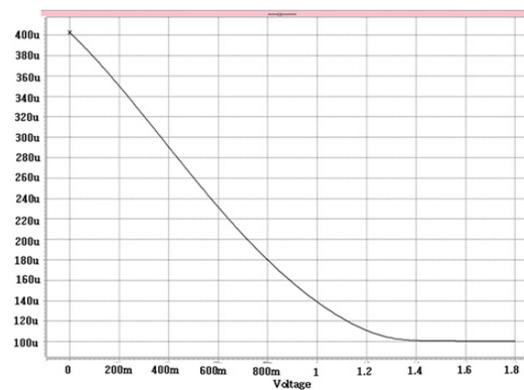


그림 6. 위상차-전압 변환기 출력 전압 대 CP 전류량  
Fig. 6 PDVC output voltage vs. CP current

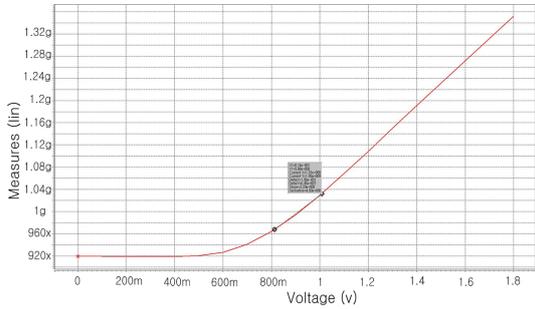


그림 7. 전압제어 발진기의 입력 전압 대 출력 주파수 특성

Fig. 7 Characteristic Input voltage vs. output frequency

전압제어 저항은 넓은 주파수 대역을 가진 전압제어 발진기의 지연시간을 제어한다. 전체의 블록 다이어그램과 전압제어 저항을 포함한 전압제어 발진기의 차동 지연소자 그리고 입력전압 대 주파수 특성이 그림 7에 나타나있다. 루프필터의 출력전압  $V_{LF}$ 는 전압제어 저항을 통해 전압제어 발진기의 지연 시간을 조절하는 전류로 변환된다. 전압제어 저항은 입력 전압의 작은 변화를 큰 전류의 변화로 바꾸어 전압제어 발진기가 넓은 범위의 주파수를 생성할 수 있게 한다[8]. 전압제어 발진기는 세 개의 차동 지연소자로 구성되어 있는데, 입력전압  $V_{LF}$ 와 생성되는 주파수의 관계는 그림 7에서 알 수 있다.

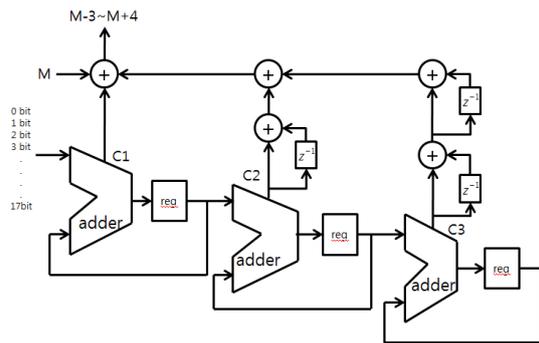


그림 8. 3단의 MASH  $\Delta\Sigma$  변조기의 블록 다이어그램

Fig. 8 Block diagram of the 3-stage MASH  $\Delta\Sigma$  Modulator

그림 8에 도시된 3단의 MASH  $\Delta\Sigma$  변조기는 설계가 용이하기 때문에 제안한 구조에서는 이를 사용하였다. 3단의 MASH  $\Delta\Sigma$  변조기는 1차 변조기를 cascade 형태로 연결한 것으로, 1차의 안정성을 가지기 때문에 이 구조를 이용하면 항상 안정한 시스템을 만들 수 있다. M-비트 누산기의 출력 주파수를 선택하는 K값이 입력으로 들어가면 출력에서는 -3 ~ +4의 값이 무작위로 출력된다. 이 출력 값에 따라 주파수 분주기의 분주비가 결정되는데, 위상고정루프의 출력에서 생성되는 출력 주파수는 N-3 ~ N+4사이의 값으로 선택되는 분주비의 평균값을 가지게 된다. 그림 9에는 Fractional 분주기의 블록 다이어그램이 도시되어있다. 주파수 분주기는  $\Delta\Sigma$  변조기에서 출력되는 값에 따라 8가지의 분주비가 필요하기 때문에 4비트 프로그램 카운터를 이용하여 32 ~ 39까지의 분주비에 대하여 동작을 할 수 있도록 설계하였다.

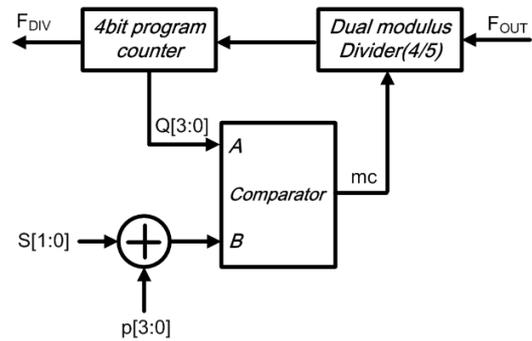


그림 9. 분수체배 분주기의 블록 다이어그램

Fig. 9 Block diagram of fractional divider

### III. 시뮬레이션 결과

충분한 위상마진과 전하 펌프의 전류량 변화에도 위상고정이 가능한 대역폭을 가지도록 회로의 저항, 커패시턴스, 그리고 전압제어 발진기의 이득 등의 변수를 구하기 위해 MATLAB을 이용하였다. 그림 10은 위상 고정 루프의 변수인  $I_{CP}=400\mu A \sim 100\mu A$ ,  $C_P=200pF$ ,  $C_Z=5nF$ ,  $R_Z=1K\Omega$ ,  $K_{VCO1}=330MHz/V$ , 분주비 N값은 Fractional 분주기의 평균값인 35를 사용하여 보드 선도로 나타낸 것이다.

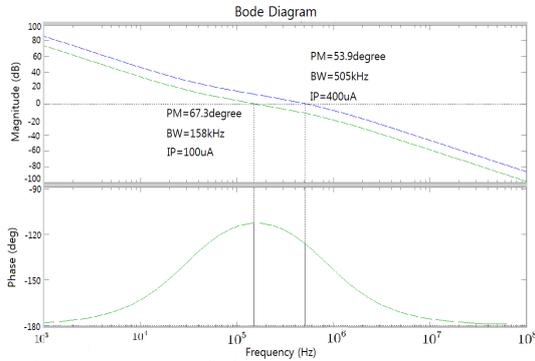
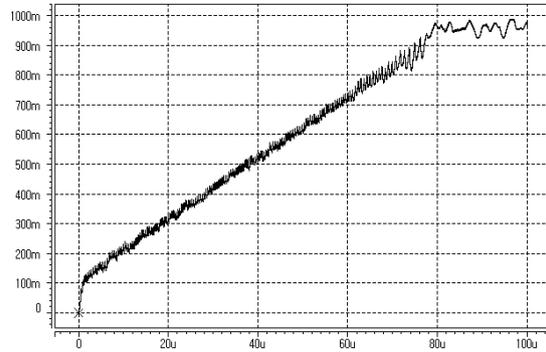


그림 10. 제안된 PLL의 보드선도  
Fig. 10 Bode plot of the proposed PLL

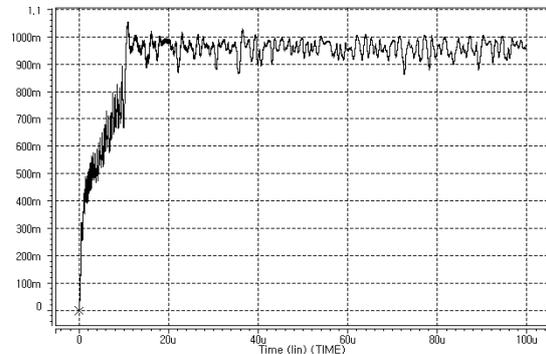
전하펌프 전류량이  $400\mu A$  일 때의 위상 마진은  $53.9^\circ$ 이며 대역폭은  $505kHz$ 이다. 한편 전하펌프의 전류량이  $100\mu A$  일 때의 위상 마진은  $67.3^\circ$ 이며, 대역폭은  $158kHz$ 이다. 이와 같은 결과로 볼 때 제안된 구조에서는 전하펌프 전류량을 조절 하면서 대역폭을 변화시켜 Fractional 스퍼를 억제하기 충분하다. 제안된 위상차-전압 변환기(PDVC)를 이용한 Fractional-N 위상고정루프를  $1.8V$   $0.18\mu m$  CMOS 공정 변수를 이용하여 HSPICE로 시뮬레이션을 수행하고 회로의 동작을 검증하였다.

그림11은  $V_{LF}$ 에 대한 시뮬레이션 결과를 보여준다. 제안된 위상고정루프의 위상 고정시간은  $30\mu s$ 이다. 그림 12에서는  $V_{LF}$  시뮬레이션 파형을 확대한 그림이다. 그림에 나타난 바와 같이 전류량이  $100\mu A$  일 때는  $\Delta V$ 가  $2mV$  정도의 변화를 보이고,  $400\mu A$  일 때는  $4 \sim 7mV$ 로 크게 나타난다. 마지막으로 위상차-전압 변환기를 사용한 위상고정루프의  $V_{LF}$  파형은 그 중간 값인  $3mV$  정도로 나타난다.

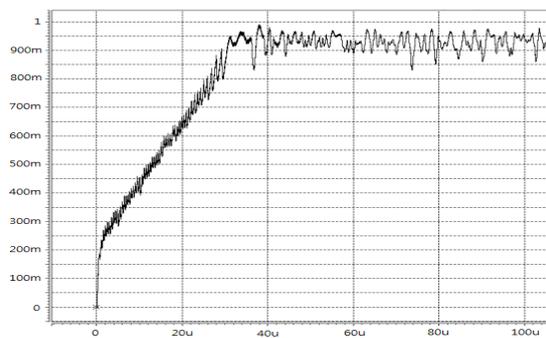
그림 13은 전하펌프의 전류량을  $100\mu A$ ,  $400\mu A$ , 위상차-전압 변환기 회로를 사용 했을 때의 Fast Fourier Transform(FFT)를 하여 스펙트럼의 대역폭을 비교하였다. 가로축은  $800MHz$ ,  $1GHz$ ,  $1.2GHz$  단위로 되어 있고, FFT 시뮬레이션 결과 전하펌프의 전류량이  $100\mu A$  일 때 대역폭이  $56.3MHz$ ,  $400\mu A$  일 때 대역폭이  $26.8MHz$ , 위상차-전압 변환기 회로를 사용 하였을 때의 대역폭이  $38.3MHz$ 의 대역폭을 가지는 것을 확인할 수 있다.



(a)

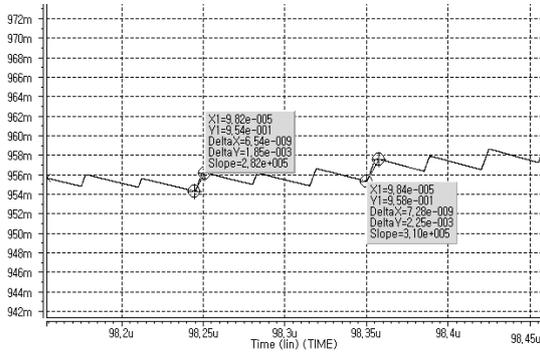


(b)

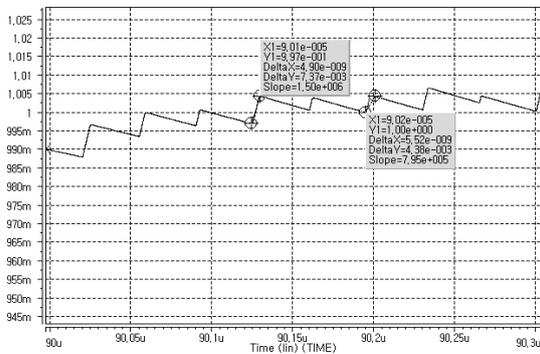


(c)

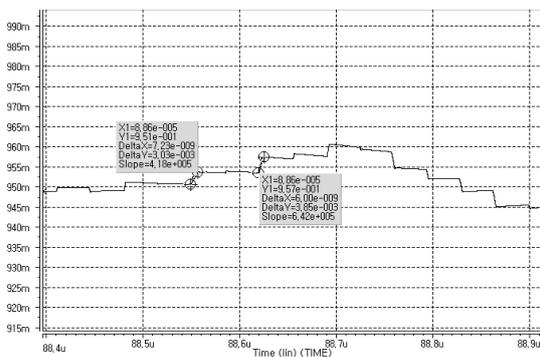
그림 11. VLF 시뮬레이션 파형. 전하펌프의 전류량이( $I_{cp}$ ) (a)  $100\mu A$ , (b)  $400\mu A$  일 때 그리고, (c) 위상차-전압 변환기 회로를 사용 했을 경우  
Fig. 11 Simulated waveform of VLF when  $I_{cp}$  is (a)  $100\mu A$ , (b)  $400\mu A$  and (c) PDVC is used



(a)

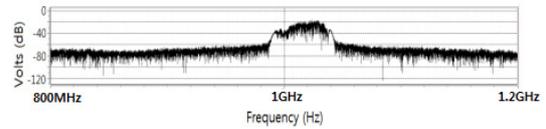


(b)

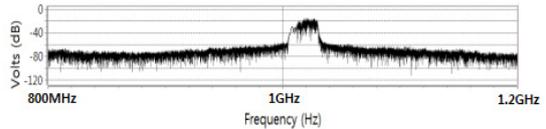


(c)

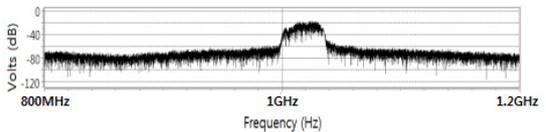
그림 12. VLF 시뮬레이션 확대 파형. 전하펌프의 전류량이( $I_{cp}$ ) (a)  $100\mu A$ , (b)  $400\mu A$  일 때 그리고, (c) 위상차-전압 변환기 회로를 사용 했을 경우  
Fig. 12 Simulated waveform of VLF when  $I_{cp}$  is (a)  $100\mu A$ , (b)  $400\mu A$  and (c) PDVC is used



(a)



(b)



(c)

그림 13. 전하펌프의 전류량이 (a)  $100\mu A$ , (b)  $400\mu A$  (c) 위상차-전압 변환기 회로를 사용 했을 경우  
Fig. 13 When  $I_{cp}$  is when  $I_{cp}$  is (a)  $100\mu A$ , (b)  $400\mu A$  and (c) PDVC is used

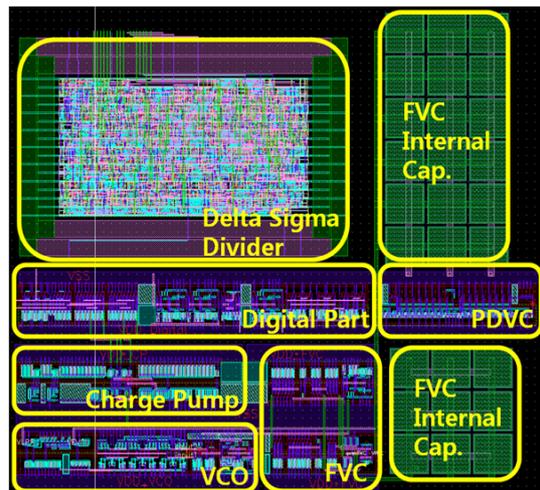


그림 14. 레이아웃  
Fig. 14 Layout

그림 14는 루프 필터의 커패시터( $C_z$ )와 저항( $R_z$ )이 포함되지 않은 칩 레이아웃을 나타낸 그림이고, 0.18 $\mu\text{m}$  CMOS공정을 사용하여 레이아웃을 진행하였고, 레이아웃 된 칩 크기는 664 $\mu\text{m}$ ×847.8 $\mu\text{m}$ 이다.

#### IV. 결 론

본 논문에서 제안한  $\Sigma\Delta$  Fractional-N 위상고정루프는 기존의 Fractional-N 위상고정루프에 위상차-전압 변환기(PDVC)와 3단의 MASH  $\Sigma\Delta$  변조기를 추가한 형태이다. 기준 신호( $F_{REF}$ )와 피드백 신호( $F_{DIV}$ )의 차이를 위상차-전압 변환기 회로에서 비교하여 오류의 차가 크면 전하펌프(CP) 전류를 적게 흐르게 하고, 오류의 차가 작으면 많이 흐르게 하여 루프필터의 큰 실효 커패시턴스로 인해 대역폭은 좁아지게 된다. 위상 고정 이 된 후 대역폭이 좁아지므로, 위상 고정 시간을 증가시키지 않고 스퍼 특성을 개선하였다. 제안된  $\Sigma\Delta$  Fractional-N 위상고정루프는 칩의 크기와 전력 소모를 최소화 하면서, 간단한 회로인 위상차-전압 변환기 회로를 통해  $\Sigma\Delta$ 에 의해 변조된 Fractional 스퍼를 더욱 작게 만들어 준다.

#### 감사의 글

본 논문은 IDEC에서 제공한 툴을 사용하여 설계 하였습니다.

#### 참고문헌

[1] B. Razavi, "Challenges in the design of frequency synthesizers for wireless applications," in Proc. IEEE Custom Integrated Circuits Conf., pp. 395-402. 1997.  
 [2] T. A. D. Riley, M. A. Copeland, and T. A. Kwasniewski, "Delta-sigma modulation in fractional

- N frequency synthesis," IEEE J, Solid state Circuits, vol.35, pp. 1453-1460, Oct. 2000.

[3] W, Rhee, B. Song, and A. Ali, "A 1.1-GHz CMOS fractional-N frequency synthesizer with a 3-bit third-order - modulator," IEEE J, Solid-State Circuits, vol. 35, pp. 1453-1460, Oct. 2000.  
 [4] S. E. Meninger and M. H. Perrot, "A fractional-N synthesizer architecture utilizing a mismatch compensated PFD/DAC structure for reduced quantization-induced phase noise," IEEE Trans. Circuits Syst. II, vol. 50, pp. 839-848, Nov. 2003.  
 [5] S. Pamarti, L. Jansson, and I. Galton, "A wideband 2.4-GHz delta-sigma fractional-N PLL with 1-Mb/s in-loop modulation," IEEE J, Solid-State Circuits, vol. 39, pp. 49-62, Jan. 2004.  
 [6] Y. D. Wu, C. M. Lai, C. C. Lee and P. C. Huang, "A quantization error minimization method using DDS-DAC for wideband fractional-N frequency synthesizer," IEEE J, Solid-State Circuits, vol. 45, pp. 2283-2291, Nov. 2010.  
 [7] B. Razavi, RF Microelectronics, Prentice Hall PTR, 1998.  
 [8] 최영식, 오정대, 최혁환, "자기잡음제거 전압 제어 발진기를 이용한 위상고정루프", 대한전자공학회 논문지-TC, 제 47권, 제 8호, pp. 47-52, 2010. 8.

#### 저자소개

#### 이상기(Sang-ki Lee)



2011년 부경대학교 전자정보통신 공학 전공 학사 졸업.  
 2011년 부경대학교 일반대학원 전자공학과 석사 입학.

※ 관심분야: PLL



**최영식(Young-shig choi)**

1982년 경북대학교 전자공학과  
학사 졸업

1986년 Texas A&M University  
전자공학과 석사 졸업

1993년 Arizona State University 박사 졸업

1987년 ~ 1999년 현대전자(현 SK Hynix) 시스템 IC  
연구소 책임연구원

1999년 ~ 2003년 동의대학교 전자공학과 교수

2003년 ~ 현재 부경대학교 전자공학과 교수

※ 관심분야: PLL