

상관결과의 왜곡 방지를 위한 재양자화 방법에 관한 연구
A STUDY ON THE RE-QUANTIZATION METHOD
FOR PREVENTING DISTORTION OF CORRELATION RESULT

염재환¹, 오세진^{1*}, 노덕규¹, 오충식¹, 정진승¹, 정동규¹, Tomoaki Oyama², Noriyuki Kawaguchi², Hideyuki Kobayashi², Kazuyuki Kawakami³, Hirofumi Onuki³, Kensuke Ozeki³
¹한국천문연구원, ²일본국립천문대, ³Elecs Industry Co. Ltd.

JAE-HWAN YEOM¹, SE-JIN OH^{1*}, DUK-GYOO ROH¹, CHUNG-SIK OH¹, JIN-SEUNG JUNG¹, DONG-KYU CHUNG¹, TOMOAKI OYAMA², NORIYUKI KAWAGUCHI², HIDEYUKI KOBAYASHI², KAZUYUKI KAWAKAMI³, HIROFUMI ONUKI³, AND KENSUKE OZEKI³

¹Korea Astronomy & Space Science Institute, 776 Daedukdaero, Yuseong, Daejeon 305-348, Korea

²National Astronomical Observatory of Japan, 2-21-1 Osawa, Mitaka, Tokyo 181-8588, Japan

³Elecs Industry Co. Ltd., 1-22-23 Sinsaku, Takatu, Kawasaki 213-0014, Japan

E-mail: jhyeom@kasi.re.kr; sjoh@kasi.re.kr

(Received September 15, 2012; Accepted November 28, 2012)

ABSTRACT

In this paper, we propose a new re-quantization method after FFT processing to prevent the distortion of correlation result of VCS (VLBI Correlation Subsystem). The re-quantization is used to rearrange the data bit so as to reduce the data rate processed as 16-bit of FFT result of VCS. Having done this procedure, we found that the distorted spectrum of correlation result occurred in the delay tracking experiments by the re-quantization method introduced for initial design of VCS. In order to solve this, two kinds of re-quantization method, that is, the comparison and selection-type, are proposed. The first is to re-quantize the FFT result as a valid-bit by comparing with the input data after determining the adequate threshold. The second is manually to select the valid-bit of FFT result after finding the valid-field of data according to the bit-distribution of input data. We confirmed that the second is more effective compared with the first through the experimental result, and it will be implemented without so much modification of applied method in the condition of the limited resource of FPGA. The re-quantization is, however, carried out with 4-bit in the proposed second method for FFT result, and then the distortion of correlation result is also appeared. To fix this problem, the bit for re-quantization is extended to 8-bit. The proposed 8-bit selection-type is effectively verified so that the distortion of correlation result disappeared by applying to VCS in consequence of the simulation and correlation experiments.

Key words: Korea-Japan joint VLBI correlator; VLBI correlation subsystem; selection-type re-quantization

1. 서론

한국천문연구원에서는 일본국립천문대와 공동으로 한국 우주전파관측망(Korean VLBI Network, KVN)과 일본국립천문대의 VERA(VLBI Exploration of Radio Astrometry)관측망, 향후 한중일의 VLBI 관측망을 통합한 동아시아VLBI관측망(East Asian VLBI Network, EAVN)으로 관측한 VLBI(Very Long Baseline

Inter-ferometry) 데이터를 상관처리할 수 있는 한일공동 VLBI상관기(Korea-Japan Joint VLBI Correlator, KJVC)를 개발하였다(노덕규 등, 2008). KVN에서는 각 관측국에서 관측한 천체의 전파신호를 1,024 MHz 샘플링 주파수, 2비트(bit)로 양자화하여 디지털 신호로 변환한다. KJVC는 관측기록된 데이터를 재생하는 고속재생기(Mark5B, VERA2000), 테이프와 하드디스크 기록미디어의 동기재생처리를 위한 동기재생처리장치(Raw VLBI

*교신저자.

Data Buffer, RVDB), 16관측국, 관측국당 최대 8,192 Mbps로 상관처리를 수행할 수 있는 VLBI상관서브시스템(VLBI Correlation Subsystem, VCS), 그리고 상관결과를 저장하는 데이터아카이브 시스템으로 구성된다(오세진 등, 2009, 2011).

KJJVC에서 처리하고 있는 것과 같이 아날로그 신호를 디지털로 변환하여 데이터 처리 또는 전송을 수행한 후 다시 그 신호를 복원하기 위해 활용하는 방법이 샘플링 이론이다(이채욱, 1994). 즉 제한된 대역 내에 포함된 신호의 가장 높은 주파수 성분의 적어도 2배 되는 속도로 반복되는 펄스열로 신호를 순간적으로 표본화하는 경우, 이 신호를 완벽하게 재현할 수 있는 것으로 1초마다 최소로 반복되는 펄스수를 'Nyquist rate'라고 한다(이채욱, 1994; Oppenheim et al., 1989). Nyquist rate로 샘플링된 신호를 디지털로 표현하기 위해서는 양자화를 수행하는데, 이때 특정 값으로 변환하기 위해 전달함수를 사용한다. 이 전달함수로 표현된 신호는 원래 신호와 다르기 때문에 양자화 오차가 발생한다. 전달함수의 레벨 수가 많은 경우 원래 신호에 가깝게 표현할 수 있지만, 천체의 신호가 거의 대부분이 잡음과 같은 전파 천문학에서는 처리해야하는 데이터 량을 줄이기 위해 높은 레벨의 전달함수를 사용하지 않고 1비트 또는 2비트를 사용한다. 그러나 높은 주파수로 샘플링하여 낮은 양자화 전달함수를 보완하고 있다(Takahashi et al., 2000; Thompson et al., 2001).

본 논문에서는 상관결과의 왜곡을 방지하기 위해 KJJVC의 VCS에서 FFT(Fast Fourier Transform) 처리 후에 수행하는 재양자화 기법을 제안한다. VCS에서의 재양자화는 16비트로 처리된 FFT 결과에서 데이터의 양을 줄이기 위해 비트를 재정렬할 때 사용된다. 그런데, VCS의 초기 설계에서 도입한 재양자화를 통한 상관처리 시험에서 지연추적(delay tracking)을 수행할 때 상관처리 결과의 스펙트럼이 왜곡되는 현상을 발견하였다. 이 문제를 해결하기 위해 본 논문에서는 비교형 재양자화 기법과 선택형 재양자화 기법을 제안한다. 본 논문에서는 제안방법들에 대해 VCS의 FPGA(Field Programmable Gate Array)와 같이 제한된 리소스(resource) 하에서 많은 수정없이 시스템을 안정하게 구현할 수 있는가에 대해 시뮬레이션과 상관처리 실험을 통하여 그 유효성을 확인하고자 한다.

본 논문의 구성은 다음과 같다. 2장에서는 VCS에서 신호의 양자화에 대해 기술하고, 3장에서는 본 논문에서 제안한 비교형과 선택형 재양자화 기법에 대해 기술한다. 그리고 4장에서는 제안방법을 대상으로 시뮬레이션과 상관처리 실험을 수행하고 그 결과에 대해 고찰하고, 마지막으로 5장에서 본 논문의 결론을 맺는다.

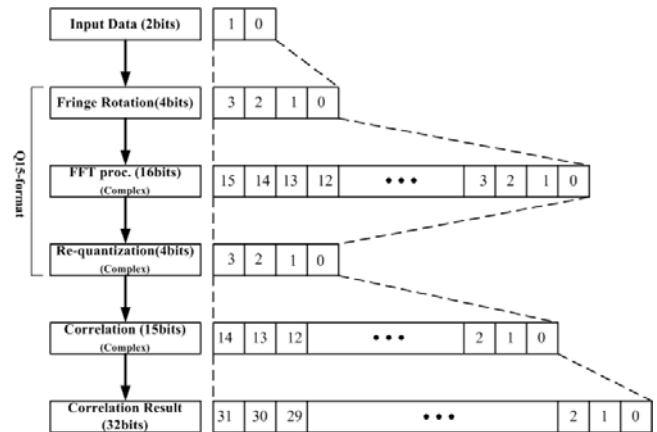


그림 1. VCS에서 신호의 양자화 비트 변화. VCS에서는 프린지 회전에서 재양자화과정에 Q15 형식을 사용하고 있음.

2. VCS에서 신호의 양자화

상관기와 같이 입력된 데이터를 고정소수점(fixed-point)으로 표현하고 상관기에서 고속연산과 높은 정밀도를 유지하면서 처리할 때는 Q15 형식(Oppenheim et al., 1989)을 사용한다. 그림 1에 나타난 것과 같이 VCS 상관기는 프린지 회전과 재양자화까지의 단계에서 Q15 형식으로 표현되는 데이터 비트를 활용한다. 그림 1에서 입력된 데이터는 관측국에서 2비트로 디지털화된 관측데이터로서 지연추적과 프린지 회전을 수행하기 위해 4비트로 확장된다. 그 후 FFT 과정에서 각 관측국마다 cos/sin에 대한 고속연산과 높은 정밀도 유지를 위해 16비트로 데이터비트를 확장하고 각 cos/sin에 대해 복소수 연산을 수행한다. 이때 각 복소수 연산은 모두 16비트의 데이터 비트를 갖는다. 그리고 FFT 후에 확장된 데이터 비트로 인해 데이터가 기하급수적으로 증가하여 하드웨어에서 처리할 수 있도록 다시 데이터의 비트를 조정하는 재양자화를 수행하며, VCS의 경우 초기 규격에는 4비트를 사용하였다. 그리고 안테나 유닛(antenna unit)으로부터 재양자화되어 CAB(Correlation and Accumulation Board)로 전송된 4비트 데이터는 기선 간의 연산을 위해 15비트로 확장된다. 이때 각 관측국의 데이터는 복소수 표현에 의해 15비트의 데이터를 갖는다. 그리고 어큐뮬레이터는 적분 시간에 따라 데이터 수와 값의 크기가 증가하기 때문에 32비트로 확장된다. 최종적으로 어큐뮬레이터로부터 출력되는 상관결과는 32비트로 데이터 비트가 확장된다.

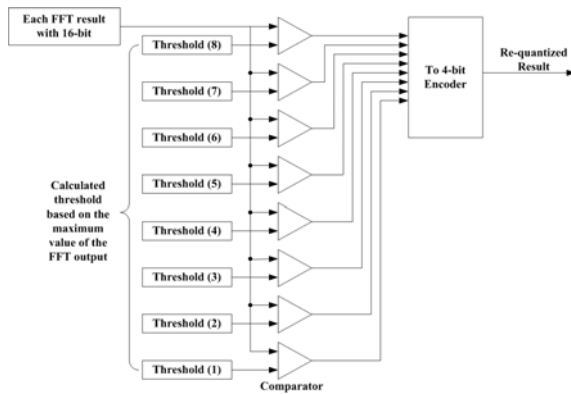


그림 2. 제안한 비교형 재양자화 방법. 입력되는 각 FFT 출력과 문턱치 값을 비교하는 모듈로 구성됨.

3. 제안된 재양자화 기법

3.1. 비교형 재양자화 제안

디지털 신호처리에서 FFT 처리 후 수행하는 재양자화의 목적은 FFT 결과의 비트 수를 재정렬하여 출력되는 데이터 속도를 감소시키는 것이다. 만약 16비트로 구성된 FFT 결과의 유효한 데이터 분포가 2 ~ 5비트 사이에 존재한다고 가정하면, 이 유효 분포의 4비트를 추출하도록 되어 있다. 그러나 선택한 유효 비트의 범위가 4비트이므로 추출한 데이터에서 유효한 비트의 분포를 가지는 데이터가 제외될 가능성이 높으며, 이는 FFT 처리 이후의 재양자화 과정에서 데이터에 문제가 발생하는 원인이 된다.

이렇게 FFT 처리 후 잘못 적용된 재양자화로 인해 발생하는 데이터의 손실 등을 보정하기 위해 본 연구에서는 비교형 재양자화 방법을 제안한다. 비교형 재양자화 방법은 몇 초 분량의 관측데이터에 대해 비트 분포 등과 같이 유효 비트를 확인하여 적절한 문턱치(threshold)를 찾아서 결정하고, 이 문턱치와 향후 입력되는 데이터와 비교하여 재양자화를 수행하는 것이다. 제안 방법을 나타내면 그림 2와 같다. 제안한 비교형 재양자화 방법은 우선 문턱치를 결정할 때 필요한 최대값(maximum value)을 결정하기 위해 상관처리하기 전에 전처리 과정을 수행하여야 한다. 그림 2에 나타난 것과 같이 이 방법에는 8개의 비교기, 8개의 테이블 그리고 4비트 인코더(encoder)가 필요하다.

기존(한국천문연구원, 2008)의 제안된 방법은 재양자화 테이블과 복구 테이블이 필요했으며, 데이터를 복구한 이후에 데이터를 16비트로 확장하기 때문에 FPGA에 많은 자원이 필요하였다. 이 문제를 해결하기 위해 제안한 비교형 재양자화 방법은 복구 테이블에 의한 데이터 복구과정을 생략하여 FPGA의 자원을 대폭 줄이는 것이다. 그리고 최대값을 결정하기 위해서는 실제

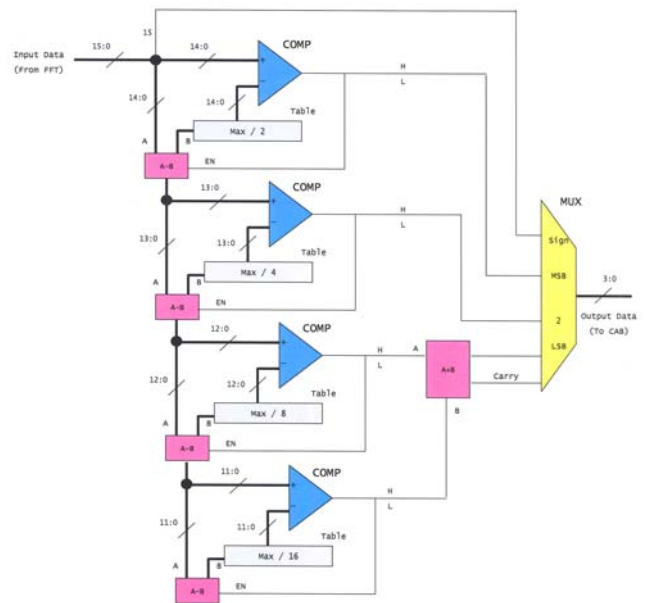


그림 3. FPGA 구현 방법 제안.

관측데이터를 이용할 수 있으며, 데이터의 비트분포를 정렬하여 결정할 수 있다. 하지만, 사전에 비트분포가 입력되는 데이터를 대상으로 사전에 계산하고 비교하는 부분이 포함되어야 하고, 데이터의 종류에 따라 최대값으로 선택된 값이 항상 유효하지 않을 수 있는 문제가 있다.

비교형 재양자화 방법을 FPGA로 구현한 후의 설치 방법에 대해 그림 3에 나타난 것과 같이 제안한다. 그림 3에서 이 블록은 FFT 블록마다 배치하면 32개가 된다. 16비트 입력 데이터 중에서 최상위 비트는 부호(sign)비트이며, 다음 비트는 (maximum value)/2와 비교하여 출력한다. 출력이 'H(1)'일 경우에는 입력 데이터에서 (maximum value)/2 값을 빼고, 출력이 'L(0)'일 경우는 아래 블록으로 데이터 값을 전달한다. 다음 비트는 (maximum value)/4와 비교하여 출력한다. 이 경우에도 출력이 'H(1)'일 경우는 입력 데이터에서 (maximum value)/4의 값을 뺀다. 다음 비트의 출력은 위와 동일한 방법을 반복하게 된다. 마지막에는 문턱치 미만의 값을 반올림하기 위한 블록을 두었다. FPGA로 구현할 경우 이 방법은 파이프라인 처리와 같은 순차적인 처리가 필요하게 된다. 그림 3에 나타난 것과 같이 이 방법은 비교기 4개, 테이블 4개, 뺄셈기 4개가 필요하다.

3.2. 선택형 재양자화 제안

선택형 재양자화 기법은 3.1절에서 제안한 비교형 재양자화 기법에 비하여 비교적 간단한 방법으로 관측데이터에 대한 초기시험을 통하여 비트분포(bit-distribution)

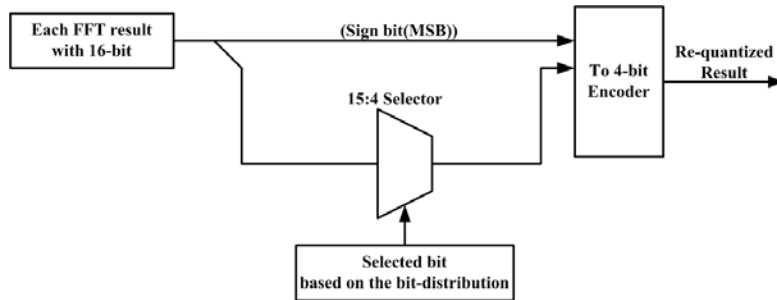


그림 4. 선택형 재양자화 방법(비트분포를 기반으로 4비트 선택).

를 계산하여 신호의 비트분포에 따라 재양자화 할 비트를 선택하는 방식이다. 그림 4에 나타낸 것과 같이 16비트로 구성된 FFT 결과 중에서 부호 비트를 제외한 15비트 중에서 비트분포에 따른 유효비트인 4비트를 선택하여 재양자화된 결과를 출력하도록 하는 것이다. 이 방법은 상관기에 입력되는 관측데이터에 대해 비트 분포를 계산하여 재양자화에 선택할 비트의 범위를 결정하는 전처리 과정이 선행되어야 한다. 만약 한번 결정된 재양자화 비트 범위를 계속 다른 데이터에 대해서도 재양자화를 수행한다면 유효한 비트의 분포를 가지는 데이터가 제외될 가능성도 있으며, 이로 인해 재양자화된 데이터의 왜곡이 발생하는 원인이 될 가능성도 있다. 그림 4에서 4비트 인코더에는 데이터의 포화(saturation)를 방지하는 블록이 내장되어 있다.

3.3. 비교형 및 선택형 재양자화 방법의 비교

제안한 2가지 방법의 특징을 기술하면 다음과 같다. 먼저 비교형 재양자화 방법은 관측데이터에 대해 재양자화를 수행할 때 데이터의 정밀한 재정렬이 가능하다. 즉, 각 관측데이터의 분포를 비교한 후 값을 정하기 때문이다. 그러나 이 방법은 제어와 구성이 다소 복잡한 단점이 있다. 또한 선택형에 비하여 FPGA에 구현할 때 필요한 자원의 양이 10배정도 많이 필요로 한다. 그리고 데이터가 예상되는 부분이 있지만 다른 데이터가 잘못 압축되어 사용될 가능성도 있다. 협대역 관측 데이터의 경우 각 서브스트림(sub-stream)에 대해 각각의 다른 비교형 재양자화 방법을 적용할 필요성이 있을 수 있다.

비교형 재양자화 방법에 비해 선택형 재양자화 방법은 재양자화에 대한 제어와 구성이 비교적 간단하고 필요한 리소스의 양이 많지 않다. 그리고 데이터의 재정렬이 비트 단위로 수행되므로 협대역 관측 데이터에 대해서도 재양자화 방법의 설정을 변경할 필요가 없게 된다. 그러나 관측데이터를 재정렬할 때 비트 길이에 제한이 있을 수 있고, 비트의 선택범위를 잘못 정할 경우 재양자화된 데이터가 모두 잘못될 수 있는 단점이 있

다. 전체적으로 선택형 재양자화 방법은 선택 비트에 대한 레지스터만 필요하지만, 비교형 재양자화 방법은 각 비트를 비교하기 위한 8비트 비교기와 4비트 인코더가 필요하다. 상관기의 최대 FFT 출력 채널이 262,144이고 복소상관기이기 때문에 1,048,576개의 8비트 비교기와 4비트 인코더가 더 필요하게 된다. FPGA의 구성은 파이프라인으로 동작하도록 설계하였기 때문에 계산량은 증가하지 않는 장점도 있다.

본 논문에서 제안한 2가지 방법의 장단점을 비교해서 VCS를 설계할 때 사용한 FPGA의 자원을 최대한 활용한다고 볼 때, 선택형 재양자화 기법의 단점을 보완하면 좀 더 쉽게 VCS의 상관결과에서 발생할 수 있는 신호의 왜곡을 방지할 수 있을 것으로 기대된다. 다음 절에서 선택형 재양자화의 보완점에 대해 간략히 기술한다.

3.4. 선택형 재양자화의 확장

그림 4에 나타낸 것과 같이 기존의 VCS 내부에서 처리하는 방식은 FFT 처리 이후에 4비트 재양자화비트로 선택형 재양자화 기법을 사용하고 있다. 4비트 재양자화 기법은 데이터의 활용범위(dynamic range)가 작지만 FFT 처리 결과를 USB/LSB^2 로 동시에 처리할 수 있었다. 4비트 재양자화는 SSB^3 만을 처리할 수도 있다. 그러나 본 연구에서 개발한 VCS는 복소 상관기로서 데이터 처리를 위한 활용범위를 넓혀서 데이터가 포화상태가 되지 않도록 방지하는 방법으로 기존의 선택형 재양자화 기법을 보완하여 그림 5에 나타낸 것과 같이 8비트로 양자화 비트를 확장하였다. 재양자화비트를 확장함에 따라 4비트의 경우엔 USB/LSB 를 동시에 처리할 수 있는 부분이 어느 한쪽을 선택해야 하므로 선택의 범위가 좁아졌지만 데이터의 포화상태로 인한 상관 결과의 왜곡을 방지할 수 있다. VCS에서는 8비트 선택

¹Upper Side Band.

²Lower Side Band.

³Single Side Band.

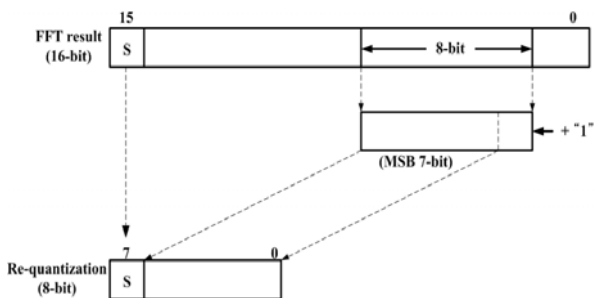


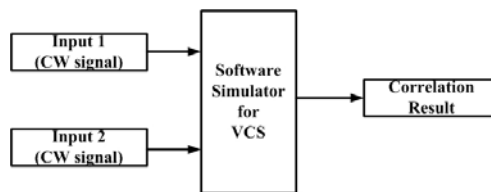
그림 5. 선택형 재양자화 방법의 확장(8비트로 유효영역의 확장).

형 재양자화 방법의 유효성을 확인하기 위해 현재 선택한 FPGA 칩 내에서 어떤 영향을 주는지에 대해 곱셈기, 데이터 정밀도, 그리고 FPGA 내의 패턴설계 등에 대해 검토하였다.

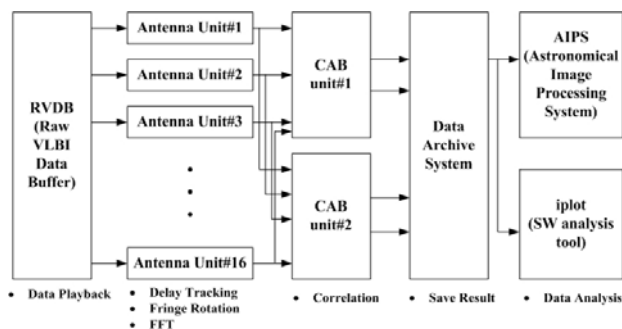
먼저 복소 곱셈기(complex multiplier)에서, 4비트 재양자화의 경우 상관처리를 수행할 때 복소 곱셈은 16비트 곱셈기 하나로 가능하다. 그러나 8비트 재양자화는 16비트 곱셈기 4개가 필요하여 그만큼 리소스가 증가하게 된다. 이와 관련해서 4번의 곱셈이 필요하지만, 현재 선택한 FPGA의 활용 가능한 자원 범위 내에서 곱셈기를 추가할 수 있기 때문에 그렇게 큰 문제는 아니다.

데이터의 정밀도 측면에서 살펴보면, 상관결과의 정밀도를 향상시키기 위해 다음의 2가지 경우에 대해 고려하였다. 첫 번째는 출력결과를 부동소수점(floating-point)으로 변환하는 것으로써, 부동소수점 연산은 각각의 연산마다 지수비트(exponential bit)와 소수비트(fractional bit)에 대한 정렬을 하기 때문에 고정소수점 연산에 비해서 연산 횟수가 증가하고 FPGA의 자원 활용도 크게 증가하게 된다. 이와 같은 이유로 부동소수점연산을 FPGA에 적용하는 것은 신중하게 고려해야 한다. 또한 이를 구현하는데 많은 시간과 FPGA의 활용 자원이 기하급수적으로 증가하게 되는 문제가 있다. 두 번째는 상관적분을 수행할 때 낮은 비트를 절사하기 때문에 4비트로 재양자한 경우 데이터의 정밀도가 낮아지는 문제가 있다. 하지만 8비트 재양자화의 경우 데이터의 정밀도가 4비트 재양자화보다는 많은 데이터를 표현할 수 있기 때문에 향상되게 된다. 그리고 FPGA 내부에서 비교적 로직이 간단하고 변경할 부분이 작아져서 쉽게 구현할 수 있는 장점이 있다.

마지막으로 FPGA 내의 패턴 설계의 경우 상관블록의 FPGA 입력은 4비트 재양자화인 경우 $(4+4)\text{-bit} \times 16\text{-antenna} = 128\text{비트}$ 가 된다. 그러나 8비트 재양자화인 경우 이것의 2배인 256비트가 되어, FPGA를 설계하는 측면에서 보면 8비트 선택형 재양자화 방법은 FPGA의 활용자원이 증가하는 문제가 있다. 그러나 전체 데이터



(a) 시뮬레이션 시험 구성도.



(b) 상관처리 시험 구성도.

그림 6. 시뮬레이션과 상관처리를 위한 시스템 구성도.

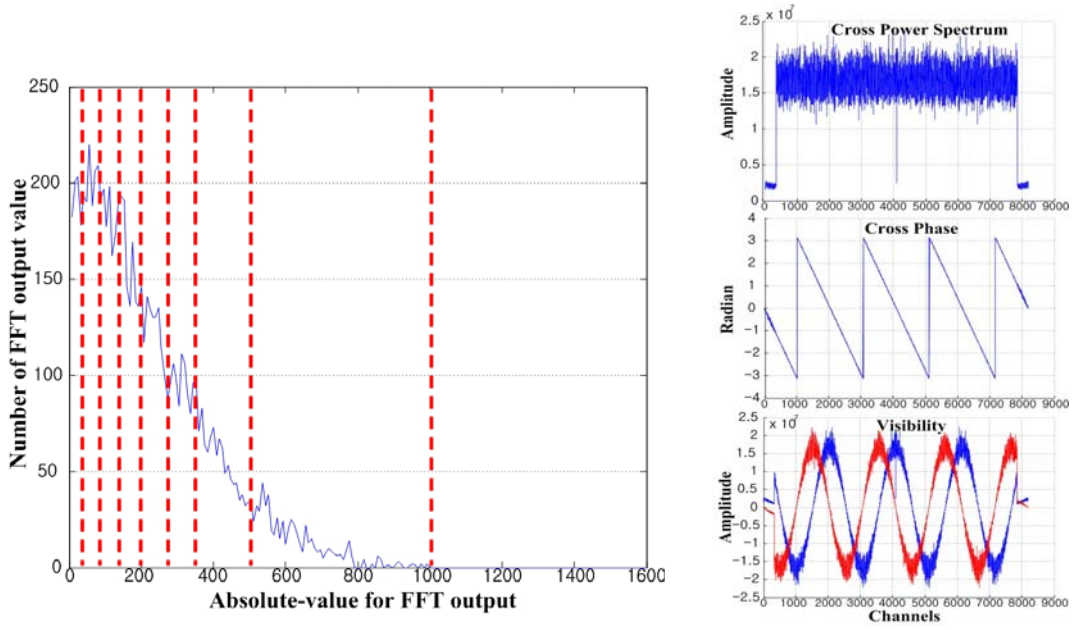
속도가 변하지 않기 때문에, FPGA 내부에 1:2-DEMUX를 사용하게 되면 기존에 선택한 FPGA의 설계를 변경하지 않고 사용할 수 있어 위 문제점을 해결할 수 있게 된다.

4. 실험결과 및 고찰

본 논문에서 VCS의 FFT 처리결과와 데이터양을 손실 없이 높은 정밀도와 안정도를 갖도록 줄이기 위해 제안한 비교형과 선택형 재양자화 방법에 대해 비교 검토를 수행한 결과 선택형 재양자화 방법이 주어진 VCS의 FPGA에 제한적인 자원을 사용하면서 효과적으로 표현할 수 있는 것을 확인하였다. 따라서 본 논문에서는 제안한 비교형과 선택형 재양자화 방법의 유효성을 확인하기 위해 시뮬레이션과 상관처리 시험을 수행하였다. 특히 시뮬레이션에서는 선택형 재양자화의 비트수를 변경하면서 최적의 유효비트와 부동소수점과 고정소수점 연산에 따른 상관결과의 변화에 대해 고찰한다. 그리고 상관처리 시험에서는 입력되는 관측데이터에 대해 제안한 선택형 재양자화 방법의 실험결과에 대해 고찰한다. 그림 6은 시뮬레이션과 실제 상관처리를 위한 시험 구성도를 나타낸 것이다.

4.1. 시뮬레이션 결과

먼저 본 논문에서 제안한 비교형 재양자화 기법을 VCS에 적용할 수 있는지를 확인하기 위해 시뮬레이션 시험을 수행하였다. 실험을 위해 사용된 시뮬레이션 데이터



(a) FFT 연산 후의 최소값에서 최대값까지의 비트 분포. (b) 비교형 제약자화 결과(4샘플 이동).

그림 7. 비교형 제약자화 시뮬레이션 결과.

는 KVN의 자료획득시스템(Oh et al., 2011)과 일치하도록 256 MHz 대역폭을 가지고 있다. 잡음 신호는 continuum source와 같이 랜덤한 노이즈에 대역폭과 SNR 값을 조정하여 생성할 수 있는 톤(tone)신호이다. 이 잡음신호에 spectral line source와 같은 시뮬레이션 데이터를 생성하기 위해 주파수와 SNR을 조정할 수 있는 16 MHz CW 신호가 포함된 것으로 VCS의 규격을 만족하는 시뮬레이터(염재환 등, 2009)에서 수행하였다. 그리고 사용된 시뮬레이션 데이터는 USB/LSB를 동시에 표현한 것이다. 비교형 제약자화 기법은 3장에서 기술한 것과 같이 입력신호에 대해 비트분포를 비교하면서 먼저 계산한 후 최적의 비트 분포를 갖는 신호에 대한 유효비트를 선택하여 제약자화를 수행하는 것이며, 실험결과는 그림 7에 나타내었다. 이때 사용한 시뮬레이션 데이터의 대역폭은 256 MHz이며, 이는 KVN 고속 기록기인 Mark5B의 최대 기록속도가 1,024 Mbps로서 1 샘플 당 2비트로 양자화 한 것이다.

그림 7(a)에서 X축의 FFT 출력에 대한 절댓값은 FFT 출력의 실수와 허수 데이터 값의 범위를 나타내며, Y축은 X축에 해당하는 값을 갖는 데이터의 수를 나타낸 것이다. 그리고 그림 7(a)의 점선은 Y축의 데이터 수의 합이 1024가 되는 FFT 출력값의 수를 표시한 것이다. 그림 7(a)에서 FFT 출력이 16비트인 경우 입력데이터에 대해 자동적으로 FFT 연산후의 최소값에서 최대값까지

의 절댓값에서 11에서 8비트는 256 ~ 3,840이고, 10에서 7비트는 128 ~ 1,920, 9에서 6비트는 64 ~ 960, 8에서 5비트는 32 ~ 480, 7에서 4비트는 16 ~ 240까지의 값을 갖는 것을 알 수 있다. 그림 7(a)의 분포에서 0 ~ 1,000 범위의 값을 갖는 유효비트를 선택하는 것이 실험적으로 가장 적합한 것으로 판단된다. 하지만 기존의 VCS에서 제안된 제약자화의 경우 4비트를 사용하고 있다. 따라서 동일한 4비트를 사용한 경우, 즉 가장 유효비트가 많이 포함된 것으로 생각되는 8에서 5비트를 사용하여 FFT 결과를 제약자화 하였으며 4샘플 이동한 후의 결과를 그림 7(b)에 나타내었다. 그림 7(b)의 시뮬레이션 결과에서 스펙트럼 채널의 주파수 분해능은 62.5 kHz이며, FFT 결과 후 USB/LSB를 동시에 나타낸 것이다. 그리고 시뮬레이션 데이터에는 CW 신호를 입력하지 않았다. 그림 7(b)의 결과를 통하여 전체적으로 비교적 안정된 결과가 출력되는 것을 알 수 있다. 그러나 앞서서도 기술하였지만, 본 제안 방법을 적용하기 위해서는 제약자화 전에 입력되는 신호에 대해 비트분포를 사전에 계산하여 비교하는 작업과 신호의 포화가 발생하는지 확인하는 사전작업이 필요하다. 이를 개선하기 위해 본 논문에서는 사전에 비트 분포를 확인하고 두 번째로 제안한 선택형 제약자화 기법과 이를 확장한 방법에 대한 실험결과의 검토를 다음에 기술한다.

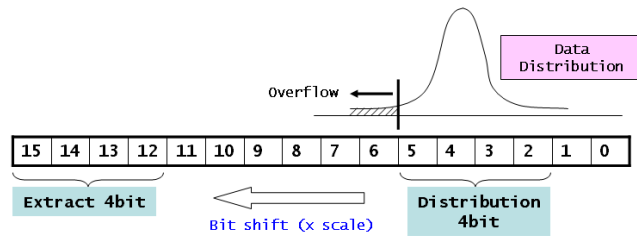
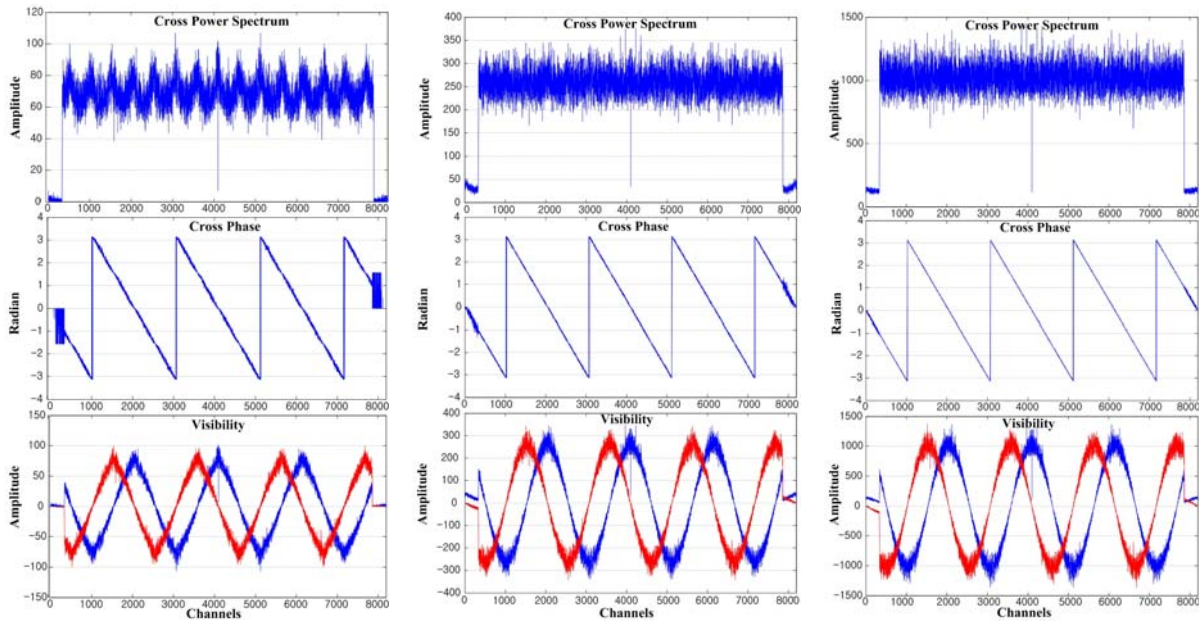


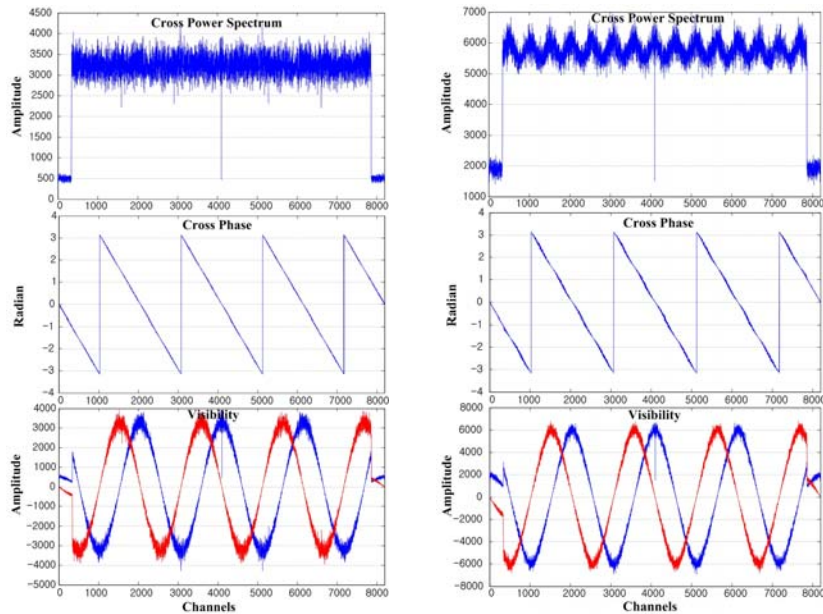
그림 8. FFT의 스케일링과 선택형 제약자화 기법.



(a) 11 to 8.

(b) 10 to 7.

(c) 9 to 6.



(d) 8 to 5.

(e) 7 to 4.

그림 9. 제약자화 유효비트 선택에 따른 시뮬레이션 결과(4샘플 이동시킨 경우).

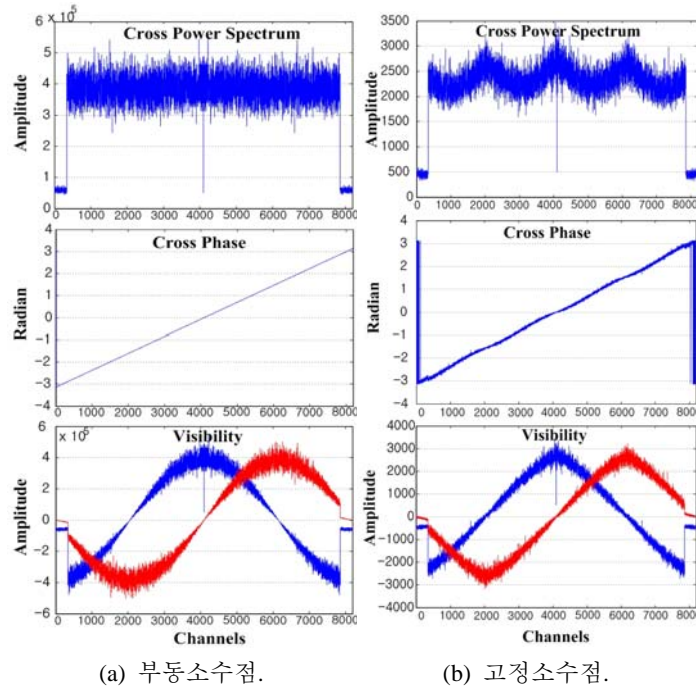


그림 10. 선택형 제약자화에서 부동소수점과 고정소수점 계산에 따른 상관시물레이션 결과. 고정소수점보다 부동소수점의 연산에서 왜곡이 발생하지 않으며, 데이터를 보다 정밀하게 계산하기 때문에 진폭값이 크게 표현된다. 그러나 VCS와 같이 고정소수점 연산을 수행하는 하드웨어는 많은 물량이 필요하게 된다.

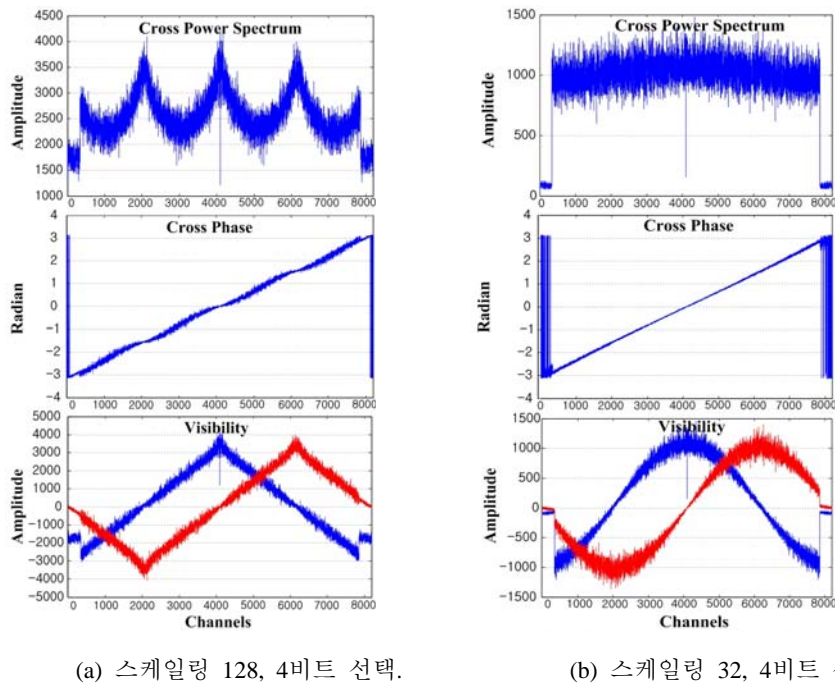
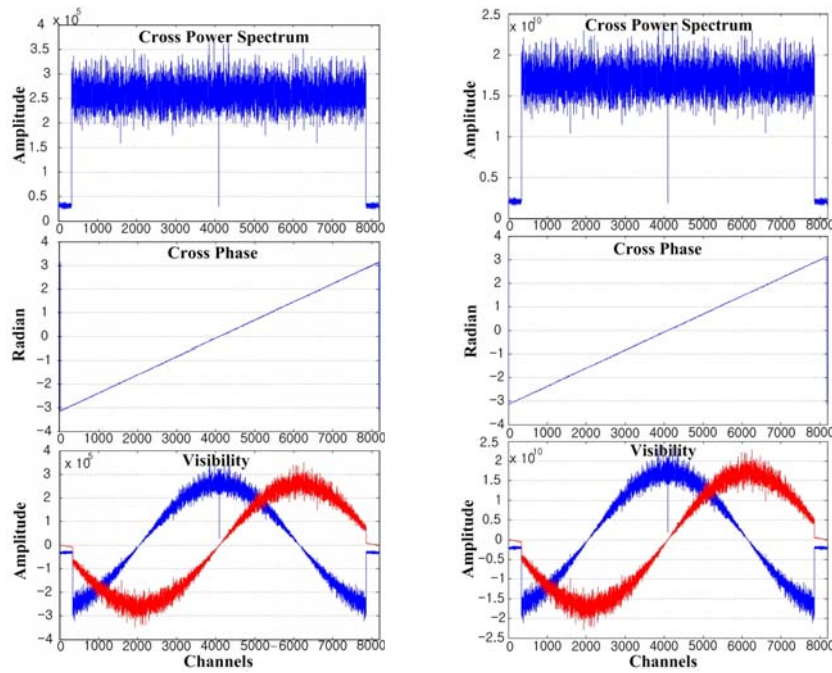


그림 11. 부동소수점에서 FFT 스케일링 값과 4비트 선택형 제약자화 기법의 시물레이션 결과. FFT의 스케일링 값이 상관결과에 영향을 미치고 있음을 알 수 있다.



(a) 8비트.

(b) 16비트.

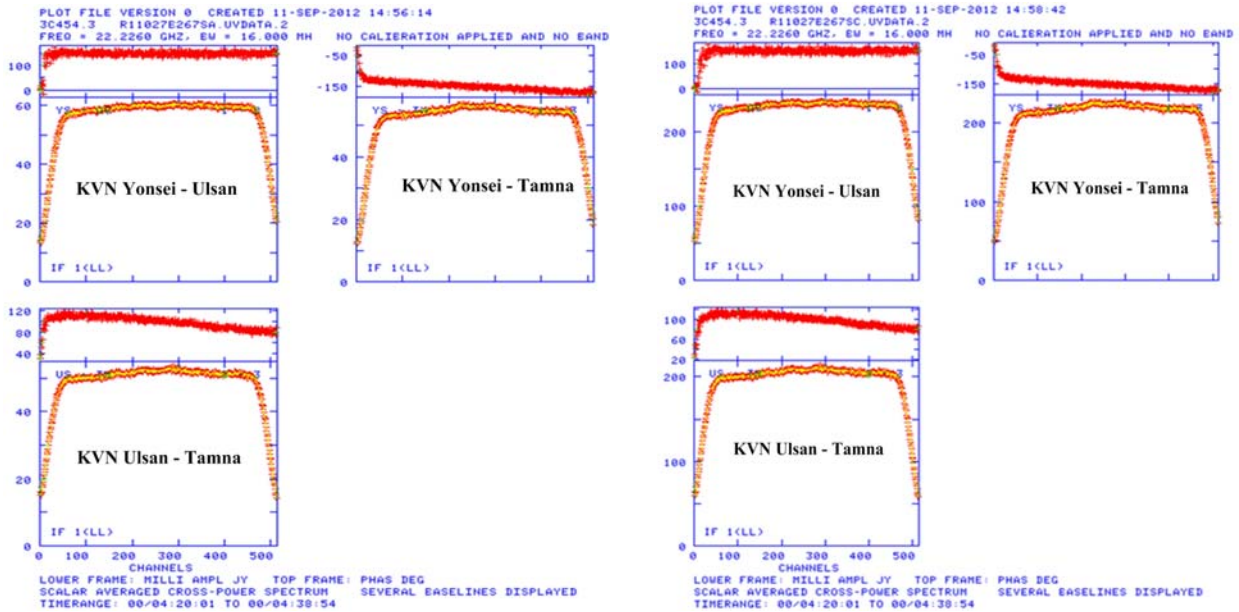
그림 12. 부동소수점 연산에서 스케일링 32일 때 8비트와 16비트의 선택형 제약자화 기법의 시뮬레이션 결과. 같은 스케일링 값과 부동소수점 연산에서 8비트와 16비트의 결과에서 스펙트럼의 모양과 위상, visibility의 모양이 비슷하므로 VCS의 하드웨어 자원을 최대한 이용하기 위해서는 제약자화의 경우 8비트 이상을 도입하는 것이 적절하다.

다음은 본 논문에서 제안한 선택형 제약자화에 대한 시뮬레이션 실험을 수행하였다. 그림 8은 16비트의 FFT 결과에서 4비트 제약자화를 수행할 때 유효한 비트를 선택함에 따라 결과가 어떻게 변화하는지 비교검토하기 위한 것과 FFT의 버터플라이(butterfly) 연산에서 오버플로우를 방지하기 위해 스케일링 값을 곱하여 제약자화에서 유효비트가 포함된 곳의 비트를 이동한 경우를 그림으로 나타낸 것이다. 그림 9에 나타낸 시뮬레이션 결과는 잡음신호에 16 MHz CW 신호를 삽입한 시뮬레이션 데이터에 대해 4샘플 이동한 경우로서 실제로는 지연추적과 같이 데이터의 이동이 있어도 스펙트럼 모양이나 위상 등에서 왜곡이 발생하지 않는 것이 정상이다. 그러나 그림 9(a)와 (e)의 유효비트를 11에서 8과 7에서 4를 선택한 경우 스펙트럼과 위상 등에서 과도 모양의 신호왜곡이 발생하는 것을 확인하였다.

그림 10의 시뮬레이션 결과는 16 MHz CW 신호가 포함된 잡음신호에 대해 1샘플링 이동한 경우로써 6단계 FFT의 버터플라이 연산을 하고, FFT 처리 데이터에 64의 스케일링 값을 곱하여 부동소수점과 고정소수점에 대한 4비트 제약자화를 수행한 결과이다. 그림 10의 결과를 비교해 보면 FFT 연산과 제약자화에서 부동소수점으로 계산할 경우 주어진 계산블록에서 신호의 왜곡이 발생하지 않는 것을 확인할 수 있다. 그러나 부동소

수점으로 연산할 경우 데이터를 표현하는 비트수와 지수비트 및 소수비트의 정렬에 따른 계산량의 증가로 인해 하드웨어로 구현할 때 많은 물량의 자원이 필요하게 된다. 따라서 본 논문에서는 2장에서 기술한 것과 같이 높은 정밀도를 유지하면서 고속연산을 수행하고 하드웨어 보다 쉽게 구현할 수 있도록 Q15 형식의 부동소수점으로 시스템을 구현하였다. 그리고 선택형 제약자화 기법을 확장하여 비트수를 변화시켰을 경우 Q15 형식의 부동소수점으로 구현한 시스템의 FFT 결과가 상관결과에 미치는 결과를 검토하기 위한 시뮬레이션 시험을 수행하였다. 이 시뮬레이션 시험에서는 FFT의 오버플로우를 방지하기 위해 그림 8에 나타낸 것과 같이 우선 적절한 스케일링 값을 선택하였다.

그림 11의 결과에서 알 수 있는 것은 선택형 제약자화 기법에서 동일한 비트를 선택할 때 그림 8에 나타낸 것과 같이 FFT 결과에서 유효한 데이터가 포함된 비트를 선택하기 위해 데이터를 이동시키는 스케일링 값에도 상관결과가 영향을 받고 있는 것을 알 수 있다. 따라서 그림 11의 시뮬레이션 결과를 바탕으로 FFT의 스케일링 값을 32로 설정한 후 선택형 제약자화의 선택비트를 8비트와 16비트로 증가시켜 시뮬레이션 시험을 수행하였다.



(a) 14번째부터 8비트 데이터 추출.

(b) 12번째부터 8비트 데이터 추출.

그림 13. 8비트의 선택형 재양자화를 적용한 후의 VCS 상관처리 결과.

그림 12의 결과에 나타난 것과 같이 부동소수점 연산에서 실험을 통하여 얻은 스케일링 값을 32로 고정하고 선택형 재양자화 기법의 양자화 비트를 8비트와 16비트로 설정하여 상관처리 시뮬레이션을 수행한 결과, 16비트로 재양자화하기 때문에 데이터의 양이 많이 표현되어 상호상관스펙트럼(cross power spectrum)과 visibility에서 진폭이 증가되어 표시되지만, 8비트와 16비트의 결과모양이 거의 비슷한 것을 알 수 있다. 하지만, 그림 10(b)와 그림 11(a)의 결과에서는 4비트로 재양자화를 선택한 경우 스펙트럼과 위상 부분에서 왜곡이 발생하는 것을 알 수 있다.

이상의 실험결과를 바탕으로 본 논문에서 제안한 선택형 재양자화 기법에 대해 주어진 시스템 자원을 최대한 활용하여 VCS에 적용할 때 신호의 왜곡을 방지하는 방법은 다음과 같다. 우선 FFT의 버터플라이 연산에서 오버플로우를 방지하기 위해 관측데이터에 대해 적절한 스케일링 값을 찾는다. 그리고 재양자화 비트는 최소한 8비트 이상을 도입한다. 이렇게 하면 전체 상관처리 시스템의 성능을 개선하는데 효과적이라고 판단된다.

4.2. 상관처리 결과

4.1절의 시뮬레이션 시험결과를 바탕으로 실제 관측데이터를 대상으로 VCS에서 상관처리 시험을 수행하였다. VCS에는 선택형 재양자화 기법에서 양자화 비트는 8비트를 적용하였으며, 시험을 통하여 적절한 스케일링

값을 선택하였다. 실험에 사용된 관측데이터는 KVN을 이용하여 2011년 1월 28일 4시 20분부터 19분 동안 관측하였으며, 대상천체는 3C454.3이다. 기존의 선택형 재양자화 기법을 확장하여 VCS에서 8비트로 설정하고, FFT 처리 후 데이터를 추출하는 비트의 범위에 따른 상관결과의 영향을 확인하고자 상관처리를 수행하였으며, 그 결과를 그림 13에 나타내었다. 그림 13의 결과는 AIPS에서 프린지 피팅(fringe fitting)을 하기 전에 상관결과로부터 상호상관스펙트럼과 위상에 대해 나타난 것이다. 그림 13(a)는 데이터를 추출할 때 14번째 비트부터 8비트를 선택하여 추출하고, 그림 13(b)는 12번째부터 8비트를 선택하도록 설정한 후의 결과이다. 그림 13의 결과에서 그림 13(b)의 12번째부터 8비트 데이터를 추출할 때 위상의 변화는 없으나 상관 스펙트럼의 진폭이 60에서 200정도로 증가하는 것을 확인할 수 있다.

5. 결론

본 논문에서는 상관결과의 왜곡을 방지하기 위해 개발한 VCS에서 FFT 처리 후에 수행하는 재양자화의 방법을 제안하고 유효성을 확인하기 위해 상관처리 시험을 수행하였다. VCS의 초기 설계에서 도입한 재양자화를 통한 상관처리 시험에서 지연추적 등의 시험을 수행할 때 상관결과에서 왜곡된 스펙트럼이 확인되었다. 이 문제를 해결하기 위해 본 연구에서는 비교형 재양자화 기법과 선택형 재양자화 기법을 제안하였다. 비교형 재양

자화 기법은 초기 문턱치를 설정한 후 입력 데이터와 비교하여 유효 비트만큼의 데이터를 양자화 시키는 방법이다. 그리고 선택형 재양자화 기법은 FFT 처리 후의 결과에서 유효비트를 선택하는 방법이다. 제안 방법들을 VCS의 FPGA에 구현할 수 있는지에 대한 실험에서, 제한된 자원 하에서 많은 수정 없이 시스템을 안정되게 구현할 수 있는 방법으로 선택형 재양자화 기법이 효과적임을 확인하였다. 그러나 선택형 재양자화 기법이 FFT 결과를 4비트로 재양자화 되는데, 그 결과에서도 신호의 왜곡이 발생되어 8비트로 확장하였다. 본 논문에서 제안한 선택형 재양자화 기법이 8비트로 확장하여 VCS에 적용한 결과 시뮬레이션과 상관처리 시험을 통하여 상관결과의 왜곡문제가 해결되어 유효함을 확인하였다.

참고 문헌

- 노덕규, 오세진, 염재환 등, 2008, 2008년도 한일공동 VLBI상관기 및 수신기 개발 결과보고서, 한국천문연구원
- 오세진, 노덕규, 염재환 등, 2009, VLBI상관서브시스템 시작품의 개발에 관한 연구, PKAS, 24, 1
- 오세진, 노덕규, 염재환 등, 2011, VLBI상관서브시스템 본제품의 제작현장 성능시험, 신호처리시스템학회 논문지, 12, 322
- 염재환, 노덕규, 오세진 등, 2009, 한일공동 VLBI상관기를 위한 소프트웨어 상관기 개발, 한국우주과학회지, 26, 1
- 이채욱, 1994, 디지털신호처리 기초와 응용, 청문각
- 한국천문연구원, 2008, VCS 시작품 공장검수 보고서, p.40
- Oh, S. -J., Roh, D. -G., Wajima, K., et al., 2011, Design and Development of a High-Speed Data-Acquisition System for the Korean VLBI Network, PASJ, 63, 1229
- Oppenheim, A. V. & Schafer, R. W., 1989, Discrete-Time Signal Processing, (New Jersey: Prentice Hall)
- Takahashi, F., Kondo, T., & Koyama, Y., 2000, Very Long Baseline Interferometer, Ohmsha
- Thompson, A. R., Moran, J. M., & Swenson, G. W. Jr., 2001, Interferometry and Synthesis in Radio Astronomy, 2nd Ed., (New York: John Wiley & Sons)