논문 2012-49-10-15

나노전기기계 메모리 시뮬레이터의 개발

(Development of a Nano-Electro-Mechanical Memory Simulator)

최 우 영*

(Woo Young Choi)

요 약

Nano-electro-mechanical (NEM) 메모리 시뮬레이터를 Matlab을 이용하여 개발하였다. 구현된 simulator는 이력 곡선, 빔의 변 위에 따른 힘의 변화, 정상상태와 과도상태의 빔의 이동, 에너지 소모, 시스템의 포텐셜 에너지의 간편한 분석을 가능하게 한다. 개발된 NEM 메모리 시뮬레이터는 간단한 조작만으로 NEM 메모리의 거동을 관찰할 수 있으므로 NEM 메모리 셀의 간편한 설계 를 가능하게 한다.

Abstract

A nano-electro-mechanical (NEM) memory simulator has been developed by using Matlab. The simulator can be used for the prediction of hysterisis curves, applied forces, steady- or transient-state behavior, program/erase energy consumption and potential energy. Predicting NEM memory behavior by simple user interface, the simulator will make the design of NEM memory cells simpler.

Keywords: NEM memory simulator, analytical solution, Matlab

I.서 론

기존의 플래시 메모리 소자^[1]는 그 크기가 점점 작아

- * 평생회원-교신저자, 서강대학교 전자공학과 (Department of Electronic Engineering, Sogang University)
- ** This work was supported in part by the National Research Foundation (NRF) of Korea funded by the Ministry of Education, Science and Technology (MEST) under Grant 2012-031149 (Mid-Career Researcher Program), in part by the Ministry of Knowledge Economy (MKE) of Korea under Grant NIPA-2012-H0301-12-1007 (University ITRC support program supervised by the National IT Industry Promotion Agency) and in part by the IT R&D program of MKE/KEIT under Grant 10039174 (Technology Development of 22nm level Foundry Device and PDK).
- 접수일자: 2012년6월23일, 수정완료일: 2012년9월7일

짐에 따라 여러 가지 문제를 겪고 있다. 이를 극복하기 위해 제안된 nano-electro-mechanical (NEM) 메모리 셀은 기존 플래시 메모리를 보완할 수 있는 여러 우수 한 성능을 보여주고 있다^[2].

NEM 메모리는 낮은 동작 전압과 빠른 program 및 erase 속도를 유지하면서 100 nm 이하의 크기로 축소 화가 가능함이 입증되었다^[3]. 또한 다중비트의 구현을 위하여 4 비트 동작이 가능한 H 셀^[4]과 2 비트 동작이 가능한 T 셀^[5]이 제안되었다. 하지만 반도체 소자원리 에 기반한 기존의 플래시 메모리와는 달리 NEM 메모 리 셀은 기계적인 움직임을 이용하므로 기존의 상용 반 도체 소자 시뮬레이터를 이용한 모델링이 불가능한 상 황이다. Micro-electro-mechanical system (MEMS) 분 야에서 사용되는 유한요소법에 기반한 상용 시뮬레이터 를 사용할 수도 있으나 모델링에 상당한 시간이 소요되 고 물리적인 현상을 분석하기에는 부족한 경우가 많다.



그림 1. NEM 메모리의 개략도 Fig. 1. The schematic of a NEM memory cell.

따라서 본 연구에서는 NEM 메모리의 성능과 물리적인 거동을 간편하게 모델링할 수 있는 시뮬레이터를 Matlab 기반으로 구현하였다.

그림 1은 시뮬레이션에 사용된 NEM 메모리의 개략 도이다. 그림에서 AWL, BL, MWL 은 각각 보조 워드 라인, 비트 라인, 메인 워드 라인을 지칭하며 비트 라인 은 인가 전압에 따라 상하로 이동하고 AWL, MWL 은 고정된 전극이다. *L*beam, *W*beam, *t*beam, *t*ox,eff, *t*gap1, *t*gap2 은 각각 빔의 길이, 빔의 넓이, 빔의 두께, 전하 저장층의 두께, 빔과 전하 저장층 사이의 간격, 빔과 위쪽 전극 사이의 거리를 의미한다. 또한 *E*, *V*AWL, *V*MVL, *V*BL은 각각 빔의 Young의 계수, AWL 전압, MWL 전압, BL 전압을 나타낸다.

표.본 론

1. 시뮬레이터의 기본 구성

그림 2는 개발된 시뮬레이터의 초기 화면을 나타낸 다. 시뮬레이션을 시작하기 위해서는 총 4 단계를 거쳐 야 한다. 첫 번째 단계에서 이력 곡선, 변위에 따른 힘, 정상상태의 빔의 거동, 과도상태 pull-in 시의 빔의 거 동, 과도상태 release 시의 빔의 거동, pull-in 시의 에너 지 소모, 포텐셜 에너지의 7가지 시뮬레이션 모드중 하 나를 선택한다. 두 번째 단계에서는 빔 물질을 선택한 다. 이어서 세 번째 단계에서는 NEM 메모리 셀의 구조 변수와 인가되는 전압을 입력한다. 마지막 단계는 빔의 종류를 선택하는데 그림 2와 같이 cantilever, 표 1. NEM 메모리 시뮬레이터의 디폴트 파라메터 Table 1. Default parameters of the NEM memory simulator.

Parameter	Value	Parameter	Value
L _{beam} (nm)	1600	E (GPa)	248
t _{beam} (nm)	100	$t_{\text{gap2}}(\text{nm})$	30
W _{beam} (nm)	280	$V_{\rm AWL}$ (V)	4
$t_{\rm ox, eff}$ (nm)	12	$V_{\rm MWL}$ (V)	10
t _{gap1} (nm)	30	density (g/cm3)	5.43



그림 2. NEM 메모리 시뮬레이터의 초기 화면 Fig. 2. Start-up screen of the NEM memory simulator.

clamped-clamped 빔과 square diaphragm 중에 하나를 선택한다. 지금부터는 시뮬레이션 모드에 따른 모델링 결과를 설명하고자 하며 시뮬레이션에 사용된 NEM 메 모리의 디폴트 조건은 표 1에 정리되어 있다.

2. 이론적 배경

개발된 NEM 메모리 시뮬레이터는 정상상태에서 인 가 하는 전압에 따른 빔의 위치를 알 수 있고, 과도 상 태에서 빔의 움직임을 모델링할 수 있다. 이를 위하여 식 (1)과 같은 d'Alembert 방정식^[6]을 이용한다.

$$m\frac{d^2x}{dt^2} + b\frac{dx}{dt} + F_{spring} = F_{MWL} - F_{AWL}$$
(1)

$$m = 0.4 \times \rho \times L_{beam} \times W_{beam} \times t_{beam}$$
(2)

$$b = \sqrt{mk} / Q \tag{3}$$

$$F_{spring} = kx \tag{4}$$

$$F_{MWL} = \frac{8\epsilon_0 A \left(1 - \beta \left(\frac{x}{t_{gap1}}\right)^3\right) V_{BL-MWL}}{(t_{ox,eff} + 4 (t_{gap1} - x))^2}$$
(5)

$$F_{AWL} = \frac{8\epsilon_0 A \left(1 + \alpha \left(\frac{x}{t_{gap1}}\right)^3\right) V_{BL-AWL}^{^{\circ}}}{(\lambda + 4 (t_{gap2} + x))^2} \tag{6}$$

$$k = \begin{cases} \frac{2EW_{beam}t_{beam}^3}{3L_{baem}^3} & (cantilever beam) \\ \frac{32EW_{beam}t_{beam}^3}{L_{baem}^3} & (clamped - clamped beam) \\ \frac{Et_{beam}^3}{0.0138L_{baem}^2} & (square diaphragm) \end{cases}$$

(7)

식 (1)-(7)에서 x는 빔의 위치, m 은 빔의 유효질량, b는 damping 계수, k는 스프링 상수, ρ 는 빔 물질의 밀도, Q는 빔의 Q factor, ϵ_0 는 진공 유전율, A는 빔의 면적을 나타낸다. 식 (5)와 (6)에는 실험치와의 보정을 위하여 $\alpha = 9, \beta = 0.73$ 가 사용되었다^[7].

식 (1)은 시간항을 포함하므로 과도 상태 분석에 이 용되어 시간에 따른 빔의 위치 변화를 알 수 있다. 정상 상태 해석은 식 (1)에서 시간항을 제거하면 가능하다. 이러한 방법을 이용하면 단일 비트 NEM 메모리 셀만 이 아니라 다중 비트 NEM 메모리 셀의 다양한 모델링 이 가능하게 된다.

3. 시뮬레이션 결과 및 분석

가. 정상상태에서 빔의 해석

그림 3은 시뮬레이터로 구현한 NEM 메모리 셀의 이 력 곡선을 나타낸다. 본 연구에서 개발된 시뮬레이터는 이를 얻기 위하여 시간항을 제거한 식 (1)을 풀이한다. 그 결과, V_{BL-MWL}에 따른 빔의 위치를 구하게 된다. 그 래프는 pull-in 곡선과 release 곡선의 두 가지로 구성 되어 있다. 빔의 위치는 V_{BL-MWL} = 0 V 일 때 빔의 위 치 x 는 -3 nm이다. 이는 표 1에서 보인 바와 같이 4 V의 V_{AWL}이 인가되어 빔의 위치는 단일 비트 셀의 평 형 상태의 위치인 0 nm에서 다소 AWL 쪽으로 접근한





3. Hysterisis curves of a NEM memory cell shown in Table 1.



그림 4. 힘과 빔의 위치와의 관계 Fig. 4. Force versus beam displacement.

모습을 보인다. V_{BL-MWL}이 증가함에 따라 빔의 위치는 pull-in 곡선을 따라서 변화하게 된다. V_{AWL}는 고정된 상태에서 V_{MWL}이 증가하므로 x는 증가하게 되고 F_{MWL} 은 더욱 빔의 움직임을 지배하게 된다. 결국 V_{BL-MWL}이 6 V에 도달하면 빔은 하단의 전하 저장층에 붙게 되며 이때의 V_{BL-MWL}을 pull-in 전압이라 정의한다. Pull-in 상태에서 V_{BL-MWL}이 감소하면, x는 release 곡선을 따르 며, F_{MWL}는 점점 감소하고 상대적으로 F_{AWL}과 F_{spring} 의 비중이 증가하여 결국 빔이 전하 저장층으로부터 떨 어지는 현상이 발생하게 된다. 이 때의 V_{BL-MWL}을 release 전압으로 정의한다. NEM 메모리는 빔의 위치 를 이용하여 정보를 저장하므로 pull-in과 release 전압 은 각각 erase와 program 전압을 의미한다.

그림 4는 시뮬레이터에서 모델링이 가능한 두 번째 모드인 빔의 위치에 따른 힘의 변화를 나타내고 있다. V_{BL-MWL} = 4 V의 조건에서 추출된 그림 4에서 보듯이 3개의 교차점이 존재하게 된다. 이를 바탕으로 그림 5 와 같이 시간항이 제거된 식 (1)의 실근을 구할 수 있 고 이 중에서 안정 상태와 불안정 상태를 구분하면 그 림 3과 같은 이력 곡선을 얻을 수 있게 된다. 그림 6은 시뮬레이션 결과를 이용하여 인가전압에 따른 빔의 위







그림 6. 시각적으로 도시된 빔의 움직임 Fig. 6. Simulated motion of a beam.

치를 시각적으로 도시한 결과이다.

나. 과도상태에서 빔의 해석

과도상태의 빔의 해석을 수행하면 특정한 인가 전압 조건에서 빔의 움직임을 시간에 따라 예측할 수 있다. 과도상태의 해석은 정상상태와는 달리 식 (1)에서 시간 에 대한 성분을 포함하여 이루어진다. 이를 통하여 NEM 메모리의 pull-in, release에 소요되는 시간을 예 측할 수 있고 결국 이는 각각 erase, program 시간에 대응된다. 본 시뮬레이터는 통하여 그림 7, 8과 같이 pull-in, release 시간을 예측할 수 있다.





Fig. 7. Predicted pull-in time.



그림 8. Release 시간 예측결과 Fig. 8. Predicted release time.

다. 에너지 소모 해석 NEM 메모리는 플래시 메모리에 비하여 매우 낮은



그림 9. 시간에 따른 pull-in 에너지 소모 Fig. 9. Pull-in energy consumption.

에너지를 소모하는 것이 큰 장점중의 하나이므로 셀의 에너지 소모를 예측하는 것은 매우 중요하다. NEM 메 모리는 pull-in 시에 전원의 에너지를 소모하고 release 시에는 빔에 이미 저장되어 있는 탄성 에너지를 이용하 므로 pull-in 에너지 예측이 필요하다. Pull-in 과정에서 소모되는 에너지는 빔의 휨에 의한 탄성 에너지 (E_m), 빔의 움직임에 의한 운동 에너지 (E_k), 빔과 주변 전극 에 의한 전기 에너지 (E_e), 빔의 운동을 방해하는 damping 에너지 (E_d)로 구성되어 있다. 이들은 식 (8)-(11)과 같이 구하며, 그림 9는 pull-in 에너지 소모 를 시간에 따라 보이고 있다.

$$Em = \frac{1}{2}kx^2\tag{8}$$

$$E_k = \frac{1}{2}mv^2\tag{9}$$

$$E_e = \frac{1}{2} C V^2 \tag{10}$$

$$E_d = bv^2 \tag{11}$$

라. 포텐셜 에너지 해석

범이 특정 전압 조건에서 특정 위치에 존재하는 이유 는 그 지점이 가장 안정된 곳이라는 의미이며 이는 그 지점의 포텐셜 에너지가 국부적으로 극소라는 것을 의



그림 10. V_{BL-MWL} = 4 V 시의 포텐셜 에너지 Fig. 10. Potential energy at V_{BL-MWL} = 4 V.



그림 11. V_{BL-MWL} = 10 V 시의 포텐셜 에너지 Fig. 11. Potential energy at V_{BL-MWL}= 10 V.

미한다. 이전의 다 항의 경우와는 상이하게, 포텐셜 에 너지는 과도상태가 아닌 정상상태만을 고려하므로 E_k 와 E_d 를 제외하고 E_k 와 E_e 만을 고려하여 다음과 같이 정의된다.

$$Potential \, energy = E_m - E_e \tag{12}$$

포텐셜 에너지와 빔의 위치를 시뮬레이션으로 구하 고 국부적 극소점을 검출하면 정상상태의 빔의 위치를 쉽게 알아낼 수 있다. 일례로 그림 10과 같이 V_{BL-MWL} = 4 V 인 상황에서는 x = ~5 nm, 30 nm에서 국부적인 극소점을 형성하는 bistability를 보여준다. 이는 V_{BL-MWL} = 4 V 일때 pull-in, release 과정에서의 빔의 위치를 각각 의미한다. 이에 반하여 그림 11은 V_{BL-MWL} = 10 V 일 때의 상황을 보여준다. 그림 10의 경우와는 달리 x = 30 nm에서만 극소점이 형성되어 있다. 이는 pull-in이 발생하여 bistable 상태가 존재하지 않음을 의 미한다.

Ⅳ.결 론

NEM 메모리의 시뮬레이터를 해석적인 방법에 기반 하여 Matlab을 이용하여 개발하였다. 개발된 시뮬레이 터는 NEM 메모리 셀의 이력 곡선, 힘의 변화, 정상상 태와 과도상태의 빔의 이동, 에너지 소모, 포텐셜 에너 지를 간단하게 모델링할 수 있음을 보였다. 따라서 본 시뮬레이터는 NEM 메모리의 이해와 모델링에 효과적 으로 이용될 수 있을 것이다.

참 고 문 헌

- [1] 김윤, 윤장근, 조성재, 박병국, "수직형 4-비트 SONOS를 이용한 고집적화된 3차원 NOR 플래시 메모리," 전자공학회논문지, 제47권 SD편, 제2호, 102-107쪽, 2010년 2월
- [2] W. Y. Choi, H. Kam, D. Lee, J. Lai, and T.-J. King Liu, "Compact nano-electro-mechanical non-volatile memory (NEMory) for 3D integration,," in *IEDM Tech. Dig.*, pp. 603-606, Washington, DC, USA, Dec. 10-12, 2007.
- [3] W. Y. Choi, T. Osabe, and T.-J. King Liu, "Nano-electro-mechanical nonvolatile memory (NEMory) cell design and scaling,," *IEEE Trans. Electron Devices*, vol. 55, no. 12, pp. 3482–3488, Dec. 2008.
- [4] W. Y. Choi, "Three-dimensional stackable electromechanical nonvolatile memory cell (H Cell) for four-bit operation,," *IEEE Electron Device Lett.*, vol. 31, no. 1, pp. 29–31, Jan. 2010.
- [5] K. Lee and W. Y. Choi, "Nanoelectromechanical memory cell (T Cell) for low-cost embedded nonvolatile memory applications,," *IEEE Trans. Electron Devices*, vol. 58, no. 4, pp. 1264–1267, Apr. 2011.
- [6] G. M. Rebeiz, RF MEMS Theory, Design, and Technology, Wiley, pp. 59–60, 2003.
- [7] K. Lee and W. Y. Choi, "Multi-bit Operation of Nano-Electromechanical Memory Cells,," *IEEE Electron Device Lett.*, vol. 33, no.3, pp 309–311, Mar. 2012.

----저자소개----



2006년 미국 UC Berkeley 방문연구원. 2007년~2008년 미국 UC Berkeley 박사후연구원.

2008년~현재 서강대학교 전자공학과 부교수. <주관심분야 : CMOS or CMOS-compatible semiconductor devices, nano-electromechanical relays and memory cells>