

논문 2012-49-9-28

고속 Toggle 2.0 낸드 플래시 인터페이스에서 동적 전압 변동성을 고려한 설계 방법

(Adaptive Design Techniques for High-speed Toggle 2.0 NAND Flash
Interface Considering Dynamic Internal Voltage Fluctuations)

이 현 주*, 한 태 희**

(Hyun Ju Yi and Tae Hee Han)

요 약

SSD (Solid-state Drive), 더 나아가 SSS (Solid-state Storage System)와 같은 고성능 스토리지 요구 사항을 지원하기 위해 최근 낸드 플래시 메모리도 DRAM에서와 같이 SDR (Single Data Rate)에서 고속 DDR (Double Data Rate) 신호구조로 진화하고 있다. 이에 따라 PHY (Physical layer) 회로 기술을 적용하여 협소 타이밍 윈도우 내에서 유효 데이터를 안정적으로 래치하고, 핀 간 데이터 스큐를 최소화하는 것 등이 새로운 이슈로 부각되고 있다. 또한, 낸드 플래시 동작 속도의 증가는 낸드 플래시 컨트롤러의 동작 주파수 상승으로 이어지고 동작 모드에 따라 컨트롤러 내부 소모 전력 변동성이 급격히 증가한다. 공정 미세화와 저전력 요구에 의해 컨트롤러 내부 동작 전압이 1.5V 이하로 낮아지면서 낸드 플래시 컨트롤러 내부 전압 변화 마진폭도 좁아지므로 이러한 소모 전력 변동성 증가는 내부 회로의 정상 동작 범위를 제한한다. 컨트롤러의 전원전압 변동성은 미세공정으로 인한 OCV (On Chip Variation)의 영향이 증가함에 따라 더 심화되는 추세이고, 이러한 변동성의 증가는 순간적으로 컨트롤러의 보장된 정상 동작 범위를 벗어나게 되어 내부 로직의 오류를 초래한다. 이런 불량은 기능적 오류에 의한 것이 아니므로 문제의 원인 규명 및 해결이 매우 어렵게 된다. 본 논문에서는 낸드플래시 컨트롤러 내부의 비정상적 전원 전압 변동하에서도 유효 타이밍 윈도우를 경제적인 방법으로 유지할 수 있는 회로 구조를 제안하였다. 실험 결과 기존 PHY회로 대비 면적은 20% 감소한 반면 최대 데이터 스큐를 379% 감소시켜 동등한 효과를 보였다.

Abstract

Recently, NAND Flash memory structure is evolving from SDR (Single Data Rate) to high speed DDR(Double Data Rate) to fulfill the high performance requirement of SSD and SSS. Accordingly, the proper ways of transferring data that latches valid data stably and minimizing data skew between pins by using PHY(Physical layer) circuit techniques have become new issues. Also, rapid growth of speed in NAND flash increases the operating frequency and power consumption of NAND flash controller. Internal voltage variation margin of NAND flash controller will be narrowed through the smaller geometry and lower internal operating voltage below 1.5V. Therefore, the increase of power budge deviation limits the normal operation range of internal circuit. Affection of OCV(On Chip Variation) deteriorates the voltage variation problem and thus causes internal logic errors. In this case, it is too hard to debug, because it is not functional faults. In this paper, we propose new architecture that maintains the valid timing window in cost effective way under sudden power fluctuation cases. Simulation results show that the proposed technique minimizes the data skew by 379% with reduced area by 20% compared to using PHY circuits.

Keywords : Toggle 2.0 NAND, PVT variation, Voltage fluctuation , Voltage Detector, Data skew

* 학생회원, 성균관대학교 임베디드소프트웨어학과
(Sungkyunkwan University)

** 평생회원, 성균관대학교 정보통신공학부
(Sungkyunkwan University)

접수일자: 2012년6월25일, 수정완료일: 2012년9월1일

I. 서 론

낸드 (NAND) 플래시 메모리는 2005년 이래로 노어 (NOR) 플래시의 성장률을 압도하면서 전체 플래시 메모리 시장의 대부분을 점유하고 있으며, 향후 SSD (Solid-state Drive) 기반의 다양한 정보 기기를 중심으로 더욱 인기가 높아질 전망이다.^[1] 최근 집적도를 향상시키고 HDD (Hard Disk Drive)와의 비트 당 단가 격차를 줄이기 위해 공정은 더 미세화 되며 MLC (Multi-level Cell), TLC (Triple-level Cell) 구조로 진화하고 있다.^[2] 이로 인해 잡음 마진이 감소하여 오류 가능성이 높아지면서 정교하고 복잡한 ECC (Error Correction Code)를 채용하고 정보 보호 차원에서 encryption/decryption 기능이 추가되면서 낸드 플래시 컨트롤러도 100MHz 이상의 고속을 요구하게 되었다.

한편 호스트 인터페이스도 SATA3, PCIe로 진화하면서 입출력 인터페이스 속도가 수 Gbps급으로 향상되어^[3] 기존의 40Mbps SDR (Single Data Rate) 인터페이스로는 성능 측면에서 시장의 요구를 충족시킬 수 없어 Toggle모드, ONFi2와 같은 DDR (Double Data Rate) 고속 낸드 인터페이스와 병렬 채널이 도입되고 있다. 그 결과 채널당 유효 데이터 타이밍 윈도우가 감소되어 이를 보완하기 위해 고속 DRAM 컨트롤러 인터페이스 처럼 낸드 인터페이스 양단에 DDR PHY를 도입하는 추세이다. PHY는 다른 전송매체(medium) 사이의 물리적 인터페이스 변환 장치로 아날로그 혼성 회로로 구성되며 SSD 컨트롤러의 DDR PHY는 DLL(Delay Locked Loop)을 통해 데이터 비트 스트림의 동기화를 수행한다.

이렇게 낸드 플래시 컨트롤러가 고속화되고 동작 모드가 다양해지면서 칩 전원 전압의 변동성도 증가하여 예상치 못한 칩 오류를 유발한다. 90나노 이하 공정에서 심화되고 있는 On-chip 변이 (OCV: On-chip variation)는 문제를 더욱 심각하게 한다.^[4]

본 논문에서는 고속 낸드플래시 메모리 시스템 설계시 동작 전원전압의 동적 변동을 설계 마진 요소로 추가한 적응적 설계 기법을 제안하였다. 65나노 이하 공정에서 복잡한 PHY구조를 채택하는 대신, 제안하는 구조를 도입했을 경우 경제적인 방법으로 칩 수율과 신뢰성을 보장할 수 있다.

II. 병렬 DDR 낸드플래시 인터페이스 구조

낸드 플래시 저장 매체 성능 향상을 위한 다양한 하드웨어 및 소프트웨어적 기법들이 연구개발 되어왔다. 여기서는 본 논문 연구와 관련된 병렬 DDR 낸드플래시 인터페이스 구조를 설명한다.

1. 다중 칩 병렬화 및 커맨드 스케줄링 기법

대역폭을 확장하기 위한 가장 보편적 방법으로 메모리 어레이를 병렬화하여 액세스할 수 있도록 구성한다. 그림 1과 같이 단일 낸드플래시 칩은 적층된 다중의 다이 (Die)들로, 하나의 다이는 다수의 플레인(Plane)으로, 플레인은 다수의 블록 (Block)과 페이지 (Page)로 구성된다. 또한 낸드 인터페이스는 독립적인 I/O를 통해 동시에 데이터를 전송하는 복수개의 채널 및 Way로 구성되어 있어 다양한 수준의 병렬화(parallelism)가 가능하게 되며 다음과 같이 크게 5가지로 분류할 수 있다.

- 1) 적층된 낸드 플래시 다이(Die)가 독립적으로 데이터를 전송하는 다이 수준 병렬화
- 2) 낸드 플래시 인터페이스에서 각각의 독립된 I/O를 가진 다중 채널로 낸드 플래시에 동시 액세스하는 채널 수준 병렬화
- 3) 낸드 플래시 다이를 두 개 혹은 그 이상의 플레인 으로 구성하는 플레인 수준 병렬화
- 4) 독립적인 CE(Chip Enable) 컨트롤을 통해 효율적으로 인터리빙을 수행하는 way 수준 병렬화
- 5) '캐시 모드*'를 이용하여 다수의 Page Buffer 내부에서 데이터를 파이프라이닝하여 속도를 향상시키는 캐시 모드 병렬화.

그림 1의 예로 보인 삼성 K9HFGD8U0M 256Gbit 낸드플래시를 사용하는 SSD의 예를 들면, 4개의 낸드 플래시 칩을 적층하고, 16개의 독립된 낸드 플래시 I/O와 8개의 독립된 CE를 이용한 최대 4개의 플레인 까지 병렬화 하고 있다.

이런 다양한 하드웨어적 병렬성과 스케줄링 방식을 낸드 플래시 특성에 맞게 결합하여 대역폭 활용을 극대화하고 있다. 특히 SSD의 경우 여러 개의 command

* '캐시 모드'란 낸드 내부에 존재하는 버퍼 여러 개를 두어 캐시처럼 내부 버퍼링을 통해 바깥에서 보이는 Program, Read 성능을 향상시키는 기법을 의미한다.^[6]

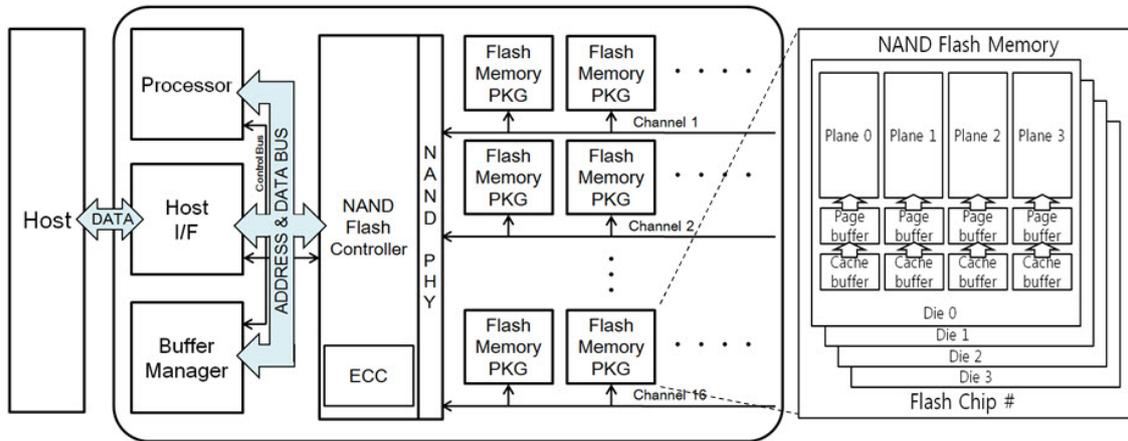
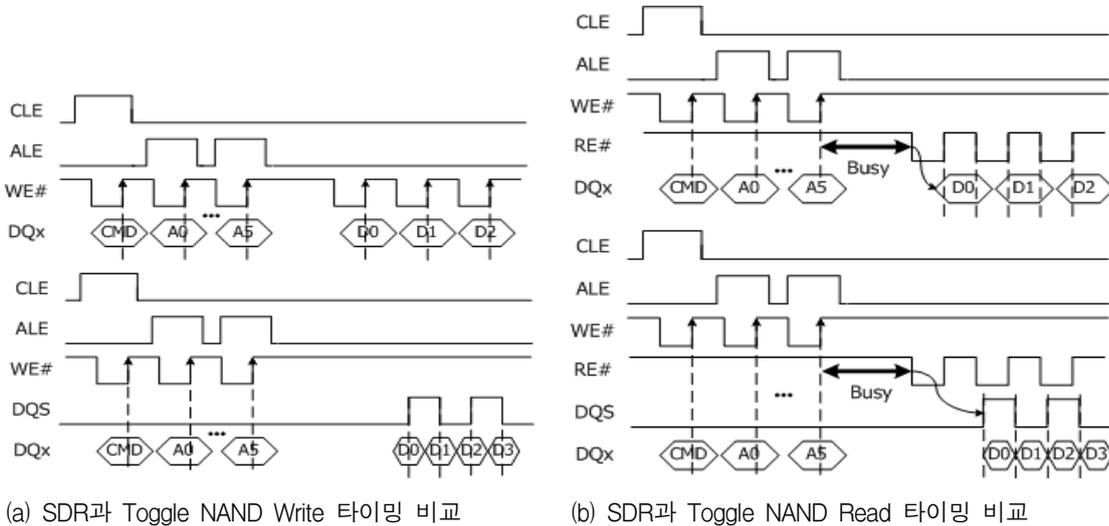


그림 1. 일반적인 SSD 구조
Fig. 1. Typical architecture of SSD.



(a) SDR과 Toggle NAND Write 타이밍 비교
(b) SDR과 Toggle NAND Read 타이밍 비교
그림 2. SDR과 Toggle NAND Write/Read 타이밍 비교
Fig. 2. Comparison between SDR and Toggle NAND Write/Read timing.

queuing을 통해 플래시 메모리 내에서 병렬화와 효과적으로 결합시켜 불필요하게 waiting 하는 타임 슬롯을 최소화 할 수 있다.^[7]

2. DDR 낸드 플래시

클럭의 상승 에지와 하강 에지를 모두 사용하는 DDR 인터페이스는 DRAM에 먼저 적용되었으며, 서론에서 소개한 바와 같이 낸드플래시에서는 ONFi와 Toggle 낸드 진영으로 나뉘어 개발되고 있다. 본 논문에서는 Toggle 낸드를 기반으로 기술하고자 한다.

Toggle 낸드는 기본적으로 클럭의 상승/하강 에지를 모두 이용한다는 점을 제외하면 기존 SDR 낸드 플래시

사양과 대부분 유사하다. Toggle 낸드에서도 기존 SDR 낸드와 동일하게 Erase, Read, Write 크게 3가지 커맨드가 존재하며 DQS라는 양방향 핀이 추가되어 데이터 스트로브 핀으로 사용된다.

SDR 낸드와 Toggle 낸드에서 write, read 커맨드 수행 시의 차이는 그림 2와 같다. (a)는 SDR/DDR Write 타이밍을 비교한 그림으로 WE(Write Enable)의 상승 에지에서 데이터를 래치하는 SDR 구조와 달리 DDR 낸드는 데이터를 DQS(Data Strobe)의 상승/하강 에지의 중앙에 위치시켜 래치한다. Read는 그림 (b)와 같이 SDR 낸드는 RE의 하강 에지에서 데이터가 출력되고 DDR 낸드는 DQS가 데이터의 에지에 정렬되어 출력된

다. Status Read 에서도 DQS는 출력으로 데이터 스트로브 기능을 수행하며, erase는 기존 SDR 낸드 플래시와 동일하다.

3. DDR PHY

Toggle 2.0 낸드는 최대 400Mbps를 지원하며 이는 기존의 SDR 낸드 플래시(40Mbps)와 비교하여 10배 정도 빠르다. 그림 3은 Toggle 낸드에서 데이터 write 명령을 수행하는 경우 유효 타이밍 윈도우를 나타낸다. t_{DS} (Data setup time)과 t_{DH} (Data Hold time)을 만족시키는 유효 윈도우 구간은 식(1)을 사용하여 구할 수 있다.

$$Valid\ Window = t_{DQSH} - (t_{DS} + t_{DH} + skew) \quad (1)$$

식 (1)과 삼성 K9GCGD8XXM Toggle 2.0 낸드 스펙을 참고했을 때, t_{DQSH} 는 2.25ns, t_{DS} 와 t_{DH} 는 각 0.4ns이고 온도와 전압에 따른 데이터 스큐까지 고려했을 경우 약 1 ns값이 DQS 핀의 상승/하강 에지에서

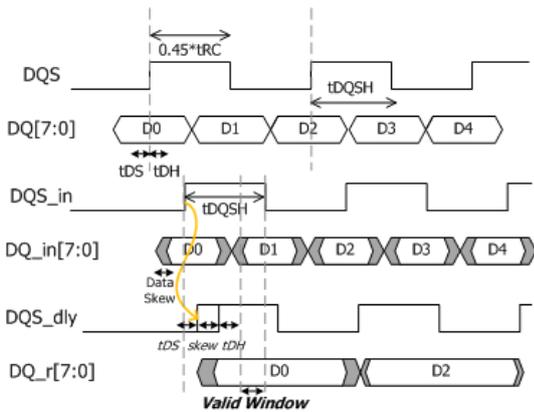


그림 3. Toggle 낸드 데이터 write I/O timing
Fig. 3. Toggle NAND Data write I/O timing.

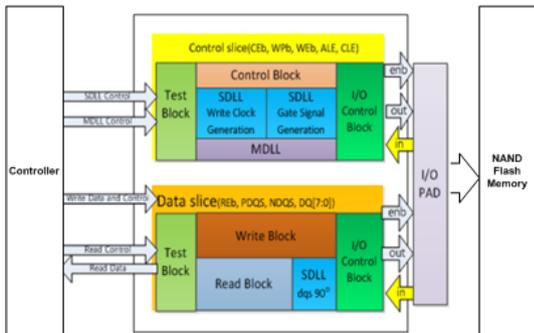


그림 4. Toggle 2.0 낸드 PHY 구조
Fig. 4. Toggle 2.0 NAND PHY Architecture.

DQ[7:0] 데이터를 안정적으로 래치 할 수 있는 유효 타이밍 구간임을 알 수 있다. 일반적으로 PHY에서 timing closure를 어렵게 하는 두 가지 요인은 다음과 같다.

1) DQS_in을 지연시킬 때 사용하는 delay buffer chain의 셀 지연 변이 (cell delay variation)

2) 외부 핀이 레지스터까지 도달하는데 걸리는 배선 지연 변이 (wire delay variation)

이 두 가지 요인의 제어를 통해 timing closure가 이루어지게 되는데, 배선 지연 변이의 경우 PHY가 입력 포트에 최대한 가까이 위치하도록 레이아웃 가이드를 통해 줄이고 있다.

그림 4는 Toggle 2.0 낸드 PHY의 내부 구조를 나타낸다. 3개의 모듈 (DLL, Control I/F, Data I/F)로 구성되어 있으며 딜레이 라인을 통해 지연된 신호와 원래 입력 신호와의 비교를 통해 지연 시간을 조절하는 역할을 수행한다. Control I/F에서는 낸드플래시 Control I/O들을 제어하고, Data I/F에서는 400Mbps로 동작하기 위해 필수적인 REb, DQS, DQ[7:0] 핀의 딜레이를 조절한다. PHY는 실시간으로 지연 신호와 원래 신호와의 차이를 계산하여 지연 정도를 보상하여 균일한 타이밍 마진을 확보해주는 장점이 있지만, 그림 4와 같이 DLL 등 복잡한 아날로그 로직이 추가되어야 한다.

본 논문에서는 복잡한 DLL과 주변 회로 없이 내부 전압 변화에도 항상 유효 윈도우 마진을 확보해주는 방법을 제안한다.

III. 제안하는 구조

내부 1.2V 전압에서 동작하는 컨트롤러는 라이브러리에서 보장하는 범위의 전압과 온도변화 내에서 정상적으로 동작한다. 그러나 90나노 이하 공정에서 OCV로 인해 셀 라이브러리 지연 변동은 심화되고, 고속 동작하므로 유효 타이밍 마진을 확보하는데 어려움을 겪고 있다. 본 논문에서는 1) 실시간으로 컨트롤러 내부 전압 변화를 모니터링 하는 간단한 구조의 아날로그 전압감지기 회로를 제안하고, 2) 이를 통해 전압 변동성을 디지털 코드화하여 컨트롤러 내부 로직에서 실시간으로 보정함으로써 복잡한 PHY 회로를 사용하지 않고 동작 신뢰성과 칩 생산성을 향상시키는 구조를 제안하였다.

1. 배경 설명

일반적인 낸드 플래시 스토리지 구조는 그림1과 같이 각 디바이스 특성에 맞는 호스트 인터페이스, 예를 들어 eMMC 혹은 SATA 인터페이스가 존재하고 호스트 I/O를 이용해 데이터를 전송한다. 버퍼 매니저 (Buffer manager)를 거쳐 스토리지 내부에 저장된 데이터는 낸드 플래시 인터페이스를 통해 낸드 플래시 메모리로 데이터를 전송된다.

낸드 인터페이스 내부에 ECC (Error Correction Code) 로직이 있어 데이터가 손상되어도 이를 자동으로 검출, 수정하는 역할을 한다. MLC, TLC로의 셀 구조 변화와 동작 전원 전압의 감소로 인해 낸드 셀의 잡음 마진이 취약해지면서 ECC 알고리즘이 점점 더 복잡해지고 따라서 패리티 비트 수도 증가하고 있다. 이로 인해 컨트롤러의 연산량이 증가하고 고속 데이터 입출력 처리 시 순간적인 유입 전류의 급속한 증가로 내부 전원 전압의 변동이 발생한다.

PCI-Express 2.0와 같은 고속 호스트 인터페이스의 경우 lane 당 5Gbps의 전송 속도를 만족해야 하므로 일반적인 DLL을 이용한 PHY구조를 사용할 수밖에 없다. Toggle 낸드 2.0의 경우 400Mbps 인터페이스로 다수 채널의 동시 동작에 의한 SSN (Simultaneous Switching Noise)의 증가와 다수 way에 의한 loading capacitance 증가로 I/O간 slew rate이 상이하여, 이 효과들이 데이터 간 스큐 증가로 이어지면서 유효 윈도우가 감소하여 PHY를 적용하고 있다.

그러나 본 논문에서는 실시간으로 내부 전압의 변동성을 모니터링 하는 실시간 전압 감지기 (Voltage Detector)를 도입하여 전압 변동성을 내부 시스템에서 보상하는 구조를 제안한다. 그 결과, 고속 통신으로 인한 데이터 래치 오류 가능성을 줄이면서도 셀 딜레이 변화를 내부 시스템에서 실시간으로 보상하므로 그림 4의 Toggle 낸드 PHY 구조에서 DLL과 위상감지기를 제거한 Toggle 낸드 2.0 인터페이스에 최적화된 컨트롤러를 설계할 수 있다. 전압감지기는 크게 i) 입력 전압의 레벨이 얼마나 변동되었는지 비교할 수 있는 다수의 기준전압 생성, ii) 입력 전압과 기준 전압의 아날로그적인 차이를 디지털 출력으로 변환, iii) 기준 전압보다 입력 전압이 더 높은 수준인지 낮은 수준인지를 판단하는 세 가지 역할을 수행하고 그 결과를 반영하여 유효 윈도우를 확보함으로써, Toggle 2.0 낸드 인터페이스에

최적화 할 수 있다.

2. 전압 변동성 감지기 (Voltage Detector) 구조

실시간 전압 감지기의 구조는 그림 5와 같이 시스템에 공급되는 내부 전압과 클럭 생성 등의 역할을 하는 아날로그 모듈에 전압 레벨을 비교하여 디지털 코드로 변환시켜주는 ADC (Analog to Digital Converter) 회로

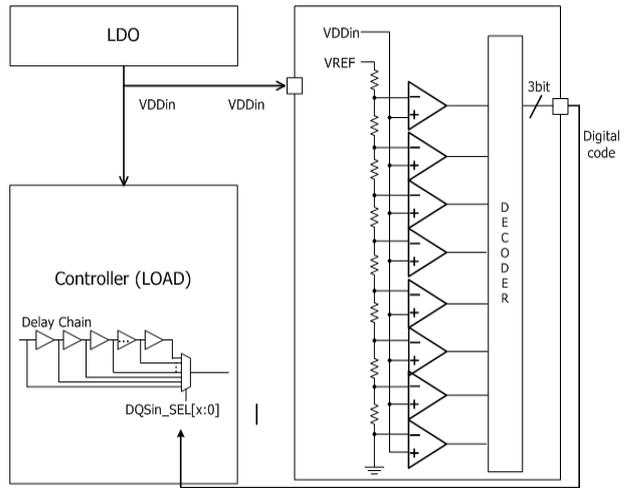


그림 5. 실시간 전압 감지기 구조
Fig. 5. Voltage Detector Architecture.

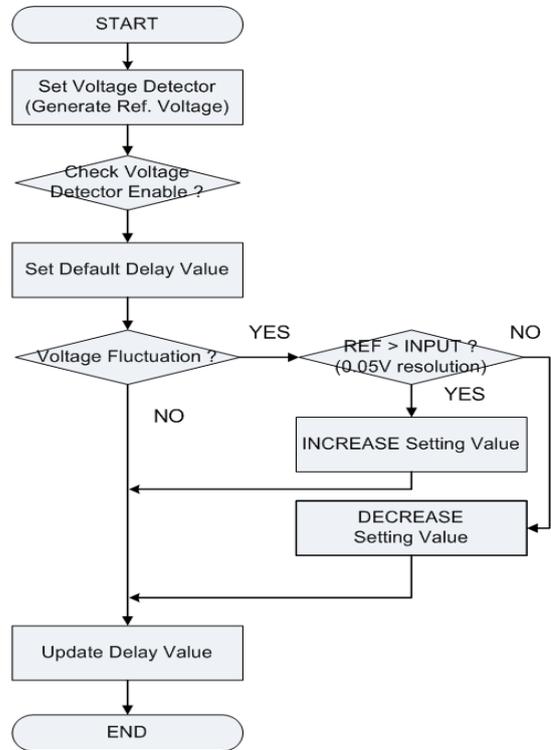


그림 6. 실시간 전압 감지기 동작 플로우 차트
Fig. 6. Voltage Detector Operation Flow Chart.

를 추가하여 구성된다. 아날로그 모듈은 외부에서 주어진 전압을 기반으로 안정적인 1.2V의 내부 전압을 생성하는 LDO (Low Drop Out)와 컨트롤러 입력 전압이 기준 전압이하로 강하되었을 때 시스템을 리셋하는 LVD(Low Voltage Detector)로 구성된다.

VDDin의 변동폭을 비교하기 위해서 각각의 기준전압을 생성하고 결과 값이 비교기(Comparator)에 입력되어 ADC 출력값이 내부 전압 1.05V ~ 1.35V 범위에서 0.05V 단위의 3비트 디지털 코드로 변환된다. 이 디지털 코드는 그림 5의 컨트롤러 내부 딜레이 체인의 MUX 선택 값을 결정하는 로직의 입력 값에 반영되어 내부 전압 변화에 따라 데이터 스큐를 제어한다. 전압 감지기는 크게 전압 비교기와 ADC로 구성되는데, 전압 비교 단위가 많아질수록 전압 감지기 면적도 증가한다.

그림 6은 실시간 전압 감지기의 동작 원리를 나타낸 순서도이다. 그림과 같이 전압 감지기에서 기준 전압과 입력 전압간의 차이를 디코딩하여 실시간으로 딜레이 체인의 지연 값을 변경한다. 그 결과 인터페이스 속도에 따라 고정된 값으로 레지스터에 프로그래밍 되어 컨트롤러 내부 전압 변화에 따라 데이터 마진이 취약해질 수밖에 없었던 기존 구조의 단점을 극복할 수 있다.

IV. 모델링 및 분석

제안하는 기법을 사용하는 Toggle 2.0 낸드 플래시 컨트롤러는 내부 시스템 클럭 100MHz, 내부 전압 1.2V, 정상 동작 온도 범위 0~70°C의 사양을 가지고 있다. 컨트롤러에서 고속으로 동작하는 내부 ECC 회로 혹은 다수 채널 낸드 메모리의 중첩된 동작은 순간적인 컨트롤러 내부 전압 변동을 유발하고, 이러한 전압 변동은 보장된 정상동작범위를 이탈시켜 회로의 오동작을 발생시킬 수 있다. 오실로스코프를 이용하여 컨트롤러 동작 중 측정된 딜레이를 STA(Static Timing Analysis) 조건으로 매칭시켜 내부 전압 변동성 효과를 분석한 결과, 순간적인 전압 변동성과 온도 조건이 내부 전압 1.05V, 온도 -40°C/ 내부 전압 1.35V, 온도 135°C인 경우 지연 값과 유사한 것을 확인하고 실험 조건을 다음과 같이 설계하였다.

25°C, 1.2V에서 동작하고 있는 컨트롤러가 1us 간격으로 내부 전압이 1.05V에서 1.35V까지 전압이 변동하는 경우를 데이터 스큐를 측정할 뒤, 전압 변동성에 의

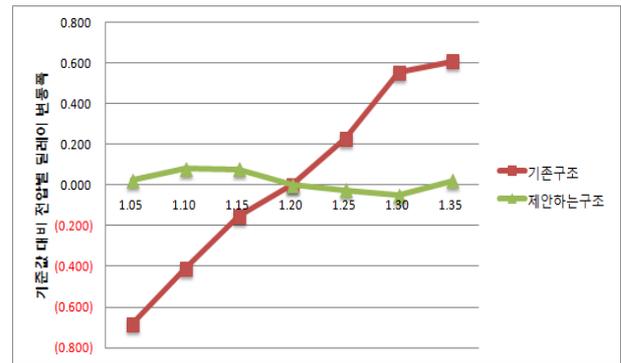


그림 7. 전압 변화에 따른 딜레이 마진 변동률

Fig. 7. Delay Margin variation according to voltage change.

한 마진을 확보하기 위해 온도 조건을 변경하여 -40°C/135°C에서 전압 조건을 실시간으로 1.05V에서 1.35V까지 0.05V 단계별로 변화시켜가며 Hspice 시뮬레이션을 통해 셀 딜레이 특성을 온도, 전압별로 측정하였다. 또한 기존의 PHY구조와 비교하여 삼성 65나노 공정 라이브러리를 이용하여 새롭게 제안된 회로를 합성하여 결과를 얻었다.

그림 7은 Hspice를 이용하여 상온에서 전압 별 셀 지연 변화를 측정하여 기존 구조 대비 제안하는 구조의 데이터 셋업 마진과 비교하였다. PHY를 사용하지 않은 컨트롤러에서 1.2V 동작시의 마진 대비 1.05V 전압 변동 시 셋업 마진이 감소하고, 1.35V 동작 시 홀드 마진이 감소하여 유효 타이밍 윈도우가 전압 변동에 따라 협소해지는 것을 볼 수 있다. 그러나 제안하는 구조를 사용했을 경우 전압 변동에도 불구하고 0.1ns 이내로 딜레이 변동 값을 유지하여 셋업 마진을 균일하게 확보할 수 있다.

Best(1.35V), Worst(1.08V), Worst TI(Temperature Inversion)(1.08V/-40°C) 조건에서 클럭과 Flip-flop의 D 입력까지의 셋업/홀드 마진 변화를 측정된 결과는 표 2와 같다. 표 2의 결과 제안하는 구조를 사용했을 경우 온도와 내부 전압 변동에도 각 데이터간의 스큐를 최대한 일정하게 맞춰서 유효 타이밍 윈도우를 균일하게 유지하는 것을 확인할 수 있었다.

또한 Toggle 2.0 낸드 스펙에서 데이터 read 시, DQ와 DQS의 스큐는 최대 0.4ns(td_{qsq}) 이내를 만족시켜야 하는데, 표 3의 결과를 보면 PHY를 사용하지 않은 구조는 최대 데이터 스큐가 0.913ns로 Toggle 낸드 2.0 스펙을 충족시키지 못하나 제안하는 구조는 최대 데이

표 2. 제안하는 구조의 조건별 셋업 홀드 마진
Table 2. Proposed architecture Data setup/hold margin.

조건	셋업 마진	홀드 마진
Best	1.055ns	3.946ns
Worst	1.801ns	3.197ns
Worst TI	1.563ns	3.450ns

표 3. 제안하는 구조와 PHY를 사용하지 않는 딜레이 체인과의 온도별 데이터 스큐 비교

Table 3. Comparison of Data skew between delay chain and proposed delay chain according to temperature change.

온도	데이터 스큐 (PHY를 사용하지 않은 구조)	데이터 스큐 (제안하는 구조)	데이터 스큐 감소율
25°C	0.686ns	0.197ns	347%
135°C	0.913ns	0.241ns	328%
-40°C	0.634ns	0.193ns	379%

터 스큐가 0.241ns에 불과하여 t_{DQSQ} 스펙(0.4ns)을 만족시킨다. 또한 PHY가 없는 일반 딜레이 체인 구조 대비 -40°C에서 최대 데이터 스큐를 379% 감소시킨 것을 확인할 수 있다.

제안한 구조를 사용했을 경우 Toggle 2.0 낸드 PHY 인터페이스를 최적화하여 회로면적은 약 20% 정도 감소하여, DLL기반 PHY 구조에 비해 비용 효율적이다. 또한 적은 비용으로 내부 전압 변화에도 항상 일정한 마진을 확보하여 400Mbps 인터페이스 속도를 안정적으로 만족시킬 수 있다.

V. 결 론

본 논문에서는 65나노 이하 CMOS 공정에서 제조되는 Toggle 2.0 낸드플래시 컨트롤러에서 내부 전압 변동에 따른 데이터 스큐가 새로운 성능 제한의 요소로 대두되는 상황에서 컨트롤러 내부의 전압변화에도 데이터 스큐를 일정하게 유지할 수 있는 간소화된 회로 구조를 제안하고 실험을 통해 효과를 검증하였다. 전압변화를 실시간으로 반영하여 인터페이스 속도에 따라 고정된 값으로 정해져있던 딜레이 체인 레지스터 값에 디지털 코드화된 전압 변동 값을 포함시켜 항상 일정한 데이터 간 스큐를 디바이스에 제공할 수 있게 되었다.

실제 회로 면적의 증가는 실시간 전압 감지기의 전압 비교 레벨수가 많지 않으므로 매우 미미하고, 컨트롤러 내부 전압 변동성이 증가하는 경우에도 데이터 간 스큐를 PHY를 사용하지 않은 컨트롤러 대비 최대 379%까지 감소시켜 기존의 복잡한 Toggle 낸드 PHY 구조 대비 비용 효율적이다. 그 결과 1us 간격으로 내부 전압이 1.2V 기준 대비 +/- 10% 변동 하에도 Toggle 2.0 낸드 스펙을 만족하는 것을 확인할 수 있었다.

참 고 문 헌

- [1] Kinam Kim, Jungdal Choi, "Future Outlook of NAND Flash Technology for 40nm Node and Beyond" Non-Volatile Semiconductor Memory Workshop, 21st, 2006.
- [2] Hyunggon Kim et al., "A 159mm 32nm 32Gb MLC NAND-Flash Memory with 200MB/s Asynchronous DDR Interface" 2010 IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC)
- [3] D. Nobunaga, et al., "A 50nm 8Gb NAND Flash Memory with 100MB/s Program Throughput and 200MB/s DDR Interface", ISSCC Dig. Tech. Papers, pp. 426-427, Feb., 2008.
- [4] Majzoub, S., Saleh, R., Ward, R., "PVT variation impact on voltage island formation in MPSoC design" Quality of Electronic Design, 2009.
- [5] Ji-Yong Shin et al., "FTL design exploration in reconfigurable high-performance SSD for server applications" Proceedings of the ACM 23rd international conference on Supercomputing New York, NY, USA 2009.
- [6] Feng Chen, Rubao Lee and Xiaodong Zhang, "Essential roles of exploiting internal parallelism of flash memory based solid state drives in high-speed data processing" 2011 IEEE 17th International Symposium on High Performance Computer Architecture (HPCA), 12-16 Feb. 2011.
- [7] Eyee Hyun Nam et al., "Ozone (O3): An Out-of-Order Flash Memory Controller Architecture" IEEE Computer Society, pp. 653 - 666, May 2011.
- [8] http://www.samsung.com/global/business/semiconductor/products/flash/Products_Toggle_DDR_NANDFlash.html

— 저 자 소 개 —



이 현 주(학생회원)
 2006년 성균관대학교 정보통신
 공학부 학사 졸업.
 2011년 3월~현재 성균관대학교
 임베디드소프트웨어학과
 석사과정.

<주관심분야 : 임베디드 시스템, NAND Flash 컨트롤러>



한 태 희(평생회원)-교신저자
 1992년 KAIST 전기 및
 전자공학과 학사.
 1994년 KAIST 전기 및
 전자공학과 석사.
 1999년. KAIST 전기 및
 전자공학과 박사.

1999년 3월~2006년 8월 삼성 전자 통신연구소
 책임 연구원.

2006년 9월~2008년 2월 한국산업기술대학교
 전자공학과 조교수.

2008년 3월~현재 성균관대학교 정보통신공학부
 반도체시스템공학 전공 교수.

<주관심분야 : IT SoC 설계 및 설계 방법론, 단
 말 시스템, IT 융합 기술>