

웨이퍼 레벨 3D Integration을 위한 Ti/Cu CMP 공정 연구

김은솔¹ · 이민재¹ · 김성동¹ · 김사라은경^{2,†}

¹서울과학기술대학교 기계시스템디자인공학과, ²서울과학기술대학교 NID융합기술대학원

Ti/Cu CMP process for wafer level 3D integration

Eunsol Kim¹, Minjae Lee¹, Sungdong Kim¹ and Sarah Eunkyung Kim^{2,†}

¹Department of Mechanical System Design Engineering, Seoul National University of Science and Technology,
172 Gongreung 2dong, Nowon-gu, Seoul 139-743 Korea

²Graduate School of NID Fusion Technology, Seoul National University of Science and Technology,
172 Gongreung 2dong, Nowon-gu, Seoul 139-743 Korea

(2012년 5월 2일 접수: 2012년 7월 3일 수정: 2012년 7월 5일 게재확정)

초 록: Cu 본딩을 이용한 웨이퍼 레벨 적층 기술은 고밀도 DRAM 이나 고성능 Logic 소자 적층 또는 이중소자 적층의 핵심 기술로 매우 중요시 되고 있다. Cu 본딩 공정을 최적화하기 위해서는 Cu chemical mechanical polishing(CMP) 공정 개발이 필수적이며, 본딩층 평탄화를 위한 중요한 핵심 기술이라 하겠다. 특히 Logic 소자 응용에서는 ultra low-k 유전체와 호환성이 좋은 Ti barrier를 선호하는데, Ti barrier는 전기화학적으로 Cu CMP 슬러리에 영향을 받는 경우가 많다. 본 연구에서는 웨이퍼 레벨 Cu 본딩 기술을 위한 Ti/Cu 배선 구조의 Cu CMP 공정 기술을 연구하였다. 다마스킹(damascene) 공정으로 Cu CMP 웨이퍼 시편을 제작하였고, 두 종류의 슬러리를 비교 분석 하였다. Cu 연마율(removal rate)과 슬러리에 대한 SiO₂와 Ti barrier의 선택비(selectivity)를 측정하였으며, 라인 폭과 금속 패턴 밀도에 대한 Cu dishing과 oxide erosion을 평가하였다.

Abstract: The wafer level stacking with Cu-to-Cu bonding becomes an important technology for high density DRAM stacking, high performance logic stacking, or heterogeneous chip stacking. Cu CMP becomes one of key processes to be developed for optimized Cu bonding process. For the ultra low-k dielectrics used in the advanced logic applications, Ti barrier has been preferred due to its good compatibility with porous ultra low-K dielectrics. But since Ti is electrochemically reactive to Cu CMP slurries, it leads to a new challenge to Cu CMP. In this study Ti barrier/Cu interconnection structure has been investigated for the wafer level 3D integration. Cu CMP wafers have been fabricated by a damascene process and two types of slurry were compared. The slurry selectivity to SiO₂ and Ti and removal rate were measured. The effect of metal line width and metal density were evaluated.

Keywords: Cu CMP, Dishing, Erosion, Wafer Level Integration

1. 서 론

전자 산업의 고성능화에 맞추어 알루미늄(Al)에 비하여 낮은 저항과 electromigration(EM) 현상이 적은 구리(Cu)는 직접회로(integrated circuit, IC) 배선(interconnection)에 특히 로직(logic) 소자에 적용되어 왔다. 구리를 IC 배선에 적용하기 위해서는 전기도금을 이용한 Cu 증착방법과 Cu 화학적 기계적 연마법(chemical mechanical polishing, CMP)을 이용한 Cu 평탄화(planarization) 공정이 필요하다. Cu CMP는 매우 복잡한 공정 기술로서 여러가지 변수에 영향을 받는다. 그 변수로서는 슬러리의 화학 조성, Cu 배선 구조의 디자인, barrier 종류, 유전체(dielectric) 종류, CMP 장비 타입, 패드 타입, 연마재(abrasive) 타입 등

이 있다.¹⁾ 위 공정 변수들에 대한 연구가 많이 진행되어 왔으나, 배선층에 저유전율 절연막(low-k dielectric)의 사용으로 새로운 barrier재료의 연구와 함께 Cu CMP 공정 연구는 지속적으로 요구되고 있는 실정이다.²⁻⁶⁾ 특히 다공성물질(porous material)인 초저유전율 절연막(ultra-low K dielectric) 재료는 탄성계수가 낮고 기계적으로 취약하기 때문에 Cu CMP 공정에 더욱 민감한 반응을 보인다. 저유전율 절연막을 위한 barrier 재료로 Ti가 가장 관심의 대상이 되고 있다. 그동안 Ti는 구리로의 확산이 쉽고, 물리증착법(physical vapor deposition) 방법에 의한 단차 피복(step coverage)이 좋지 않으며, 전기화학적으로 Cu CMP 슬러리에 안정하지도 않아 barrier재료로서 각광을 받지 못하였다. 그러나 Ti는 널리 사용되는 Ta barrier와

[†]Corresponding author

E-mail: eunkyung@seoultech.ac.kr

비교하여 초저유전을 절연막의 습기에 저항이 강하여 저 유전을 절연막과 호환성이 좋다는 평가를 받고 있다. 이에 Ti를 이용한 barrier 구조들이 연구되고 있고, Ti barrier/Cu 배선CMP 공정은 반드시 필요하며 지속적으로 개발이 요구된다.⁷⁾

또한 최근 고성능 로직 IC나 고밀도 DRAM을 위한 차세대 핵심기술로 소자를 웨이퍼 레벨로 적층시키는 삼차원 직접화(3D integration) 기술 개발이 대두되고 있다. 그중 웨이퍼 레벨 적층 기술을 실현시키기 위해서는 Cu 본딩 기술과 Cu TSV(through Si via)공정 기술이 매우 중요한 요소 기술이다.⁸⁻⁹⁾ 웨이퍼 레벨 적층 제조시 CMP 공정이 사용되는 경우는 크게 Cu로 채워진 TSV의 전면을 평탄화하는 Cu CMP공정이 있고, 본딩 후 TSV가 있는 웨이퍼의 뒷면을 그라인딩한 후 TSV를 오픈할 때 사용되는 Si/Cu CMP 공정이 있다. 또한 웨이퍼 적층 공정 순서상 TSV가 없는 웨이퍼를 그라인딩하는 경우에는 그라인딩 후 표면처리를 위해서 Si CMP를 하기도 한다. 마지막으로 Cu와 Cu 웨이퍼 본딩 공정을 위한 다마스킹(damascene) 공정으로 만들어진 웨이퍼 전면의 Cu 층을 CMP 해야 한다. 특히, Cu 본딩은 열압착(thermo-compression)방식으로 진행되며, 본딩 공정 변수들(온도, 압력, 시간, 분위기, 표면 처리, 열처리, 등)뿐만 아니라 Cu CMP에 의한 Cu dishing과 oxide erosion 정도에 따라 매우 큰 영향을 받는다. 본딩층은 매우 균일하고 기공이나 결함이 없어야 하며, 평탄도가 높아야 할 뿐만 아니라 표면이 본딩이 잘 되도록 화학적으로 활성화 되어야 한다. Cu dishing에 의해 줄어든 본딩층의 접촉 면적을 늘리고 Cu 표면의 산화막을 제거하여 본딩층 활성화를 위한 습식처리에 관한 연구도 진행되고 있다.¹⁰⁾ 특히, 본딩층 범프의 크기와 피치(pitch)가 작아지면서 본딩층 평탄도 및 표면처리는 더욱 중요시 되고 있다.

Cu CMP 공정은 매우 복잡한 공정 기술로서 여러가지 변수에 영향을 받는다. 그 변수로서는 슬러리의 화학 조성, Cu 배선 구조의 디자인, barrier 종류, 유전체(dielectric) 종류, CMP 장비 타입, 패드 타입, 연마재(abrasive) 타입 등이 있으며,¹⁾ CMP 공정 변수들의 최적화와 슬러리 개발은 매우 중요하고 시스템적인 접근이 필요하다 하겠다. 본 연구에서는 웨이퍼 레벨 Cu 본딩 공정의 핵심기술의 하나인 Ti barrier/Cu bump의 Cu CMP 공정에 대해서 두 개 슬러리 업체(K사, U사)의 슬러리를 이용하여 기본 공정을 분석하였고, 슬러리에 대한 선택비, Cu dishing, 그리고 oxide erosion 현상을 살펴보았다.

2. 실험 방법

본 실험의 CMP 공정은 GnP(POLI-500, 한국)사의 장비를 이용하여 진행되었으며, 패드는 Nittahaas사의 stacked pad(IC1000/Suba400, 일본)를 사용하였고, K사와 U사의 Cu 슬러리를 이용하였다. Figure 1은 Cu CMP 공정 순서

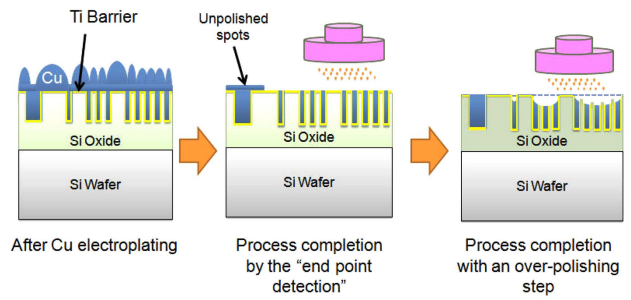


Fig. 1. Cu CMP Process Flow.

Table 1. Cu CMP Process Conditions

	Company “K”	Company “U”
Slurry Type	Not available	CSL9044C
Velocity	Platen: 73 rpm	Platen: 63 rpm
	Head: 67 rpm	Head: 57 rpm
Polishing Parameters	Wafer: 0.176 kgf/cm ²	Wafer: 0.176 kgf/cm ²
	R-Ring: 0.211 kgf/cm ²	R-Ring: 0.281 kgf/cm ²
Slurry Flow Rate	200 ml/min	150 ml/min
Selectivity (Cu/Ti)	270 : 1	Almost no polishing of Ti
Selectivity (Cu/SiO ₂)	3000 : 1	Almost no polishing of SiO ₂
Removal Rate	~6000 Å/min	~4550 Å/min
pH	6.34	5.59

의 도식도이다. 우선 슬러리에 대한 Cu/SiO₂, Cu/Ti barrier의 선택비(selectivity)와 연마율(removal rate) 측정을 위해서는 8인치 웨이퍼에 blanket Cu/Ti/SiO₂/Si막막 필름을 증착하여 진행하였으며, 본 실험에서 사용된 CMP 공정 변수들은 Table 1에 나열하였다. 공정조건에 대한 선행연구는 실험계획법(factorial method)을 이용하여 진행하였으며, 3개의 입력변수로(웨이퍼 압력, 웨이퍼와 링의 압력차, 슬러리 rate) 웨이퍼내 연마율(removal rate)의 균일도를 기준으로 결정하였다. Cu 패턴 밀도와 크기에 의한 Cu dishing과 oxide erosion 측정을 위해서는 다마스킹 패턴 구조와 동일하게 시편을 제작하여 진행하였다. 본 테스트 시편은 여러가지 금속 패턴 밀도와 라인 폭(line width)을 가진 패턴 구조로 제작하였으며, Cu CMP공정 후 시편 상태를 Figure 2(b)에 예로 나타내었다. CMP 공정 후 각각의 웨이퍼는 Cu dishing과 oxide erosion을 3D Profilometry(Veeco사, Dektak 150, 미국)로 측정하였고, over-polishing 시간에 의한 분석도 진행하였다. 일반적으로 슬러리와 패드의 수명, 도금된 Cu 박막 두께, Cu 박막의 웨이퍼내(within wafer) 균일도(uniformity), 그리고 웨이퍼와 웨이퍼(wafer-to-wafer)간 균일도 등 때문에 CMP 공정의 정확한 폴리싱(polishing) 조절을 Cu CMP 폴리싱

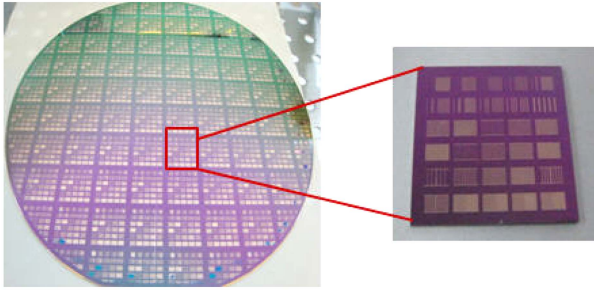


Fig. 2. Sample Wafer Shown after Cu CMP.

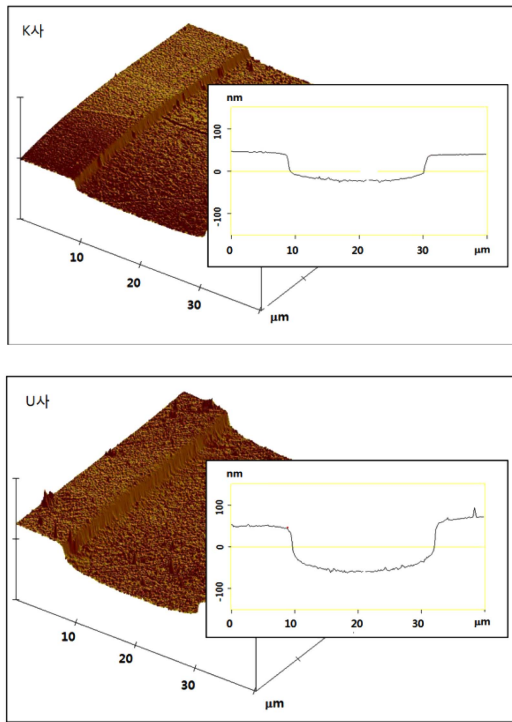


Fig. 3. AFM images after Cu CMP (line width = 20 μm).

시간을 통해서 진행하는 것은 매우 어렵다. 그래서 본 실험에서는 끝점탐지(end-point detection) 방법을 이용하여 Cu dishing과 oxide erosion을 조절하였다. Cu CMP 후 범프 단차 사진은 AFM(Veeco사, Dimension 3100, 미국)으

로 측정하였고 Figure 3에 나타내었다.

3. 실험 결과 및 고찰

슬러리의 종류에 상관없이 Figure 4에서 보는 것처럼 라인 폭이 커질수록 금속 라인의 Cu dishing은 증가한다. 본 실험에서 K사 슬러리의 경우 Cu dishing이 10 μm 라인 폭에서 약 30 nm로 나타났으며, U사 슬러리의 경우는 Cu dishing이 약 60 nm 정도로 K사에 비교하여 두 배정도 크게 나타났다. Figure 3 AFM 사진에서 보듯이 20 μm 라인 폭에서도 비슷한 Cu dishing의 차이를 보였다. K사 슬러리가 Cu dishing이 낮은 이유는 K사 슬러리의 pH 농도(pH=6.34)가 U사의 pH 농도(pH=5.59)에 비하여 조금 더 높은 값을 가지고, 또한 산화제의 농도도 U사보다 높을 것으로 추정된다. Nguyen et. al.⁸⁾에 의하면 슬러리 용액 내 산화제(oxidizer)의 농도가 Cu dishing에 큰 영향을 주며, 산화제 농도와 dishing의 정도는 반비례한다고 밝혔고, Kang et. al.¹¹⁾도 산화제 농도가 높고, pH농도가 높은 슬러리가 Cu와의 반응이 느려서 Cu dishing이 적게 일어난다고 하였다. Figure 5에 oxide erosion 결과를 나타내었으며, K사 슬러리의 경우 oxide erosion은 라인 폭이 커질수록 증가했고, 10 μm 라인 폭에서 약 30 nm로 나타났다. 반면 U사 슬러리의 경우 oxide erosion은 약 18 nm 정도로 K사 슬러리보다 적었으며 라인 폭이 커질수록 거의 변화가 없었다. 이는 Table 1의 선택비(selectivity) 결과처럼 U사 슬러리가 SiO₂ oxide에 대한 선택비가 K사 슬러리보다 매우 좋기 때문이다. 일반적으로 금속 배선에서는 10 μm 라인 폭에서 약 30~60 nm 정도의 Cu dishing과 30 nm 정도의 oxide erosion은 좋은 결과라고 여길 수 있다. 그러나, 웨이퍼 본딩시에는 Cu 범프 dishing이 약 100 nm 정도에서도 현저히 본딩되지 않고,¹²⁾ Cu 본딩을 위해서는 Cu dishing이 대략 10 nm 정도가 되어야 최적화된 평탄도라고 하겠다.

Figure 6는 금속 패턴 밀도 변화에 따른 Cu dishing과 oxide erosion에 관한 결과를 나타내고 있다. 금속 패턴 밀도가 높을수록 Cu dishing은 슬러리에 상관없이 모두 증가했으며, U사 슬러리가 K사 슬러리보다 두 배정도 크게

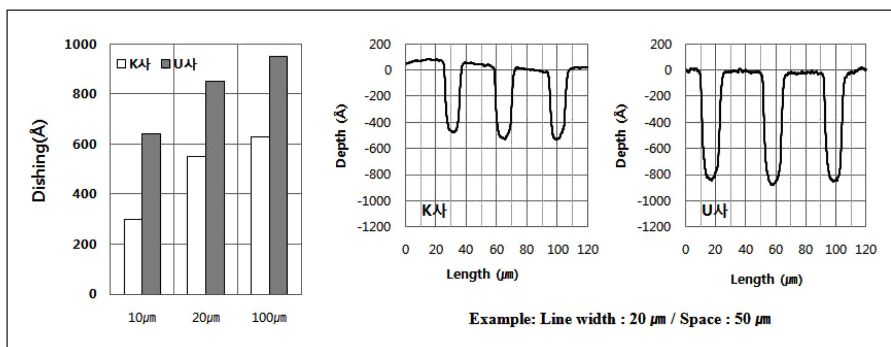


Fig. 4. Dependency of Cu dishing on line width.

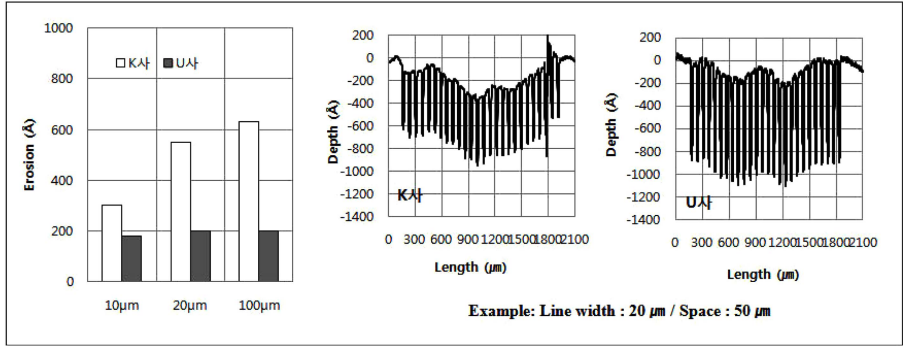


Fig. 5. Dependency of oxide erosion on line width.

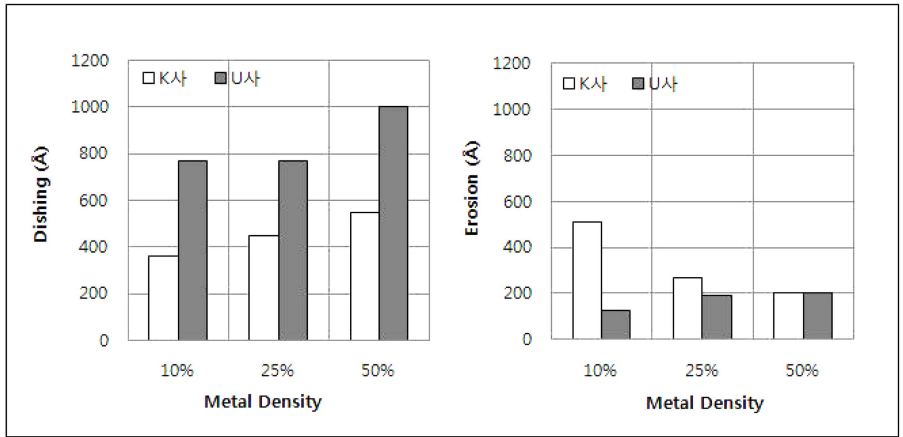


Fig. 6. Dependency of Cu dishing and oxide erosion on metal density (line width = 10 µm).

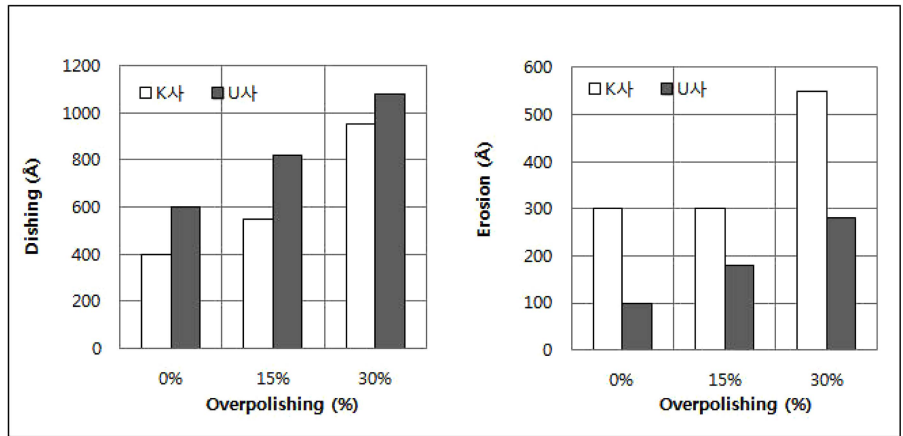


Fig. 7. Dependency of Cu dishing and oxide erosion on over-polishing time (line width = 10 µm).

나타났다. Oxide erosion은 금속 패턴 밀도가 높을수록 K사 슬러리의 경우는 감소하였고, U사 슬러리의 경우는 큰 변화가 없었다. 금속 패턴 밀도가 낮은 10% 경우는 SiO₂ oxide의 선택비가 U사 슬러리보다 낮은 K사 슬러리가 약 4배정도 oxide erosion이 심했으나, 금속 패턴 밀도가 높은 50%의 경우를 보면 K사 슬러리의 oxide erosion이 약 20 nm로 U사와 비슷한 값을 보였다. 금속 패턴 밀도는 전체 면적에서 해당 금속이 차지하는 면적의 비율로서, 금속 패턴 밀도가 다르면 경우마다 금속층에 가해지는 국

부적인 압력이 변화하기 때문에 Cu dishing이 다르게 나타나고, 연마율 또한 달라진다. 그러나 Cu dishing과 달리 oxide erosion의 경우는 슬러리의 선택비에 더 큰 영향을 받는다. 또한 본딩층의 Cu 범프를 배열(layout)할 때 반드시 더미 범프(dummy bump)를 통해 다이(die)내 금속 패턴 밀도를 균일하게 가져가는 것이 Cu dishing을 최소화하는데 중요한 변수가 된다.

Figure 7의 over-polishing에 따른 Cu dishing과 oxide erosion 결과를 살펴보면, over-polishing 시간이 증가할수

록 슬러리에 상관없이 Cu dishing과 oxide erosion은 점차 심해졌고, K사가 U사에 비교하여 Cu dishing이 적고 oxide erosion은 높았다. Over-polishing을 할수록 Cu dishing과 oxide erosion이 증가하지만, 웨이퍼 전면의 Cu를 모두 폴리싱하기 위해서는 조절된 over-polishing이 반드시 필요로 하고, 이는 Cu 도금 후 웨이퍼내 center-to-edge의 Cu 두께가 균일하지 못하기 때문이다. 본 연구에서는 one-step CMP 공정을 이용하여 Cu CMP를 진행하였고 10 μm 라인 폭에서 약 30 nm의 Cu dishing을 확보하였으나, Cu 본딩을 위해서는 요구되는 약 10 nm 정도의 Cu dishing은 만족하지 못하였다. One-step 공정이 공정측면에서는 좋으나, Cu CMP공정에서 dishing을 최소화하기 위해서는 two-step 공정이 효과적일 거라고 사료된다. 먼저 Cu 범프와 Oxide에 선택비를 갖고 연마율이 높은 Cu 슬러리를 이용하여 Cu CMP 공정을 진행한 후, Cu 범프와 Oxide에 선택비가 비슷한 슬러리를 이용하여 CMP 공정을 마무리하는 two-step 공정을 연구 진행할 계획이다.

4. 결 론

Cu 본딩 공정은 웨이퍼 레벨 3D integration 개발의 중요한 요소 기술이다. 본 연구에서는 Cu 본딩 공정을 최적화하기 위한 핵심 기술 중 하나인 Cu CMP 공정을 연구하였다. 다마싱 공정으로 테스트 웨이퍼 시편을 제작하였고, K사와 U사의 슬러리를 이용하여 Cu dishing과 oxide erosion을 분석하였다. K사 슬러리가 U사 슬러리보다 Cu dishing은 약 두 배정도 좋았으나, oxide erosion은 더 나쁘게 나타났다. 이는 K사 슬러리가 Ti나 SiO₂층에 대한 선택비가 U사 슬러리보다 매우 좋지 않기 때문이라 사료된다. 금속 패턴 밀도의 경우 밀도가 높을수록 Cu dishing은 슬러리에 상관없이 모두 증가했으나 oxide erosion은 선택비에 따라서 다르게 나타났으며, oxide erosion의 경우 슬러리의 선택비에 더 큰 영향을 받는 것으로 나타났다. 본 실험에서 사용된 두 개의 슬러리는 barrier금속과 SiO₂층의 선택비는 비교적 좋았으나, 최적화된 웨이퍼 본딩을 위해서 Cu 범프 본딩층의 Cu dishing을 최소화하는 공정 개발이 반드시 필요하겠다.

감사의 글

본 논문은 이 연구는 서울과학기술대학교 교내 학술연

구비 지원으로 수행되었습니다.

참고문헌

1. Y. Ein-Eli and D. Starosvetsky, "Review on copper chemical-mechanical polishing (CMP) and post-CMP cleaning in ultra large system integrated (ULSI)-An electrochemical perspective", *Electrochimica Acta*, 52, 1825 (2007).
2. S. Balakumar, X. T. Chen, Y. W. Chen, T. Selvaraj, B. F. Lin, R. Kumar, T. Hara, M. Fujimoto and Y. Shimura, "Peeling and delamination in Cu/Silk process during Cu-CMP", *Thin Solid Films*, 462/463, 161 (2004).
3. F. Zhao, L. Economikos, W. Tseng, H-k Kim, E. Engbrecht, T. E. Standaert, J. H. Li, W. P. Liu, M. Chae, L. M. Nicholson and S. Sankaran, "Evaluation of Cu CMP Barrier Slurries for Ultra Low-k dielectric film (k~2.4) for 45nm technology", *Proc. International Conference on Planarization/CMP Technology*, Oct. 25 -27 (2007).
4. J. Vaes, F. Sinap, J. L. Hernandez, G. Santoro, O. Nguyen and J. Wang, "CMP of a Ru based layer in an advanced Cu low-k stack", *Proc. International Conference on Planarization/CMP Technology*, Oct. 25 -27 (2007).
5. K. Gottfried, I. Schubert, S. E. Schulz and T. Gessner, "Cu/barrier CMP on porous low-k based interconnect schemes", *Microelectronic Engineering*, 83, 2218 (2006).
6. 박점용, 홍의관, 엄대홍, 박진구, "The effects of additives in Cu CMP slurry on polishing" *Proc. 2001 KMEPS Fall Technology Symposium*, 230 (2001)
7. W. Wu, H.-J. Wu, G. Dixit, R. Shaviv, M. Gao, T. Mountsier, G. Harm, A. Dulkan, N. Fuchigami, S. K. Kailasam, E. Klawuhn and R. H. Havemann, "Ti-based Barrier for Cu Interconnect Applications", *IEEE IITC*, 202 (2008).
8. V. Nguyen, H. VanKranenburg and P. Woerleea, "Dependency of dishing on polish time and slurry chemistry in Cu CMP", *Microelectronic Engineering*, 50, 403 (2000).
9. C. H. Seah, G. Z. You, S. R. Wang, C. Y. Li and R. Kumar, "Impact of electroplated copper thickness on copper CMP and Cu/Coral™ BEOL integration", *Microelectronic Engineering*, 81, 66 (2005).
10. J. M. Park, Y. Kim, S. D. Kim, J. W. Kim and Y. B. Park, "Wet Etching Characteristics of Cu Surface for Cu-Cu Pattern Direct Bonds", *J. Microelectron. Packag. Soc.*, 19(1), 39 (2012).
11. Y. J. Kang, D. H. Eom, J. H. Song and J. G. Park, "The Effect of pH adjustor in Cu Slurry on Cu CMP", *PacRim-CMP*, 197 (2004).
12. S. G. Kang, Y. Kim, J. Lee, E. Kim, S. Kim and S. E. Kim, "Fabrication and Reliability of Wafer Level Cu-to-Cu Bonding for 3D Integration", *IUMRS_ICA*, P0807 (2011).