
이중게이트 MOSFET의 전도중심에 따른 문턱전압의 변화

정학기*

Deviation of Threshold Voltages for Conduction Path of Double Gate MOSFET

Hakkee Jung*

요 약

본 연구에서는 이중게이트 MOSFET의 전도중심에 따른 문턱전압의 변화를 분석할 것이다. DGMOSFET에 대한 단채널효과 중 문턱전압의 이동은 정확한 소자동작에 저해가 되고 있다. 문턱전압분석을 위하여 포아송방정식의 분석학적 전위분포를 이용하였으며 이때 전하분포함수에 대하여 가우시안 함수를 사용함으로써 보다 실험값에 가깝게 해석하였다. 소자 파라미터인 채널길이, 채널두께, 게이트산화막두께 그리고 도핑농도 등에 대하여 전도중심의 변화에 대한 문턱전압의 변화를 관찰하였다. 본 연구의 모델에 대한 타당성은 이미 기존에 발표된 논문에서 입증하였으며 본 연구에서는 이 모델을 이용하여 문턱전압특성을 분석할 것이다. 분석결과 문턱전압은 소자파라미터에 대한 전도중심의 변화에 크게 영향을 받는 것을 관찰할 수 있었다.

ABSTRACT

This paper have analyzed the change of threshold voltage for conduction path of double gate(DG) MOSFET. The threshold voltage roll-off among the short channel effects of DGMOSFET have become obstacles of precise device operation. The analytical solution of Poisson's equation have been used to analyze the threshold voltage, and Gaussian function been used as carrier distribution to analyze closely for experimental results. The threshold voltages for conduction path have been analyzed for device parameters such as channel length, channel thickness, gate oxide thickness and doping concentration. Since this potential model has been verified in the previous papers, we have used this model to analyze the threshold voltage. Resultly, we know the threshold voltage is greatly influenced on the change of conduction path for device parameters of DGMOSFET.

키워드

DGMOSFET, 문턱전압, 가우시안 분포, 단채널효과, 포아송방정식, 전도중심, 채널크기

Key words

DGMOSFET, threshold voltage, Gaussian function, short channel effect, Poisson equation, conduction path, channel dimension

* 종신회원 : 군산대학교 (교신저자, hkjung@kunsan.ac.kr)

접수일자 : 2012. 10. 05

심사완료일자 : 2012. 10. 25

I. 서 론

올해 삼성전자 및 하이닉스반도체 등에선 앞다투어 20nm급 낸드플래시 메모리소자 등을 출시하고 있으며 이의 수율 향상에 주력하고 있다. 모든 메이저급 모바일 기기 생산업체에서는 집적회로의 소형화를 요구하고 있으며 더욱 작아지는 추세에 있다. 이에 부응하기 위하여 모바일기기용 모바일 DRAM 및 CPU에 쓰이는 트랜지스터의 크기도 작아져야 할 것이다.

그러나 기존의 CMOSFET는 10nm급 소자제작시 한계에 다다를 것이라고 ITRS(International Technology Roadmap for Semiconductor)는 제시하고 있다[1]. 기존의 CMOSFET구조는 10nm이하의 채널길이를 제작하기 위해선 심각한 단채널효과 문제를 해결하여야만 한다. 채널길이의 감소는 전류량의 증가, 입력커패시턴스의 감소, 스위칭주파수의 증가 및 쉘면적의 감소 등과 같은 중요한 출력효과를 향상시키는 반면, 문턱전압의 이동, 드레인유도장벽감소, 문턱전압이하 스윙특성 저하 및 항복전압특성 저하 등과 같은 심각한 단점도 나타내고 있다. 이러한 단점 중 디지털소자에서 가장 중요한 ON/OFF를 결정하는 문턱전압의 이동현상은 트랜지스터를 오동작시키는 매우 심각한 단채널효과이다. 단채널효과를 해결하기 위하여 개발된 소자가 이중게이트 MOSFET이다[2].

이중게이트 MOSFET는 기존의 CMOSFET와는 달리 게이트를 두 개로 제작하여 게이트의 전류제어능력을 약 2배정도 향상시켜 채널길이 감소에 의한 단채널효과를 감소시킬 수 있다. 또한 이중게이트 MOSFET의 경우 저도핑 채널을 사용함으로써 불순물 산란을 거의 제거할 수 있으므로 스위칭속도를 크게 향상시킬 수 있다.

이중게이트 MOSFET는 다른 다중게이트 MOSFET에 비하여 간단한 구조로 제작할 수 있어 더욱 연구가 활발히 진행되고 있다. 본 연구에서는 이중게이트 MOSFET에서 채널구조에 따른 전도중심의 변화가 문턱전압에 미치는 영향을 관찰함으로써 이중게이트 MOSFET의 집적회로 응용에 초석을 마련하고자 한다. 이를 위하여 Tiwari 등의 포아송방정식의 해석학적 모델[3]을 이용할 것이다.

2장에서는 포아송방정식의 해석학적 모델에 대하여

설명할 것이며 3장에서 이 모델을 적용하였을 경우, 문턱전압의 변화를 전도중심의 변화와 함께 고찰 할 것이다. 또한 4장에서 결론을 맺을 것이다.

II. 문턱전압모델 및 전도중심

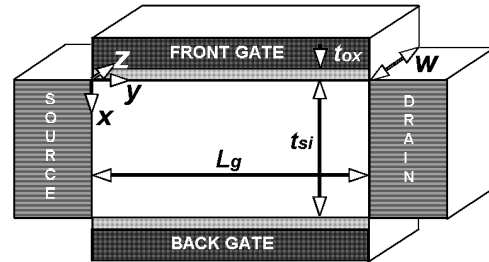


그림 1. DG MOSFET의 개략도
Fig. 1 Schematic view of DG MOSFET

그림 1은 이 논문에서 사용한 DG MOSFET의 개략도이다. 이 구조의 x,y,z방향에 대한 포텐셜 분포를 구하기 위하여 포아송방정식을 이용하였다.

$$\nabla^2 \Psi = qn(x) / \epsilon_{si} \quad (1)$$

여기서 $n(x)$ 는 채널내 도핑농도이며 ϵ_{si} 는 실리콘의 유전율이다. z방향의 전위분포변화는 무시할 수 있을 정도이므로 x와 y방향에 대해서 전위분포를 해석하였으며 이때 전위분포는 다음과 같은 가우스 함수를 이용하였다.

$$n(x) = N_p \exp\left(-\left\{\frac{x - R_p}{\sqrt{2}\sigma_p}\right\}^2\right) \quad (2)$$

여기서 N_p 는 이온주입시 도즈량에 의하여 결정되는 최대 도핑분포값이며 R_p 와 σ_p 는 각각 이온주입의 범위 및 분포편차를 나타낸다. 식 (1)과 (2)를 풀기 위하여 Tiwari 등의 전개방법[3]을 이용하면 전위분포 $\phi(x,y)$ 와 표면전위분포 ϕ_s 를 구할 수 있다.

이렇게 구한 전위분포 중, 게이트산화막과 반도체와의 계면에서 표면전위를 구하고 이의 최소값을 구하면 문턱전압을 구할 수 있다. 즉, 문턱전압의 정의를 이용하면 표면전위의 최소값이 페르미전위 ϕ_f 의 2배가 될 때 게이트전압을 구하여 문턱전압으로 정한다. 정의를 이용하여 구한 문턱전압은 다음과 같다.

$$V_{th} = \frac{R - \{R^2 - 4(4HK - 1) \times (4NP - Q^2)\}^{1/2}}{8HK - 2} \quad (3)$$

$$Q = V_{fb} + 2\phi_f + \lambda^2 q N_p \exp(-B^2) / \epsilon_{si}$$

$$R = 2Q - 4HK [(M - V_D / (\exp(L_g / \lambda) - 1)) + (M - V_D / (\exp(-L_g / \lambda) - 1))]$$

여기서 H, K, M, λ, N, P 는 참고문헌[2]에 표시되어 있다. 식(3)에서 ϕ_f 는 페르미전위, ϵ_{si} 는 실리콘의 유전율, V_D 는 드레인 전압이다.

전자분포는 볼츠만통계에 의하여

$$n_m(x, y) = \frac{n_i^2}{N_p} \exp(q\phi(x, y) / kT) \quad (4)$$

이며 여기서 n_i 는 순수반도체의 전자농도이고 k 는 볼츠만상수, 그리고 T 는 절대온도이다. 최소 채널전위 $\phi_{min}(x)$ 는 $\partial\phi(x, y) / \partial y = 0$ 에서 구할 수 있다. 드레인전류는 최소 채널전위에 존재하는 전자분포 $n_m(x)$ 에 비례하며 이 값은 식(3)에서 $\phi(x, y)$ 대신 $\phi_{min}(x)$ 를 대입시켜 구할 수 있다. 이와같이 구한 전자분포 $n_m(x)$ 를 이용하면 전도중심을 구할 수 있다. 전도중심은 전자분포의 형태에 의하여 결정되고 대부분의 전자흐름이 발생하는 영역을 의미하며 다음과 같이 구할 수 있다[4].

$$x_{eff} = \frac{\int_0^{t_{si}/2} x e^{\phi_{min}(x) / V_i} dx}{\int_0^{t_{si}/2} e^{\phi_{min}(x) / V_i} dx} \quad (5)$$

이와같이 채널구조에 따라 표면전위의 최소값이 변화할 것이며 이는 결국 문턱전압의 변화로 나타날 것이다. 이 연구에서는 채널구조의 변화에 따라 나타나는 전도중심의 변화가 문턱전압에 미치는 영향을 관찰할 것이다.

III. 문턱전압 및 전도중심에 대한 결과고찰

식(3)과(5)를 이용하여 계산한 문턱전압과 전도중심의 변화를 채널길이에 따라 그림 2에 도시하였다. 그림에서 관찰할 수 있듯이 약 50nm이하의 채널길이를 가진 DG MOSFET에서 문턱전압의 이동과 같은 단채널효과가 발생하고 있다는 것을 알 수 있다. 이와같이 단채널효과가 발생하는 채널길이 영역에서 전도중심도 크게 변화하고 있다.

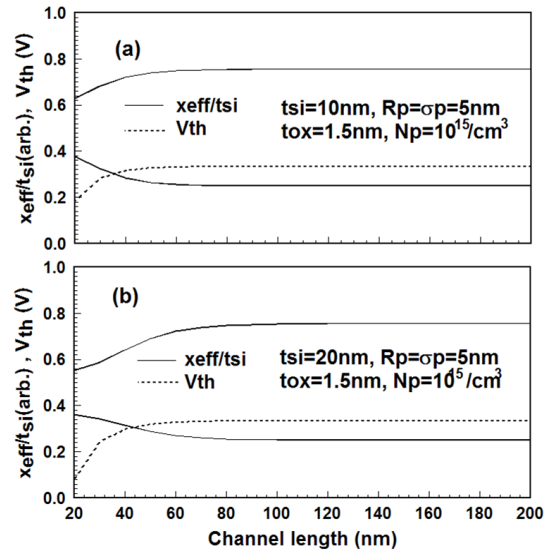


그림 2. 채널길이의 변화에 따른 문턱전압 및 전도중심의 관계 (a) 채널두께가 10nm일 때 와 (b) 채널두께가 20nm일 때
Fig. 2 Relation of threshold voltage and conduction path for the change of channel length (a) in case of channel thickness of 10nm and (b) in case of channel thickness of 20nm

즉, 전도중심이 채널의 내부로 이동하여 게이트전압의 영향에서 멀어지고 있다는 것을 알 수 있다. 전도중심의 변화는 채널두께에 따라 상이하게 나타나고 있다는 것을 그림 2(a)와 2(b)를 비교함으로써 알 수 있다. 즉, 50nm 이하의 채널길이를 가진 DG MOSFET에서 채널두께가 증가하면 전도중심이 채널내부로 이동하며 이는 문턱전압의 이동현상을 더욱 심화시키고 있다는 것을 관찰할 수 있다. 또한 채널길이가 커지면 단채널 효과가 사라지고 문턱전압의 이동현상도 일어나지 않는다.

이는 전도중심이 일정하게 유지되면서 게이트전압의 영향이 일정하게 유지되기 때문이다. 채널두께가 감소하면 문턱전압의 이동현상이 상대적으로 작은 채널길이에서 발생하고 있다는 것을 주시하라. 전도중심의 경우도 채널두께가 증가하면 채널길이가 상대적으로 긴 영역에서도 전도중심이 내부로 향하고 있다는 것을 관찰할 수 있다.

게이트산화막두께에 따른 문턱전압과 전도중심의 변화를 관찰하기 위하여 그림 2(a)와 그림 3을 비교하였다. 게이트산화막두께가 증가하면 문턱전압이동 현상도 심화되고 있었다[5].

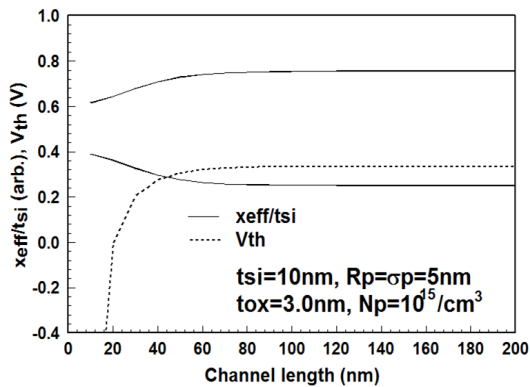


그림 3. 채널길이의 변화에 따른 문턱전압의 변화
Fig. 3 Deviation of threshold voltage for the change of channel length

이는 게이트산화막두께가 증가할수록 전도중심이 채널중심으로 이동하여 게이트단자의 영향력이 감소하고 있기 때문이다.

그러나 채널길이가 증가하면 산화막두께에 대한 영향력이 감소하여 전도중심에 따른 문턱전압이동 현상이 사라지게 된다.

채널도핑농도가 $10^{15}/cm^3$ 에서 $10^{18}/cm^3$ 로 증가하였을 때 전도중심과 문턱전압의 변화를 그림 4에 도시하였다. 채널도핑농도가 증가하면 전도중심이 게이트단자로 이동하여 게이트전압에 의한 영향력이 증가한다[6]. 전술한 바와같이 그림 2(a)와 그림 4(a)를 비교하면 채널도핑농도가 증가하면 전도중심이 약간 게이트단자로 이동하는 것을 알 수 있다. 그러나 그차이는 매우 미미하여 문턱전압이동 현상은 거의 동일하게 나타나고 있다.

또한 채널도핑농도의 증가에 의하여 문턱전압이 증가하고 있는 것을 알 수 있다. 이는 그림 3과 그림 4(b)의 비교에서도 관찰할 수 있다. 즉, 모든 조건은 동일한 상태에서 채널도핑농도만 증가하였을 경우 문턱전압의 절대값은 증가하나 문턱전압의 이동은 거의 동일하다는 것을 관찰할 수 있다.

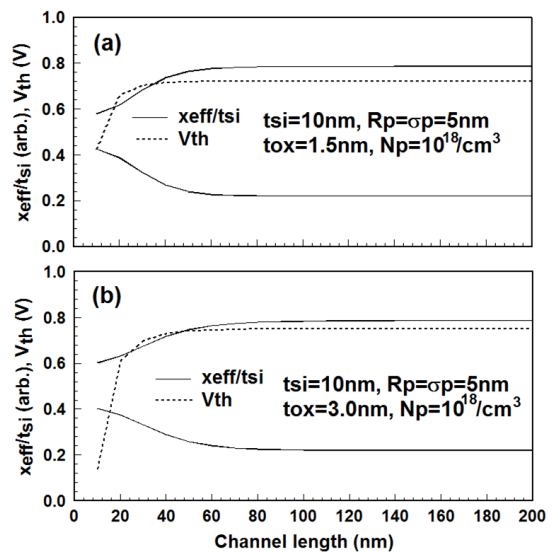


그림 4. 채널길이의 변화에 따른 문턱전압 및 전도중심의 관계 (a) 산화막두께가 1.5nm일 때와 (b) 산화막두께가 3nm일 때
Fig. 4 Relation of threshold voltage and conduction path for the change of channel length (a) in case of gate oxide thickness of 1.5nm and (b) in case of gate oxide thickness of 3nm

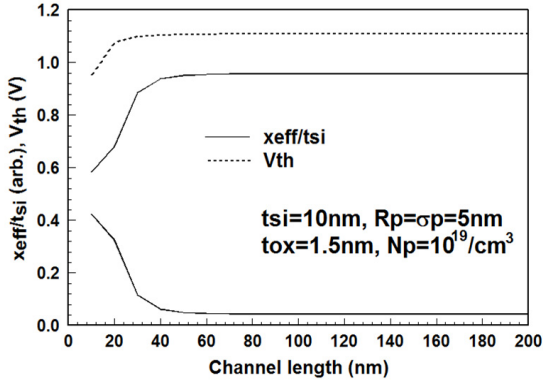


그림 5. 채널도핑농도가 $10^{19}/cm^3$ 일 때 채널 길이의 변화에 따른 문턱전압의 변화
 Fig. 5 Deviation of threshold voltage for the change of channel length

채널도핑농도를 $10^{19}/cm^3$ 까지 크게 증가시켰을 경우 문턱전압 및 전도중심의 변화를 그림 5에 도시하였다. 전술한 바와같이 전도중심이 게이트단자로 이동하는 현상을 관찰 할 수 있다. 채널도핑농도가 $10^{18}/cm^3$ 까지는 전도중심의 변화가 미미하였으나 $10^{19}/cm^3$ 까지 증가하면 전도중심의 위치가 거의 게이트단자에 근접하는 것을 알 수 있다. 이와같이 전도중심이 게이트단자로 이동하였을 경우는 그림 2(a), 그림 4(a) 그리고 그림 5의 비교에서도 알 수 있듯이 문턱전압의 이동현상은 크게 감소하는 것을 알 수 있다. 이는 게이트전압이 전도전자에 미치는 영향이 증가하기 때문이다.

IV. 결 론

본 연구에서는 이중게이트 MOSFET의 전도중심에 따른 문턱전압의 변화를 분석하였다. DGMOSFET에 대한 단채널효과 중 문턱전압의 이동은 정확한 소자 동작에 저해가 되고 있다. 이에 본 연구에서는 소자 파라미터인 채널길이, 채널두께, 게이트산화막두께 그리고 도핑농도 등에 대하여 전도중심의 변화에 대한 문턱전압의 변화를 관찰하였다.

결과적으로 전도중심의 경우 채널두께가 증가하면 전도중심이 채널내부로 이동하여 게이트단자의 전류제어 능력이 감소하므로 문턱전압의 이동이 더욱 크게 나타나고 있다는 것을 관찰하였다. 있다. 또한 게이트산화막두께가 증가할수록 전도중심이 채널내부로 이동하여 문턱전압의 이동이 심하게 나타나고 있었다. 채널도핑농도의 변화에 따른 분석에서 채널도핑농도가 $10^{18}/cm^3$ 까지 증가해도 문턱전압과 전도중심에는 거의 변화가 없다가 $10^{19}/cm^3$ 으로 증가하면 전도중심이 게이트단자로 이동하여 게이트전압의 영향력이 증가하고 문턱전압이동 현상이 현저히 감소하고 있다는 것을 알 수 있다. 이와같이 문턱전압의 변화는 채널구조에 따라서 크게 변화하므로 이중게이트 MOSFET의 문턱전압 설계시 이와같은 사항을 고려하여야 할 것이다.

참고문헌

- [1] Technology Roadmap on Semiconductors, 2007 edition, Semiconductor Industry Association. URL: <http://public.itrs.net>
- [2] H.K.Jung, "Analysis of Doping Profile Dependent Threshold Voltage for DGMOSFET Using Gaussian Function," International Journal of KIMICS, Vol.9, No.3, pp.310-314, 2011.
- [3] P.K. Tiwari, S. Kumar, S. Mittal, V. Srivastava, U. Pandey and S. Jit, "A 2D Analytical Model of the Channel Potential and Threshold Voltage of Double-Gate(DG) MOSFETs with Vertical Gaussian Doping Profile," IMPACT-2009, pp.52-55, 2009.
- [4] Z.Ding, G.Hu, H.Gu, R.Liu, L.Wang and T.Ting, "An Analytical Model for the Subthreshold Swing of Double-Gate MOSFETs," IWJT-2010, May 2010.
- [5] H.K.Jung and S.Dimitrijevic, "Analysis of Subthreshold Carrier Transport for Ultimate DGMOSFET," IEEE Trans. Electron Devices, Vol. 53, no.4, pp.685-691, 2006.
- [6] Q.Chen, B.Agrawal and J.D.Meindl, "A Comprehensive Analytical Subthreshold Swing(S) Model for Double-Gate MOSFETs," IEEE Trans. Electron Devices, Vol. 49, no.6, pp.1086-1090, 2002.

저자소개



정학기(Hak Kee Jung)

1983.3 아주대학교 전자공학과 B.S.
1985.3 연세대학교 전자공학과 M.S.
1990.8 연세대학교 전자공학과 Ph.D
1995.8 일본 오사카대학 교환교수

2005.8 호주 그리피스대학 교환교수
1990.3-현재 군산대학교 전자공학과 교수
2011.1-현재 한국정보통신학회 총무부회장
※관심분야: 반도체소자 시뮬레이션, 몬테칼로
시뮬레이션, 회로및 시스템 해석 등