
저항 역할을 하는 전하펌프와 하나의 커패시터로 구성된 루프 필터를 가진 위상고정루프

박종윤* · 최혁환**

Phase-Locked Loop with a loop filter consisting of a capacitor and
a charge pump functioned as resistor

Jong-Youn Park* · Hyek-Hwan Choi**

요 약

이 논문은 전하펌프를 추가하여 루프필터에서 공정에 따라 값이 크게 변하는 저항을 없앤 새로운 구조의 위상 고정루프를 보여준다. 두 번째 전하펌프가 기존의 루프 필터 저항 역할을 하도록 하였다. 두 개의 전하펌프 출력은 공정 변화에 같은 방향으로 움직이므로 위상고정루프의 동작이 공정 변화 영향을 적게 받게 된다. 공정 조건(SS/TT/FF)에 따른 시뮬레이션 결과는 제안된 구조가 공정 변화에 무관하게 동작함을 보여주고 있다. 제안된 구조는 1.8V 0.18 μ m CMOS 공정의 파라미터를 이용하여 HSPICE로 시뮬레이션을 수행하였고 회로의 동작을 검증하였다.

ABSTRACT

This paper presents a new structure of phase locked loop (PLL) for replacing a process sensitive resistor in loop filter with an additional charge pump (CP). The additional charge pump works as a resistor in a loop filter. The output of two charge pumps changes same direction according to process variation. The simulation results according to process conditions(SS/TT/FF) demonstrate that the proposed PLL works properly with process variations. It has been designed with a 1.8V 0.18 μ m CMOS process and proved by simulation with HSPICE.

키워드

위상고정루프, 전하펌프, 저항, 루프필터

Key word

Phase-Locked Loop (PLL), Charge Pump, Resistor, Loop Filter

* 준회원 : 부경대학교
** 정회원 : 부경대학교 (교신저자, choihh@pknu.co.kr)

접수일자 : 2012. 06. 11
심사완료일자 : 2012. 09. 19

I. 서 론

위상고정루프(PLL)는 통신시스템에서 주파수합성기와 집적화된 디지털 칩에서의 고속 클럭신호 생성기로 널리 사용되고 있다. 일반적으로, 위상고정루프는 주파수검출기(Phase Frequency Detector), 전하 펌프(Charge Pump), 루프필터(Loop Filter), 전압제어발진기(Voltage Controlled Oscillator), 분주기(Divider)로 구성된다.

위상고정루프(PLL)은 2차 이상의 고차 시스템으로 안정적인 동작을 위한 구조 및 설계 방법들이 요구된다. 위상고정루프에서 루프필터는 회로의 대역폭과 위상고정 시간을 조절할 수 있다. 그림 1은 가장 일반적인 위상고정루프의 구조이다. RC루프필터를 사용해서 저주파 영역에 영점을 추가하여 위상고정루프를 안정화시키는 구조이다. 하지만 RC루프필터를 사용할 경우, 매 주기마다 발생하는 루프필터 전압의 급격한 변화는 출력신호의 잡음을 증가시킨다.

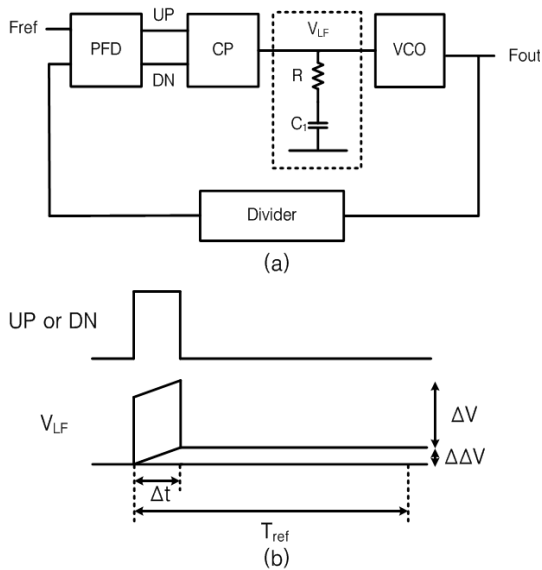


그림 1. 기본 RC 루프필터 PLL
(a) 구조 (b) 루프필터 출력파형
Fig. 1 Conventional RC Loop-Filter PLL
(a) Architecture (b) Loop-Filter Output waveform

이러한 결점을 보완하기 위해 그림 2에 나타난 구조와 같이 RC 루프필터에 병렬로 커패시터(C2)를 추가로 연결하여 출력신호의 잡음을 줄일 수 있다.

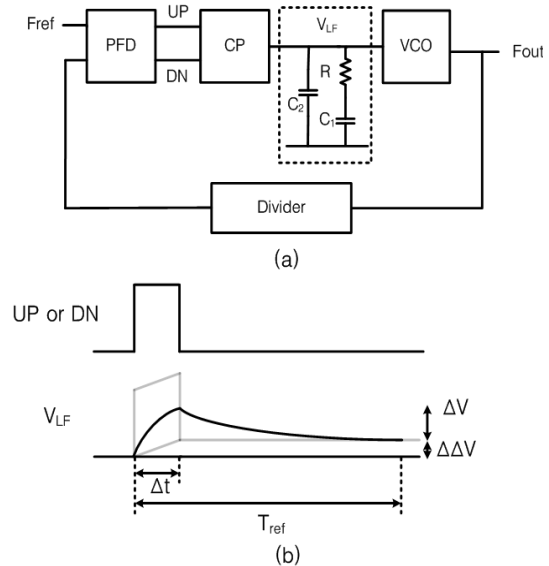


그림 2. Shunt커패시터(C2)가 추가된 RC루프필터
(a) 구조 (b) 루프필터 출력파형
Fig. 2 Conventional PLL with additional capacitance(C2)
(a) Architecture (b) Loop-Filter Output waveform

그림 2와 같은 2차 루프 필터는 C1에 의해서 위상고정 시간이 결정되고, C2에 의해서 루프필터 전압의 리플변화량이 결정되며, 안정한 동작을 위해서는 커패시터와 저항의 값을 적절히 선택하여야 한다^[1]. 위상고정루프가 안정하게 동작하기 위해서는 C2는 C1의 1/10 ~ 1/20 이하로 설계 되어야 한다. 만약 충분히 리플을 줄이기 위해서는 C2가 충분히 커야하고 그 결과 C1 또한 더욱 커지기 때문에 위상고정시간은 더욱 길어지게 된다. 또 다른 문제는, 루프가 안정될 수 있는 영점을 만드는 저항은 공정, 전압, 온도(PVT)변화에 아주 민감하다는 것이다. 그 결과 루프의 안정성도 크게 변화 한다. 따라서 저항 없이 커패시터만 사용하여 루프를 안정화시키고, 루프필터 전압의 리플을 줄이는 구조들이 연구 되어져 왔다.

PFDD에서 나오는 신호를 전하펌프와 다양한 스위치 구조를 사용하여 저항 없이 커패시터만으로 안정적인

로 동작하는 구조들이 발표 되었다^[2-7]. 이 구조들은 두 개의 전하펌프를 이용하고 각각의 커패시터를 동작 시키도록 한다. 두 커패시터에 전하가 공급되는 시간을 다르게 함으로써 저항과 같은 역할을 하도록 하였다^[2-3]. 또 다른 구조는 두 개의 전하 펌프가 하나는 루프 필터의 저항의 역할을 하고 다른 하나는 커패시터로 동작하도록 하여 각각의 경로가 스위치를 통해 합쳐지도록 하여 일반적인 2차 루프 필터와 같이 동작하도록 하였다^[4-7].

스위치를 사용하는 구조들은 저항의 자리에 스위치를 사용하여 기준주파수가 스위치를 제어하도록 되어 있다. 하지만 이는 크기가 큰 기준주파수 스퍼를 발생시킨다. 논문 [7]에서 제안된 루프 필터의 구조는 간단하여 칩의 크기를 줄일 수 있었지만, 스퍼의 크기를 줄일 수는 없었다. 루프 필터 출력 전압이 반주기가 지난 다음 감소되므로, 스퍼의 크기가 커지게 된다. 논문 [8]에서는 스위치 커패시터 구조로 루프 필터를 설계하였다.

본 논문에서는 PVT 변화에 민감한 저항을 제거하고, 추가적인 전하펌프와 전하펌프 제어를 사용하여 스위치를 사용하지 않는 루프 필터 구조를 제안한다. 추가된 전하 펌프와 전하펌프 제어기는 RC 루프 필터에서 루프를 안정화 시켰던 저항의 역할을 대체 하게 될 것이다. 반도체 칩 설계에서 사용하는 저항 소자들인 다결정 실리콘과 n+/p+ 등은 제작된 값의 편차가 넓어 안정하게 동작하는 위상고정루프를 설계하기가 쉽지 않다. 전하 펌프는 제작 후의 출력 값의 변화도 크지 않고, 두 개의 전하 펌프는 공정 변화에 같은 방향으로 움직이므로 안정하게 동작하는 위상고정루프의 설계가 용이하다. 제안된 구조는 공정 변화에 둔감하므로 디지털 칩의 클럭 신호 생성기로 사용하기에 적합하다.

II. 본 론

2.1. 전체구조와 동작

그림 1(a)은 RC 루프 필터를 사용한 일반적인 위상고정루프의 구조를 나타낸다. 위상/주파수 검출기에 의해 위상 오차가 감지되면, UP 신호 또는 DN 신호가 출력되고 이 신호들이 전하 펌프의 전류를 구동시켜 루프 필터의 전압을 변화 시킨다. 전압제어 발전기는 루프 필터 전

압 레벨에 대응하여 특정 주파수의 신호를 출력한다. 저항 R은 위상고정루프가 안정화 될 수 있는 낮은 주파수 영역의 영점을 제공해 준다. 하지만 그림 1(b)에 나타난 바와 같이 기준신호의 매 주기마다 UP 또는 DN 신호가 출력되고 이로 인해 루프 필터의 전압은 급격히 변하게 된다.

ΔV 는 저항에 의해 발생하는 전압이고, $\Delta \Delta V$ 는 커패시터에 축적되는 전압이며, 이러한 루프 필터 전압의 변화는 결국 출력 위상의 변화로 이어져 불필요한 주파수 성분을 만들어 낸다. 문제는 이러한 루프 필터 전압의 변화는 고정된 이후에도 매 주기마다 발생한다는 것이다. 그 이유는 다음과 같다.

첫째, 전하 펌프의 입력인 UP, DN 신호의 타이밍 에러. 둘째, 위상고정루프가 고정 된 이후 UP, DN 신호의 펄스 폭 차이. 셋째, 전하펌프의 충전 또는 방전 되는 전류량 차이. 넷째, 전하펌프의 PMOS, NMOS 스위치의 charge injection, clock feedthrough, 전하 공유 현상 등에 의한 것이다.

한 주기 동안 발생하는 전체 출력 위상 변화는 한 주기 동안 루프 필터의 전압 변화를 적분하여 구할 수 있다.

$$\Delta\phi = K_{VCO} \int_0^{T_{ref}} \Delta V dt = K_{VCO} I_{CP} R \Delta t \quad (1)$$

여기서 $\Delta V = I_{CP} R$, K_{VCO} 는 전압제어발전기의 이득이며, Δt 는 UP 또는 DN 펄스 폭, 그리고 T_{ref} 는 기준 신호의 주기이다.

결론적으로 지연 고정 루프가 고정 된 이후 발생하는 ΔV 는 기준신호의 매 주기 마다 발생하며, ΔV 에 의해 변화된 불필요한 주파수 성분을 기준 주파수 스퍼라고 한다. 기준 주파수 스퍼를 줄이기 위해서는 ΔV 를 줄여야 한다.

1차 RC 루프 필터 구조에서 병렬로 커패시터를 추가하여 기준 주파수 스퍼를 줄인 구조가 그림 2에 나타나 있다. 하지만 기준 주파수 스퍼의 크기와 고정 시간 사이의 상충되는 관계로 인해 설계 시 제한이 따른다.

본 논문에서 제안한 구조가 그림 3에 나타나 있다. 전체 구조를 살펴보면, CP1과 CP2는 반대로 동작하며 (CP1이 루프 필터를 충전하면, CP2는 방전 시킨다.) CP1의 전류량이 CP2의 최대 전류량 보다 약 5배 정도 크게

설계를 하였다. 또한 CP2의 전류량은 고정되어 있는 것이 아니라 전하펌프 제어기에 의해 전류량이 제어 되도록 설계를 하였다.

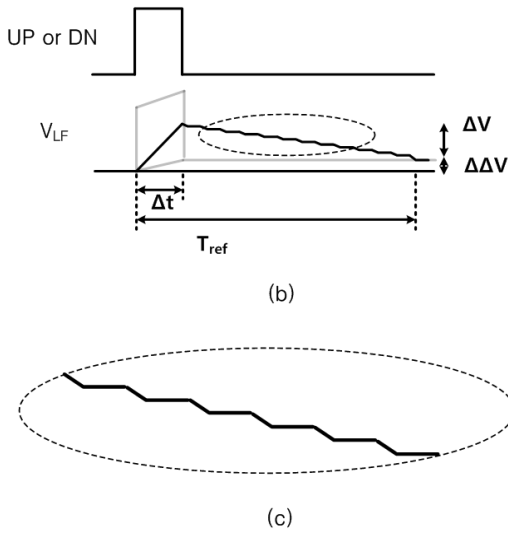
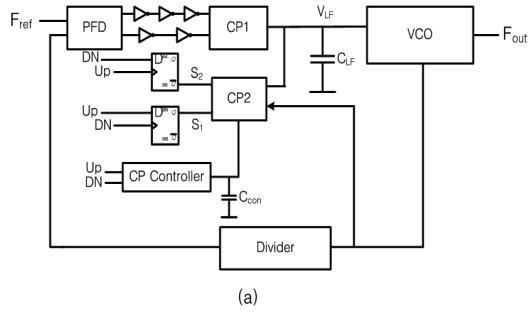


그림 3. 제안된 위상고정루프
(a) 구조 (b) 루프필터 전압변화
(c) 루프필터 전압변화 확대
Fig. 3 Proposed PLL

(a) Architecture (b) Loop-filter waveform
(c) Zoomed Loop-filter waveform

UP-DN 펄스에 의한 루프필터 전압의 변화가 그림 3(b)에 나타나 있다. 펄스폭이 Δt 인 UP펄스가 CP1에 인가되면 CP1의 전류에 의해 루프필터의 전압은 Δt 시간 동안 상승하며, $T_{ref} - \Delta t$ 시간동안 CP2에 의해 루프필터 전압은 하강한다.

위상고정루프가 고정 되었을 경우 $\Delta t \ll T_{ref}$ 이며, $\Delta V = \frac{I_{cp1} \Delta t}{C_{LF}}$ 이다. 한 주기 동안 발생하는 전체 출력 위상 변화를 구하면 다음과 같다.

$$\Delta\phi = K_{VCO} \int_0^{T_{ref}} \Delta V dt = K_{VCO} \frac{I_{cp} \Delta t}{C} \frac{T_{ref}}{2} \quad (2)$$

기존의 RC루프필터 구조와 제안된 구조의 한 주기 동안 위상변화가 같다고 가정하면 제안된 구조의 유효 저항을 구할 수 있다.

$$R_{eff} = \frac{T_{ref}}{2C_{LF}} \quad (3)$$

1차 RC 루프필터에서의 저항 성분이 제안된 구조에서 식(3)과 같이 표현된다. 따라서 유효 저항은 T_{ref} 에 비례하고 C_{LF} 에 반비례한다. 유효 저항은 공정/전압 변화에 둔감한 기준주파수의 주거나 커패시터 용량에 의해 결정되므로, 기존 저항이 공정/전압 변화에 의해 발생할 수 있는 위상여유 값의 변화에 의한 불안한 동작을 방지 할 수 있다. 일반적으로 커패시터는 저항에 비해 공정 변화에 거의 영향을 받지 않는다.

2.2. 전달함수 및 잡음 해석

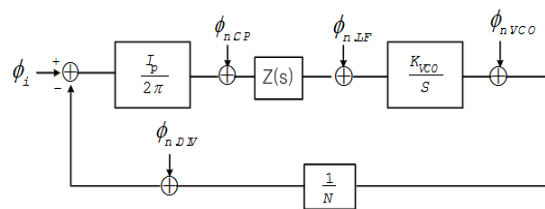


그림 4. 제안된 위상고정루프의 선형 모델
Fig. 4 Linear model of proposed PLL

제안한 구조에서 루프필터의 전달함수 $Z_{eff}(s)$ 는 식 (3)을 이용하여 다음과 같이 정의 할 수 있다.

$$Z_{eff}(s) = \left(\frac{T_{ref}}{2C_{LF}} + \frac{1}{sC_{LF}} \right) \quad (4)$$

그리고 루프필터의 전달함수를 이용하여 폐 루프 전달함수를 구하면 다음과 같다.

$$\frac{\phi_o}{\phi_i} = \frac{\frac{I_p}{2\pi} \frac{K_{VCO}}{s} \left(\frac{T_{ref}}{2C_{LF}} + \frac{1}{sC_{LF}} \right)}{1 + \frac{1}{N} \frac{I_p}{2\pi} \frac{K_{VCO}}{s} \left(\frac{T_{ref}}{2C_{LF}} + \frac{1}{sC_{LF}} \right)} \quad (5)$$

제안된 구조의 선형 잡음 모델이 그림 4.에 나타나 있다. 각 블록에 대한 잡음의 영향은 블록 출력에서의 잡음 원인으로 나타 낼 수 있다. 다양한 잡음 원에 대한 전달 함수를 $Z_{eff}(s)$ 를 이용하여 나타내면 다음과 같다.

$$\frac{\phi_o}{\phi_{n.CP}} = \frac{\frac{K_{VCO}}{s} Z(s)}{1 + \frac{1}{N} \frac{I_p}{2\pi} \frac{K_{VCO}}{s} Z(s)} \quad (6)$$

$$\frac{\phi_o}{\phi_{n.LF}} = \frac{\frac{K_{VCO}}{s}}{1 + \frac{1}{N} \frac{I_p}{2\pi} \frac{K_{VCO}}{s} Z(s)} \quad (7)$$

$$\frac{\phi_o}{\phi_{n.VCO}} = \frac{1}{1 + \frac{1}{N} \frac{I_p}{2\pi} \frac{K_{VCO}}{s} Z(s)} \quad (8)$$

$$\frac{\phi_o}{\phi_{n.DIV}} = \frac{\frac{I_p}{2\pi} \frac{K_{VCO}}{s} Z(s)}{1 + \frac{1}{N} \frac{I_p}{2\pi} \frac{K_{VCO}}{s} Z(s)} \quad (9)$$

제안된 위상고정루프의 주요 회로 잡음 전달 특성은 기존의 위상고정루프와 같은 전달 특성을 가진다. 분주기, 전하펌프와 루프 필터의 잡음은 저역통과 특성을 가지며 전압제어 발진기는 고역통과 특성을 가진다.

III. 회로 설계

3.1. 전하 펌프 제어기(Charge Pump Controller)

전하 펌프 제어기는 그림 5와 같은 구조로 이루어져 있다. UP, DN신호를 입력으로 받아 V_{con} 전압을 변화시킨다. UP 또는 DN신호 중 하나라도 high 값을 가질 때, V_{con} 전압이 증가 하고, UP 또는 DN 신호 모두가 low일 때, V_{con} 전압이 감소한다. V_{con} 전압은 전원 전압이 1.8V 일 때, 0.6~1.2V의 값을 가지므로 CP2를 완전히 off 시키지 않는다.

락 이전의 과도 상태에서 UP, DN 신호 펄스폭은 기준신호 매 주기마다 변화하므로 V_{con} 전압 또한 변화하고, CP2의 전류량 또한 지속적으로 변화한다. 루프가 고정되면 UP, DN 펄스폭은 매우 작은 값을 가지고 V_{con} 전압 또한 고정된다.

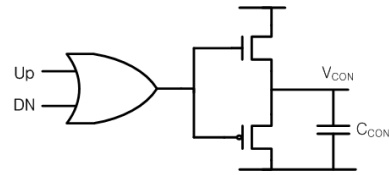


그림 5. 전하 펌프 제어기 회로도
Fig. 5 Charge-Pump controller circuit

3.2. 전하 펌프(Charge Pump)

본 논문에서 사용된 전하펌프가 그림6, 그림7에 나타나 있다.

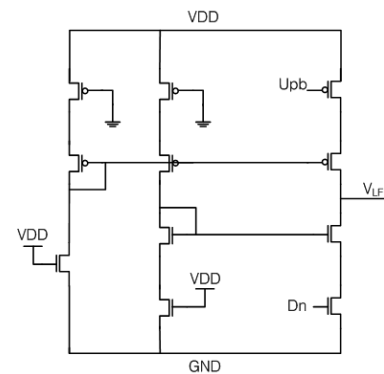


그림 6. CP1의 회로도
Fig. 6 CP1 circuit

Upb 또는 Dn 신호가 인가되는 트랜지스터가 루프필터에 직접 연결되지 않도록 하여 클록 피드스루(Feedthrough) 등을 최소화 하여 스퍼(spur)의 크기를 줄이고 잡음 특성을 개선하였다. 루프 필터로 공급되는 전류의 크기는 전류 미러 회로의 트랜지스터의 크기에 의해 결정된다.

CP2의 경우 CP1과 거의 유사한 구조이고, F_{ref} 의 전압 레벨에 따라 CP2의 on-off가 결정된다. 그리고 V_{con} 의 전압 크기에 따라 CP2의 전류량은 유동적으로 변화하게 된다.

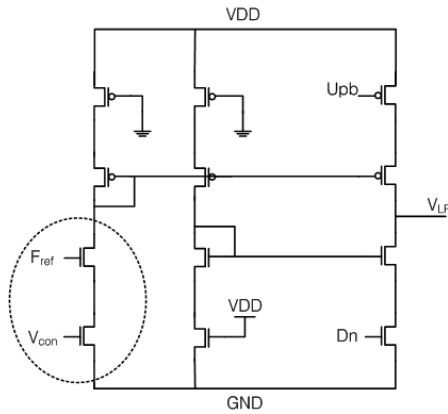
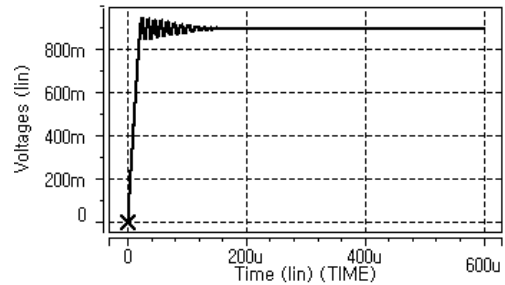


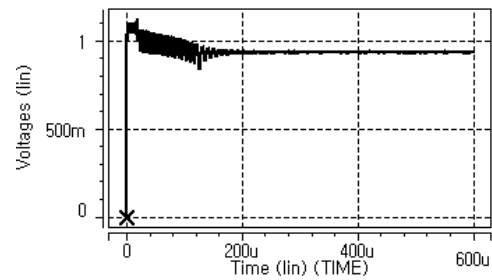
그림 7. CP2의 회로도
Fig. 7 CP2 circuit

IV. 시뮬레이션

제한한 위상고정루프는 15.625MHz의 입력주파수를 가지고 출력 주파수는 1GHz이며, 분주비는 64이다. 이 회로의 변수 값은 $CP_1=10\mu A$, $CP_2=2\mu A$, $C_{LF}=100pF$, $C_{con}=10pF$, $K_{vco}=330MHz/V$ 이며, 0.18 μm CMOS 공정을 사용하여, HSPICE로 시뮬레이션 하였다. 그림 8.은 온도를 상온으로 공정 변화가 발생하지 않은 조건(TT)으로 HSPICE 시뮬레이션 결과이며 전압제어발진기(VCO)의 입력단인 V_{LF} 가 160 μs 에서 고정이 되는 것을 확인할 수 있다.



(a)



(b)

그림 8. (a) 루프필터 출력파형 (V_{LF})
(b) 전하펌프제어기 출력파형 (V_{con})
Fig 8. (a) Loop-Filter output waveform
(b) Charge Pump controller output waveform

그림 9는 제안된 위상고정루프가 PVT 변화에 민감하지 않음을 보여주기 위해 SS/FF 조건으로 HSPICE 시뮬레이션 결과이다. 그림 9. (a)는 SS조건으로 시뮬레이션 결과이며 전압제어발진기의 입력단인 V_{LF} 가 200 μs 에서 고정이 됨을 보여주고 있다. 그림 9. (b)는 FF조건으로 시뮬레이션 결과이며 전압제어발진기의 입력단인 V_{LF} 가 280 μs 에서 고정이 됨을 보여주고 있다. 이는 공정 변화에 따라 위상고정루프의 안정도가 떨어져 위상고정에 필요한 시간이 정상적인 경우보다 길어지게 되었다. 그러나 그림 8의 시뮬레이션 결과가 보여주듯이 제안한 구조는 공정변화에도 정상적으로 동작함을 보여주고 있다.

추가된 전하펌프에 위한 전력소모는 위상 고정기 후에는 전체 전력소모에 거의 영향을 주지 못한다. 또한 추가된 전하펌프에 의한 레이아웃에 필요한 면적은 저항에 필요한 면적과 거의 같다.

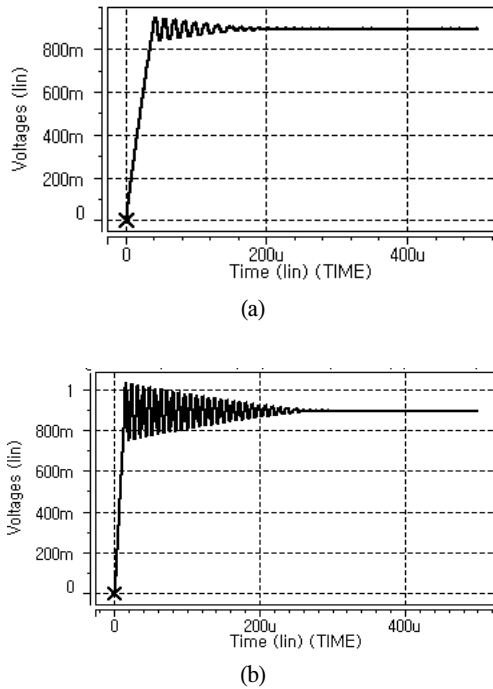


그림 9. (a) SS 조건으로 시뮬레이션 했을 때, 루프필터 출력파형 (V_{LF}) (b) FF 조건으로 시뮬레이션 했을 때, 루프필터 출력파형 (V_{LF})

Fig 9. Loop filter waveform result from condition of (a) SS, (b) FF

V. 결 론

기존 위상고정루프의 루프필터에서 저항을 제거하고, 기준 주파수 스퍼리를 줄이기 위한 여러 가지 구조들이 연구 되고 있다. 본 논문에서는 PVT에 민감하여 루프 안정성에 크게 영향을 미치는 저항을 전하펌프 제어기를 사용하여 전하펌프가 RC 루프필터 구조에서의 저항의 역할을 대체하도록 하여, 공정 변화에도 안정하게 동작할 수 있는 새로운 구조의 위상고정루프를 설계하였다. 루프 필터에서 가장 큰 잡음원인 저항을 제거하여 잡음 특성도 개선할 수 있다. 제안된 구조는 1.8V 0.18 μ m CMOS 공정을 이용하였고, HSPICE 시뮬레이션을 통해 동작을 확인 했다.

참고문헌

- [1] Floyd M.Gardner, "Charge-Pump Phase- Lock Loop", IEEE J. Tran, on Communications, vol. COM-28, nO,11, pp.1849-1858, Nov. 1980.
- [2] T. C. Lee and B. Razavi, "A stabilization technique for phase-locked frequency synthesizers," IEEE Journal of solid-state circuits, vol. 38, no. 6, pp. 888-894. Jun. 2003.
- [3] 박중윤, 외 2명, "전하펌프 제어기를 사용한 저항이 없는 위상고정루프," 2012년 대한전자공학회 하계 학술대회.
- [4] A Maxim et al., "A low-jitter 125-1250-MHz process-independent and ripple-poleless 0.18-um CMOS PLL based on a sample-reset loop filter," IEEE J. Solid-State Circuit, vol. 36, no. 11, pp.1673-1683, Nov. 2001
- [5] J. G Maneatis et al., "self-biased, High-bandwidth, low-jitter 1-to-4096 multiplier clock-generator PLL," IEEE J. Solid-State Circuits, vol. 38, no. 11, pp. 1795-1803, Nov. 2003
- [6] H. T Ahn et al., "A Low-jitter 1.9-V CMOS PLL for UltraSPARC Microprocessor Applications," IEEE J. Solid-State Circuit, vol. 35, no. 3, March 2000
- [7] Jaeha Kim, Jeong-Kyoum Kim, Bong-Joon Lee, Namhoon Kim, Deog-Kyoon Jeong and Wonchan Kim, "A 20-GHz Phase-Locked Loop for 40-Gb/s Serializing Transmitter in 0.13-um CMOS", IEEE Journal of Solid-State Circuits, Vol. 41, No. 4, April 2006
- [8] Y. Song, Z. Ignjatovic, "A High- performance PLL with a low-power active switched-capacitor loop filter," IEEE Circuits & Systems-II, vol. 58, no. 9, Sept. 2011.

저자소개



최혁환 (Hyek-Hwan Choi)

1979년 : 경북대학교 전자공학과
(공학사)

1990년 : 아리조나 주립대
전기공학과 (공학석사)

1993년 : 아리조나 주립대 전기공학과 (공학박사)

1994년~현재 : 부경대학교 전자컴퓨터정보통신
공학부 교수

※ 관심분야 : RF 집적회로 설계, 아날로그 IC설계



박종윤 (Jong-Youn Park)

2012년 : 부경대학교 전자공학과
학사 졸업

2012년 : 부경대학교 전자공학과
석사 입학

※ 관심분야 : PL