
저전압용 전압제어발진기의 설계

이종인* · 정동수** · 정학기** · 윤영남*** · 이상영****

Design of the Voltage Controlled Oscillator for Low Voltage

Jong-in Lee* · Dong-soo Jung** · Hak-kee Jung** · Young-nam Yoon*** · Sang-young Lee****

요 약

본 논문에서는 WCDMA(Wide Code Division Multiple Access) 시스템 사양을 만족시키는 주파수 합성기 블록 중 위상잡음 및 전력소모의 최적 설계가 필요한 저전압 LC-VCO (voltage controlled oscillator)의 설계를 제안 하였다. 최적 설계를 위해 LC-tank의 손실성분을 보상하는 MOS트랜지스터의 전달컨덕턴스와 인덕턴스 평면에 여유이득 라인과 튜닝 범위 라인을 그어 설계 가능한 영역 내에서 위상잡음이 최소가 되는 파라미터 값을 구하였다. 모의실험 결과 위상잡음 특성은 1MHz오프셋에서 -113dBc/Hz였다. 최적 설계된 LC-VCO는 0.25um CMOS 공정을 이용하여 제작되었다. 칩 측정결과 LC-VCO의 위상잡음 특성은 1MHz 오프셋에서 -116dBc/Hz였다. 전력소모는 15mW였으며, Kvco는 370MHz/V였다.

ABSTRACT

The design of low voltage LC-VCO(LC Voltage Controlled Oscillator) has been presented to optimize the phase noise and power consumption for the block of frequency synthesis to satisfy WCDMA system specification in this paper. The parameters for minimum phase noise has been obtained in the region of design, using the lines of the tuning range and the excess gain in the plane of the inductance and the transconductance of MOS transistor to compensate the loss of LC-tank. As a result of simulation, the phase noise characteristics is -113dBc/Hz for offset of 1MHz. The optimum designed LC-VCO has been fabricated using the process of 0.25um CMOS. As a result of measurement for fabricated chip, the phase noise characteristics is -116dBc/Hz for offset of 1MHz. The power consumption is 15mW, and Kvco is 370MHz/V.

키워드

WCDMA, 전압제어 발진기, 여유이득, 위상잡음

Key word

WCDMA, VCO, Excess gain, Phase noise

* 정회원 : 군산대학교 전자공학과 (교신저자, jilee@kunsan.ac.kr)

접수일자 : 2012. 06. 05

** 정회원 : 군산대학교 전자공학과

심사완료일자 : 2012. 07. 30

*** 정회원 : 대한상공회의소 인력개발사업단

**** 정회원 : 군산대학교 전자공학과 박사과정

I. 서론

휴대용 단말장치는 크게 고주파 전단부와 기저대역 처리부로 나눌 수 있으며 점차 소형경량화, 저가화, 저전력화 추세로 개발되고 있다. CMOS 집적회로 기술은 고주파 특성 면에서 GaAs, 또는 바이폴라 집적회로보다 불리하지만, 채널길이의 축소로 인한 차단 주파수의 향상으로 대부분의 단말장치가 사용하는 1~5GHz의 대역에서 실용화될 것으로 예상되고 있으며 CMOS 기술을 이용한 저전력 고주파 전단부 회로설계는 가격 경쟁력을 위한 대세라 할 수 있다.

고주파 전단부 가운데 주파수합성기는 고주파 수신부에서 소모하는 전력소모의 1/3~1/4에 이를 정도로 전력소모가 큰 블록이다. 전력소모를 줄이면서도 세틀링 시간 및 위상잡음 특성이 저하되지 않도록 최적 설계하는 저전력 회로설계 기술이 주파수합성기 블록에 적용되어야 한다.

CMOS 공정이 발달함에 따라, 선폭이 좁아지면서 100nm 이하의 CMOS 공정에서 Sub-1V의 전원전압을 사용할 수 있게 되었다. 주파수합성기는 전압제어 발진기, 차지펌프와 같은 아날로그 블록과 분주기, 위상 주파수 비교기 등 디지털 블록으로 구성된다. 이러한 구성블록들 중에, 디지털 블록은 전력소모를 낮출 수 있는 반면, 아날로그 블록은 해결해야 할 기술적 문제점들을 안고 있다. 특히 전압제어발진기는 전원전압이 Sub-1V로 낮아질 때, 발진파형의 진폭 또한 감소하여 위상 잡음 특성을 저하시키게 된다. Sub-1V의 저전압 공급시 위상잡음 특성의 저하를 막기 위해 전력소모와 위상잡음의 trade-off 관계를 이용한 최적 설계기술이 필요하다[1].

본 논문에서는 WCDMA 시스템 사양을 만족시키는 주파수합성기 블록중 위상잡음 및 전력소모의 최적설계가 필요한 LC-VCO(voltage controlled oscillator)가 설계되며 최적설계를 위한 핵심내용은 LC-tank의 손실성분을 보상하는 MOS 트랜지스터의 전달컨덕턴스와 인덕턴스 평면에 이득여유 라인과 튜닝범위 라인을 그어 설계 가능한 영역 내에서 위상잡음이 최소가 되는 인덕턴스 값을 선택하는 것이다.

본 논문의 구성은 2장에서는 Sub-1V 저전압용 LC-VCO의 설계필요성과 위상잡음과 전력소모 간 최적설계 방법을 제시하고, 3장에서는 최적설계된 Sub-1V 저전압용 LC-VCO의 레이아웃 및 측정결과를 통해 설계

내용을 검증한다.

II. Sub-1V의 저전압 LC-VCO의 위상잡음과 전력소모 간의 최적설계

2.1. Sub-1V 저전력 LC-VCO 설계의 필요성

그림 1은 WCDMA의 고주파 수신부 블록도이다. 수신된 미약한 신호는 저잡음 증폭기(LNA)에서 증폭되며, 주파수 혼합기(Mixer)에서 주파수가 하향 변환된다. 이때 주파수를 하향 변환하도록 주파수 혼합기에 국부발진 신호가 주파수합성기(Rx PLL)를 통해 인가되며, 이 발진신호는 전압제어발진기(Rx VCO)에서 공급된다.

주파수합성기의 블록 중 가장 중요한 블록은 전압제어발진기이며, 전압제어발진기의 위상잡음 및 전력소모 특성이 전체 주파수 합성기의 설계스펙에 그대로 반영된다[2].

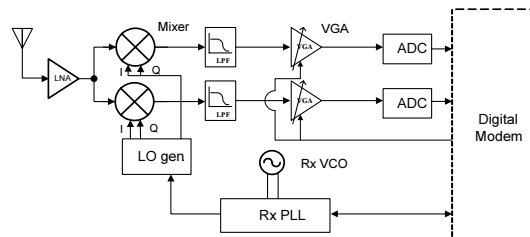


그림 1. WCDMA 시스템에서의 RX 블록도
Fig. 1 RX block of WCDMA System

Sub-1V로 공급 전원전압이 낮아지면, 발진기의 발진 진폭 또한 줄어들게 되어 위상잡음 특성이 크게 저하되는 문제점이 발생한다. 발진의 폭이 감소하면 할수록 위상잡음특성은 자승에 비례하여 저하된다. 따라서 Sub-1V 저전압 설계 시 줄어드는 발진진폭에 의한 위상잡음 특성의 저하를 고려하여 전력소모 및 위상잡음의 trade-off 관계 가운데 사양을 만족시키는 최적설계가 필요하다.

고주파에서 응용되는 전압제어발진기는 LC-VCO에 대한 최적설계의 논의는 많이 다루어져 왔다 [2]. 그러나 sub-1V 저전압에서 위상잡음 및 전력소모 간 최적설계에 대한 논의는 매우 적은 실정이다. 그러므로 본 논문에서는 sub-1V 저전압에서 동작하는 WCDMA 시스템 수신단의 주파수 합성기의 블록 중 가장 중요한 전압제어

발진기의 설계사양을 표 1과 같은 조건을 만족하도록 설계하려한다.

표 1. 전압제어발진기 설계사양
Table. 1 Design specification of LC-VCO

내용	WCDM 사양	제안사양
튜닝범위(GHz)	2.11~2.17	1.8~2.4
출력파워(dBm)	0	0
위상잡음(dBc/Hz) at 1MHz	< -110	< -110
전력소모(mW)	< 50	< 17

2.2. 제안된 Sub-1V 저전압 LC-VCO 구조

그림 2(a)는 전통적인 LC-VCO 구조이며, 전력소모 대비 위상잡음 특성이 좋은 구조로 평가받고 있다[3]. 그러나 LC-VCO 구조는 sub-1V 저전압 구조에서 사용 시, 전원전압에서부터 접지까지 연결되는 트랜지스터의 개수가 많아 발진파형의 진폭이 매우 좁아진다는 단점을 갖는다. 발진 진폭을 좀 더 키우기 위해서는 PMOS 래치를 제거하고 꼬리 전류원으로 사용하는 NMOS 트랜지스터를 인덕터에 직접 연결하면 그림 2-2 (b)와 같은 LC-VCO 구조가 되며, PMOS 래치를 제거한 만큼 발진 진폭이 커지게 된다.

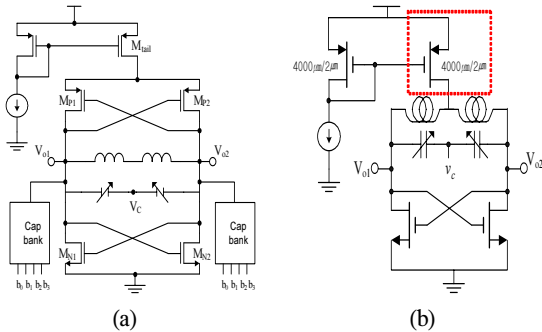


그림 2. (a) 전통적인 LC-VCO 구조
(b) 제안된 Sub-1V LC-VCO의 구조

Fig. 2 (a) The conventional LC-VCO structure
(b) Proposed LC-VCO structure for sub-1V

2.3. 위상잡음과 전력소모 간 최적설계

제안된 그림 2(b)의 LC-VCO 구조에서 위상잡음특성을 향상시키기 위한 최적설계방법은 위상잡음과 튜닝

범위, 여유이득(Excess gain)관계를 이용하면 해결할 수 있다.

발진주파수 및 버랙터의 기생커패시턴스(C_{var})의 값을 고정시키고 인덕터의 기생커패시턴스(C_{ind})와 MOS의 기생커패시턴스(C_{MOS}) 평면에서 튜닝 범위를 지켜야 한다[4].

제안한 그림 2(b)에 대하여 이와 같은 방법으로 얻어진 인덕턴스 값은 $2.2nH$ 이고 MOS 트랜지스터의 폭이 $97\mu m$ 일 때 위상잡음은 $-113.84 dBc/Hz$ 의 가장 낮은 특성을 얻었으며, 위상잡음과 전력소모 간 trade-off 관계를 이용한 최적설계된 LC-VCO의 소자 값 및 이때의 위상잡음과 바이어스 전류 값을 구하면 표 2와 같다.

표 2. 최적 설계된 소자값 및 바이어스 전류값
Table. 2 Device values of the optimized LC-VCO and bias current

소자	소자 값	내용	LC-VCO특성
인덕턴스	$2.2 nH$	바이어스 전류	15mA
버랙터	$500 pF$	여유이득	2
W/L (N_1, N_2)	$100 \mu m / 0.25 \mu m$	위상잡음	$-117dBc/Hz$ (@1MHz offset)
W/L ($P-tail$)	$100 \mu m / 0.25 \mu m$		

2.4. 시뮬레이션 툴을 이용한 검증

앞 절에서 살펴본 대로 LC-VCO의 전력소모 대비 위상잡음에 대한 최적설계를 얻기 위해서는 먼저 인덕터 및 버랙터의 정확한 모델링 및 측정이 선행되어야만 튜닝범위 및 위상잡음 특성을 시뮬레이션하고 결과를 예측하는데 중요하다.

스파이럴 인덕터 모델로부터 인덕터의 Q는 식(1)과 같이 얻어진다[5].

$$Q = \frac{\omega L}{R_s} \cdot \frac{R_p(1 - R_s^2/L - \omega^2 LC_p)}{R_p + [1 + (\omega L/R_s)^2]R_s} \quad (1)$$

시뮬레이션을 위해 스파이럴 인덕터의 탑 메탈간의 턴 간격 및 턴 폭을 각각 $5\mu m$ 와 $15\mu m$ 로 고정하고 턴 수를 2~5턴까지 증가시켜서 인덕터의 모델의 파라미터 값들은 다음과 같다.

$$L = 0.5 \sim 2.7 nH, R_s = 6.4 \sim 25 \Omega,$$

$$C_{ox} = 55 \sim 170 fF, R_{sub} = 7 \sim 12 \Omega,$$

$$Q = 7.5 \sim 8.5$$

MOS의 커패시턴스를 튜닝하는 MOS 버랙터는 선형 특성이 좋고, 튜닝 범위가 넓어 많이 사용하는 구조이다 [6]. 모델링된 MOS 버랙터의 시뮬레이션 결과가 그림 3에 나타나 있다. 그림 3에서 보는 바와 같이 인덕터(L) 값이 커질수록 튜닝 범위는 더욱 넓어졌으나, 버랙터의 이득은 2.3~2.5로 비교적 일정한 상수 값을 갖는 것을 확인할 수 있다.

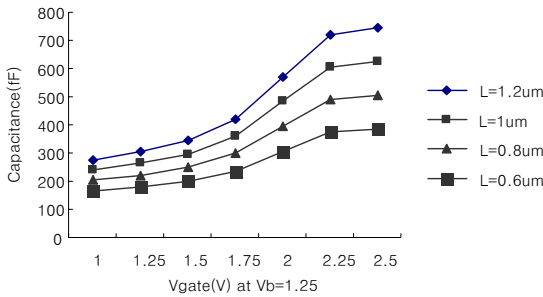


그림 3. MOS 버랙터의 시뮬레이션 결과
Fig. 3 Simulation results for MOS varactor

2.5. 발진과정 및 시뮬레이션

인덕터와 버랙터의 모델링을 통해 정확한 소자 값을 얻은 다음, LC 공진부 설계를 통해 발진조건을 얻을 수 있다. 그림 4(a)는 LC 공진 회로의 임피던스 값을 실수부와 허수부로 나누어 보여준다. 공진은 허수부가 제로일 때 일어나며, 공진주파수 2.1GHz 부근에서 임피던스 값은 1.1kΩ 인 것을 확인할 수 있다.

그림 4(b)는 임피던스 값을 dB 스케일로 보여준다. 발진조건은 식(2)에서 여유이득(Excess gain)에 대한 식으로 보여진다.

$$\text{Excess gain} = g_m / (g_L + g_{var}) \quad (2)$$

여기서 g_m, g_L, g_{var} 는 각각 MOS 트랜지스터의 전달컨덕턴스, 인덕터에 의한 손실성분, 버랙터에 의한 손실성분을 나타낸다. 발진조건은 병렬 LC 공진회로의 손실성분 보다 이를 보상하는 g_m 값이 더 커야하며 여유이

득이 1보다 큰 조건에서 발진하게 된다.

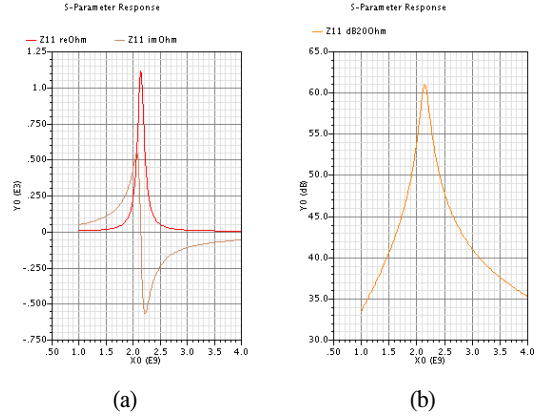


그림 4. LC-tank 시뮬레이션 결과
(a) Z_{11} (real) & Z_{12} (imaginary) (b) Q(quality factor)
Fig. 4 Simulation results of LC-tank
(a) Z_{11} (real) & Z_{12} (imaginary) (b) Q(quality factor)

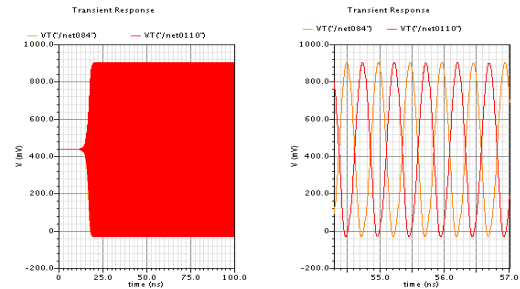


그림 5. 시간영역에서 LC-VCO의 시뮬레이션 결과
Fig. 5 Simulation result of LC-VCO in time domain

그림 5와 그림 6은 그림 2(b)의 LC-발진기의 시뮬레이션 결과이다. 그림 5는 시간 영역에서 시뮬레이션한 파형을 보여주고 있으며, 발진파형의 크기는 900mV_{p-p} 값을 갖는다. 그림 6은 주파수 영역에서 시뮬레이션한 결과를 보여주고 있으며, 발진 주파수는 2.1GHz임을 알 수 있다.

이상의 결과로부터 WCDMA 시스템 수신단의 전압 제어 발진기 설계스펙과 동일함을 확인할 수 있다.

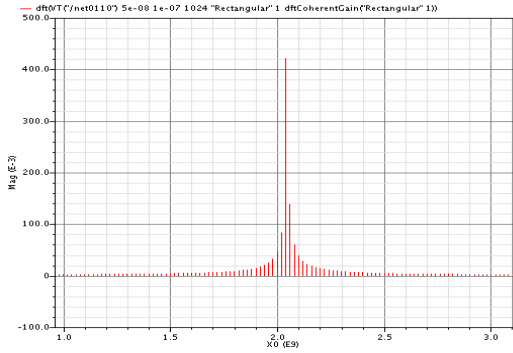


그림 6. 주파수 영역에서 LC-VCO 시뮬레이션 결과
Fig. 6 Simulation result of LC-VCO in frequency domain

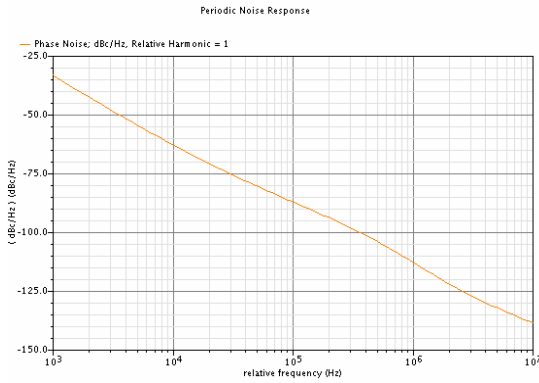


그림 7. 위상잡음 시뮬레이션 결과.
Fig. 7 Simulation result of phase noise.

그림 7은 RF 스펙터 시뮬레이션 툴을 이용하여 위상 잡음 특성을 구한 결과이다. 100KHz 오프셋 및 1MHz 오프셋에서 위상잡음 특성은 각각 -87dBc와 -113dBc의 값을 갖는다.

III. Sub-1V LC-VCO 레이아웃 및 측정 결과

그림 8은 하이닉스 0.25 μ m CMOS 공정을 이용하여 레이아웃 한 결과이다. 인덕터는 Q가 높은 팔각형 모양의 나선형 인덕터를 사용하였고 버랙터는 n-well 위의 n+를 갖는 전통적인 MOS 버랙터를 사용하였다. 전

원단자와 접지단자 사이에는 60pF 은 커패시턴스를 달아주어 전원 노이즈 및 기판 노이즈에 대한 영향을 줄였다.

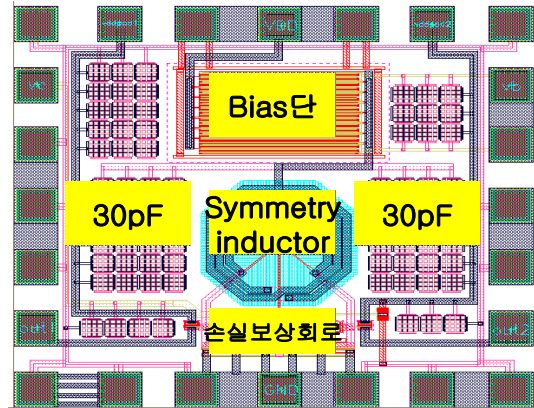


그림 8. 레이아웃 도면
Fig. 8 Layout

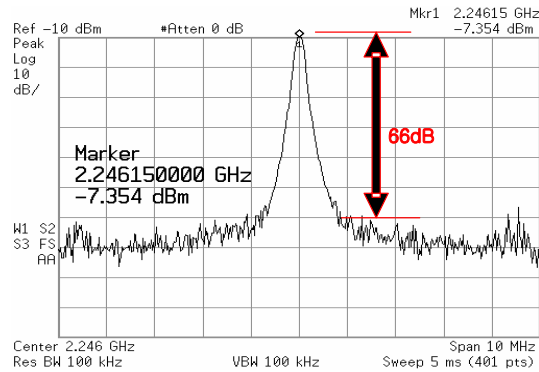


그림 9. 스펙트럼 분석기를 이용한 LC-VCO 측정결과
Fig. 9 The measured result using spectrum analyzer

그림 9는 제작된 LC-VCO의 스펙트럼 분석기를 이용하여 측정된 결과를 보여준다.

위상잡음은 식 (3)과 같이, 스펙트럼 분석기로 측정된 결과에서 얻어진다. 센터 주파수에서 1MHz 오프셋만큼 떨어진 곳의 신호와 센터 주파수와 신호크기 차이에 해상도대역폭(resolution bandwidth)을 더한 값이 위상잡음 값이 되며, 측정된 위상잡음은 15mW 전력소모 시 1MHz 오프셋에서 -116dBc/Hz였다. 이러한 실험 결과와 그림 9의 측정결과와 잘 일치된다.

$$\begin{aligned} \text{Phase noise} &= -66\text{dB} - 10 \log RBW \\ &= -116\text{dBc}/\text{Hz} \end{aligned} \quad (3)$$

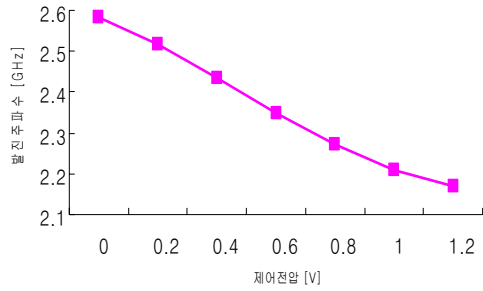


그림 10. LC-VCO의 튜닝범위 특성
Fig. 10 Tuning range characteristics of LC-VCO

그림 10은 제어전압의 변화에 따른 주파수 튜닝 범위 특성을 보여주고 있다. 제어전압의 변화에 따른 발진주파수의 변화율을 나타내는 K_{vco} 는 $370\text{MHz}/\text{V}$ 였다.

표 3. 제작된 LC-VCO의 특성과 기존 논문과의 비교
Table. 3 The comparison between the fabricated LC-VCO and LC-VCO in the existing paper

Ref.	공정	공급 전압	발진 주파수	위상 잡음	튜닝 범위	전력 소모
	μm	V	GHz	dBc/Hz	MHz	mW
[2]	0.35	2.5	2.4	-120	450	10.0
[7]	0.35	3.0	2.0	-120	180	22.6
[8]	0.18	1.8	2.4	-115	393	7.20
This work	0.25	1.0	2.2	-116	370	15.0

표 3은 기존의 발표된 LC-VCO와 제작된 저전압용 LC-VCO의 위상잡음 특성을 비교한 결과이다. 본 논문에서 제안한 Sub-1V 저전압 전원에서 제작된 $0.25\mu\text{m}$ CMOS 공정의 LC-VCO는 전력소모 및 위상잡음 특성이 기존의 LC-VCO와 큰 차이가 없음을 확인할 수 있었다.

IV. 결 론

Sub-1V용 W-CDMA 응용을 위한 n-core p-tail LC-VCO의 저 위상잡음을 위한 최적설계가 제안되었다. 최적설계방법은 MOS 트랜지스터의 폭과 인덕턴스 평면에, 튜닝범위 라인과 여유이득 라인을 그어 위상잡음 값이 최소 값을 갖는 인덕턴스 값을 선택하는 방법이다. 또한 바이어스 전류를 반복해 가면서 위상잡음 특성을 체크하여, 1mA 이상 증가시켜도 위상잡음이 1dBc 이상 개선되지 않는 영역에서 LC-VCO는 최적설계 되었다. Hajimiri 위상잡음 식을 이용한 매뉴얼 분석은 실제 시뮬레이션 결과와 잘 일치하였으며, 제안한 최적설계방법에 의해 진행된 LC-VCO의 매뉴얼 설계결과와 위상잡음 특성은 1MHz 오프셋에서 $-113.8\text{dBc}/\text{Hz}$ 였고, 시뮬레이션 결과는 $-113\text{dBc}/\text{Hz}$ 였다.

최적설계된 LC-VCO는 하이닉스 $0.25\mu\text{m}$ CMOS 공정을 이용하여 제작되었으며, PCB위에 칩을 붙여놓고 와이어 본딩하여, 스펙트럼 분석기를 이용 위상잡음 특성 결과를 얻었다. 칩 측정결과 LC-VCO의 위상잡음 특성은 1MHz 오프셋에서 $-116\text{dBc}/\text{Hz}$ 였다. 전력소모는 15mW 였으며, K_{vco} 는 $370\text{MHz}/\text{V}$ 였다.

향후 과제로는 Sub-1V LC-VCO 뿐만 아니라, Sub-1V 차지펌프 회로설계에 대한 연구가 진행되어, Sub-1V에서 동작하는 주파수합성기 설계에 대한 연구가 필요하다.

참고문헌

- [1] Masoud Zargari et al, "A 5-GHz CMOS Transceiver for IEEE 802.11a Wireless LAN Systems", *IEEE J. Solid-State Circuits*, pp.1688 -1694, Dec. 2002.
- [2] D. Ham, et al, "Design and Optimization of a Low Noise 2.4GHz CMOS LC VCO with Integrated LC Tank and MOSCAP Tuning," *Proc. ISCAS*, vol. 1, pp. 331-334, May 2000.
- [3] A. Hajimiri and T. H. Lee, "Design Issues in CMOS Differential LC Oscillator", *IEEE J. Solid-State Circuits*, vol. 34, pp. 717-724, May 1999.
- [4] 윤영남, "저전력 주파수 합성기의 설계", 군산대학교 석사학위논문, 2007. 2.

- [5] H. Lee et al, "A $\Delta\Sigma$ Fractional-N Frequency Synthesizer Using a Wide-Band Integrated VCO and a Fast AFC Technique for GSM/GPRS/WCDMA Applications," *IEEE J. Solid-State Circuits*, pp. 1164-1169, July 2004.
- [6] R. L. Bunch, et al, "Large-signal Analysis of MOS Varactors in CMOS LC VCOs", *IEEE J. Solid-State Circuits*, vol. 38, pp.1325-1332, Aug. 2003.
- [7] Y. Kao and M. Hsu, "Theoretical Analysis of Low Phase Noise Design of CMOS VCO," *IEEE Microwave and Wireless Components Letters*, pp. 33-35, Jan. 2005.
- [8] T. Lin, et al, "A Low Power 2.2~2.6GHz CMOS VCO with a symmetrical spiral inductor," *Proc. IEEE Int. Symp. Circuits Syst.*, pp.641-644. 2003.



이상영(Sang Young Lee)

1979. 2 군산대학교 전자공학과
(공학사)
1983. 2 전북대학교 전자공학과
(공학석사)

2010. 8 ~ 현재 군산대학교 박사과정
2002 ~ 2004 (주) 광전자
2005 ~ 2010 (주) 삼성SDI
2010 ~ 현재 (주)실리콘 웨스
※관심분야: Display system, 반도체소자 응용

저자소개

이종인(Jong-In Lee)

한국정보통신학회 논문지
제15권 제6호 참조

정동수(Dong-Soo Jeong)

한국정보통신학회 논문지
제15권 제6호 참조

정학기(Hak-Kee Jung)

한국정보통신학회 논문지
제15권 제6호 참조



윤영남(Young Nam Yoon)

1981. 2 조선대학교 전자공학과
(공학사)
2007. 2 군산대학교 전자공학과
(공학석사)

1985. 8 ~ 1996. 12 (주)KEC
1997. 1 ~ 현 대한상공회의소 인력개발사업단
※관심분야: 메카트로닉스