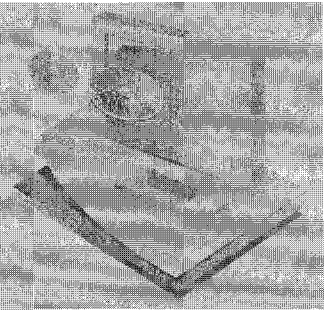


ZnO 칩 바리스터 특성과 적용 분야



홍연우 선임연구원 (한국세라믹기술원 바이오IT융합센터)

1. 서론

현대를 살아가는 요즘 만약 전자 제품이 없다면 어떻게 될까? 휴대폰이 사라지고 PC가 사라진다면? 휴대폰이나 노트북 PC, MP3 player, TV 등 다양한 종류의 전자기기는 생활에 없어서는 안 될 필수품으로 자리매김하였다. 이러한 추세를 반영하듯이 휴대폰을 비롯한 다양한 전자기기의 성능이 갈수록 고기능화되고 소형화되기 시작하면서 그로 인한 다양한 문제가 발생할 가능성이 커지고 있다. 다양한 전자기기간의 Interface가 늘어나고 기능이 다양해짐에 따라 회로상의 부품의 집적도는 높아 질 수밖에 없으므로 인한 제한된 회로 내에서의 노이즈 및 ESD 관련 대책이 이슈가 되고 있으며 그런 흐름과 더불어 ESD 대책소자의 수요도 계속 늘어나고 있다. 경박단

소, 고속 데이터 전송, Wi-Fi 등의 다기능을 요구하는 소비자의 요구에 맞추기 위해서는 향후에도 ESD 대책소자의 고기능화, 복합화, 소형화가 지속적으로 필요하다. 현재까지 나온 부품들 중에 가장 대표적인 ESD 대책소자는 TVS 다이오드 (Transient Voltage Suppression Diode)와 ZnO 칩 바리스터 (Chip Varistor)이다 [1]. 이 두 제품은 시장을 공유하고 있기 때문에 서로 경쟁관계에 있다. 여기서는 ZnO 칩 바리스터가 TVS 다이오드와 경쟁하기 위해서 해결해야 할 물성의 제어와 이를 통한 제품개발, 그 시장 동향과 기술개발 동향에 대하여 살펴보고자 한다. 그림 1에는 ESD 대책소자로 널리 사용되고 있는 다양한 ZnO 칩 바리스터 제품을 보여주고 있다 [1].

2. ZnO 바리스터의 특성

ZnO 칩 바리스터 (Varistor : variable resistor의 합성어)는 비선형 전류-전압 특성을 갖는 반도체 가변저항소자로 순간적인 전압 동요를 1 ns 이내에 감지하고 제한시키는 동작을 제품의 파괴 없이 반복적으로 수행하는 전자 세라믹 부품이다 [1-13]. 기능적으로 바리스터는 Back-to-back 제너 다이오드 (Zener diode)와 같으며, 회로나 피보호 부품과 병렬로 연결하여 회로 혹은 피보호 부품을 정전기 (ESD; Electro-Static Discharge)나 전압 썬지 (Surges)로부터 보호한다 [2-4]. ZnO 칩 바리스터의 재료로는 ZnO-Bi₂O₃에 각종 첨가제 (Sb₂O₃, Mn₃O₄, Co₃O₄, NiO, Cr₂O₃,

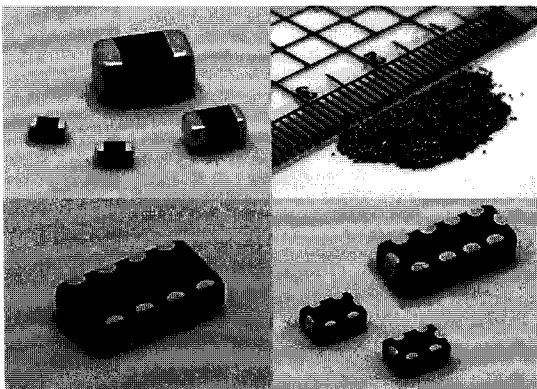


그림 1. 다양한 ZnO 칩 바리스터 제품.

SiO₂, TiO₂ 등)를 소량 첨가한 Bi계 ZnO 바리스터 [1-11]와 ZnO-Pr₆O₁₁에 각종 첨가제 (Co₃O₄, Cr₂O₃, 희토류 산화물 등)를 소량 첨가한 Pr계 ZnO 바리스터로 크게 나눌 수 있다 [12,13]. Bi계의 경우 높은 비선형성, 높은 써지 내량, 낮은 소결온도의 장점이 있는 반면 첨가제의 종류가 많아 복잡한 미세구조를 형성하고 낮은 정전용량 제품일수록 ESD 내성이 낮아지는 단점이 있다. 반면 Pr계는 첨가제의 종류가 적어 보다 단순한 미세구조를 형성하고 ESD 내성이 높다는 장점이 있지만 높은 소결온도, 비교적 낮은 비선형성과 써지 내량을 보인다 [12]. ZnO 칩 바리스터는 특성이 여타 바리스터 재료보다 우수하여 주로 휴대폰, 스마트폰, 디지털 카메라 (DSC), D-TV (LCD, PDP, LED, 스마트), HDMI, DVC, 노트북 PC 등 다양한 전자기기에 사용되고 있다. ZnO 칩 바리스터의 제품 형상은 그림 2에 모식적으로 나타내었다 [1].

2.1 전기적 특성

ZnO 바리스터의 가장 중요한 특성은 비선형 전류-전압 특성 [1-11]으로써, 전형적인 I-V 특성을 그림 3에 나타내었다. 이러한 전기적 특성은 Pre-breakdown, Breakdown 및 Up-turn의 적어도 3 영역으로 구분되며, 각 영역은 다음과 같은 특성을 갖고 있다.

(1) Pre-breakdown region (누설전류 영역)

일반적으로 전류 밀도가 ~10⁻⁴ A/cm² 이하로 주어지는 저전압 영역으로 저항은 10⁹ Ωcm 이상으로

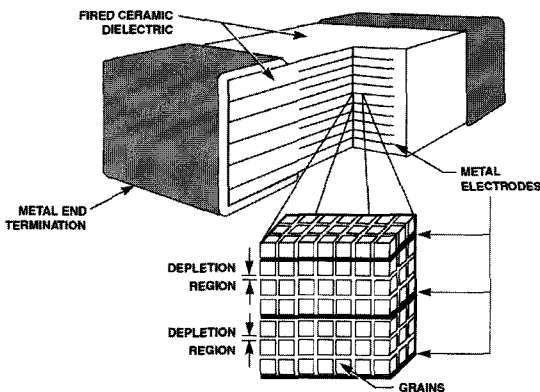


그림 2. ZnO 칩 바리스터의 모식도.

전류-전압 특성은 선형적으로 나타난다. 이 영역의 누설 전류는 온도 의존성이 크며, 온도가 증가할수록 I-V 곡선은 고전류 쪽으로 이동한다. 이 영역은 칩 바리스터를 회로에 장착하여 정상 상태로 사용할 때 전력 손실량을 결정할 뿐만 아니라 작동 전압의 크기를 결정하기 때문에 중요하다. 일반적으로 억셉터 (ex. Li⁺)를 도핑하면 누설전류는 줄어들고, 도너 (ex. Al³⁺, Ga³⁺, In³⁺)를 도핑하면 증가한다 [24]. 이 영역은 천이 금속 (Mn, Co 등)의 영향이 민감하게 나타나는 구간이며, 전류는 Schottky 장벽을 넘는 전자에 의해 지배되는 열전자 방출 (Thermionic emission) 기구 ($J = J_0 \exp(-e\phi_b/kT)$)를 따른다 [8,9].

(2) Breakdown region (항복영역)

비선형 영역의 전기적 성질은 ZnO 바리스터를 평가하는 핵심으로써, 여기에서 소자는 전압의 소폭 증가에 대해 큰 전류를 흐르게 한다. 비선형성의 정도는 $I \propto CV^\alpha$ 로 표현되며, 비선형 I-V 곡선의 평탄도 (비선형 계수 α)로 결정되며, α 값이 클수록 소자의 특성은 우수하다. 비선형 계수는 전류가 변함에 따라 변하며, 온도와 압력에 의해 다소 낮아지고, 전위장벽의 인가전압에 따른 변화율에 의존하며, 깊은 도너 결함이 존재할 때 낮아진다 [4,8,10]. 일반적으로 이 영역은 바리스터 제조 시 소결 온도 및 유지 시간이 증가할수록 ZnO 입성장에 따른 입계 수가 감소하므로 항복 전압은 낮아진다. 한편 Co₃O₄, Mn₃O₄와 같은 천이금속 산화물의 첨가는 높은 비선형성을 얻는데 필수적이며, 다양한 첨가제를 복합 첨가한 계에서

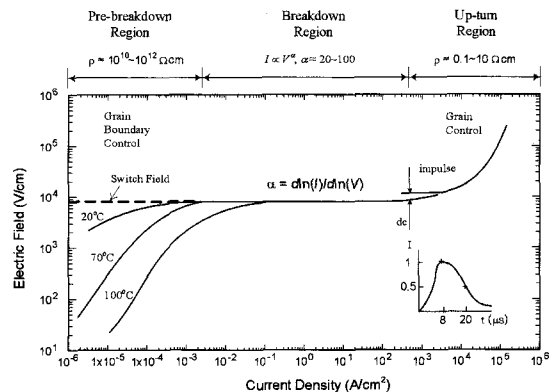


그림 3. ZnO 바리스터의 전류-전압 특성 곡선.



는 단독 첨가일 때보다 비선형성이 더 높아지지만 성분의 함량에는 허용 한계치가 있다. 비선형 영역을 확대시키려면 특히, 고전류 비선형성을 증가시킬 필요가 있다. 이 영역의 특성은 입계와 결정립 사이의 임피던스 차이가 클수록 양호하므로, 선택적인 도너 도핑으로 겹보기 ZnO 결정립 저항을 낮출 필요가 있다. 이 영역에서 바리스터의 전도 기구로는 Hot-electron에 의해 생성된 Hole의 입계 축적 모델이 가장 큰 지지를 받고 있다 [8,10]. 따라서 결합의 종류와 그 농도를 제어하고 보다 높은 입계 전위장벽을 형성하는 것이 우수한 바리스터를 획득하는데 중요하다.

(3) Up-turn region (반전영역)

고전압 인가 아래의 고전류 영역 ($>10^3 \text{ A/cm}^2$)으로써, I-V 특성은 비선형으로부터 다시 저전류 영역에서와 같이 선형적으로 변화하는 구간으로서 전류는 인가전압의 증가에 따라 빠르게 선형적으로 증가한다. 이 영역은 ZnO 결정립의 임피던스에 의한 저항성 Joule열의 소모를 동반하며, 이 영역의 비선형성을 증가시키는 유일한 방법은 ZnO 결정립의 저항을 단순히 감소시키는 것뿐이다. ZnO 결정립의 저항을 일정량의 Al, Ga, In과 같은 도너 이온의 첨가로 낮추어 비선형 영역을 고전류 쪽으로 확대시킬 수 있지만 이와 동시에 Pre-breakdown 영역의 누설 전류도 증가시킨다 [4,10]. 따라서 ZnO 바리스터의 반전영역의 저항을 조절하기 위하여 첨가하는 각종 1가 또는 3가 이온은 그 최적 첨가량이 존재함을 알

수 있다.

표 1에는 ZnO 칩 바리스터가 갖는 전형적인 전기적 특성을 정리하였다 [4]. ZnO 바리스터의 전류-전압 특성은 위에서 살펴보았듯이 누설 전류, 비선형 계수, 항복전압, ZnO 결정립 저항 등으로 평가되며, 이들의 특성은 입계 전위장벽, 도너 농도, ZnO의 평균 입경 및 각종 소량 첨가제의 조합에 의해 영향을 받는다.

2.2 물리화학적 특성

많은 연구자들에 의해 ZnO 바리스터의 비선형성은 입계현상이 밝혀졌으며, 그림 4는 현재까지 ZnO 바리스터의 전기전도 기구에 대하여 일반적으로 받아들여지고 있는 DSB (Double Schottky Barrier) 모델을 적용한 다수 캐리어인 열전자 (Hot electron)에 의한 홀 (Hole) 유도형 항복 모델이다 [8-11].

높은 도핑 농도 ($>10^{17} \text{ cm}^{-3}$), 높은 인가전압 및 전위장벽 때문에 공핍층에는 큰 전기장 ($\sim 1 \text{ MV/cm}$)이 생성된다. 이러한 상태에서 뜨거워진 다수 캐리어 (Hot majority carriers) 전자는 공핍층 내 Valence state와 Acceptor state의 순간적인 이온화 (Impact ionization)가 진행되어 소수 캐리어 (Minority carriers) 홀을 만들어 내고 전하 운반은 강한 비선형성을 갖는 원리이다. 따라서 높은 비선형성을 얻기 위해서는 보다 높은 도핑 농도, 높은 인가전압, 높은 전위장벽을 형성시켜야 할 필요가 있게 된다.

한편 순수한 ZnO는 선형 I-V 저동을 갖는 비화학적 양론적인 n-type 반도체이다. 비선형성을 만들기 위

표 1. ZnO 칩 바리스터의 전형적인 전기적 특성.

물성	값
입계 저항	$\approx 10^{12} \Omega \text{ cm}$
결정립 저항	$\approx 0.1\text{-}10 \Omega \text{ cm}$
Donor 농도 (N_D)	$\approx 10^{17} \text{ cm}^{-3}$
계면 상태밀도	$\approx 10^{13} \text{ cm}^{-2}$
입계당 항복전압 (V_{gb})	$\approx 2\text{-}4 \text{ V}$
바리스터 전압 (V_n)	$\approx 6.8\text{-}120 \text{ V}$
비선형 계수 (α)	$\approx 15\text{-}100$
입계 capacitance (C)	$\approx 0.2 \mu\text{F/cm}^2$
겹보기 비유전 상수	$\approx 200\text{-}1,000$
공핍층 두께 (W)	$\approx 20\text{-}100 \text{ nm}$
에너지 흡수능 (E)	$\approx 0.3 \text{ J (max)}$
응답시간	$< 1 \text{ ns}$
수명	$> 30 \text{ yr}$

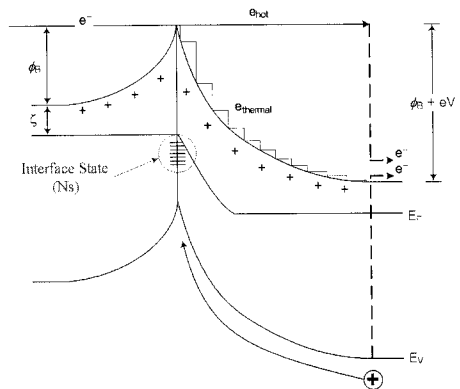


그림 4. ZnO 바리스터의 전기전도 기구 (Mechanism).

해 다양한 첨가제 산화물이 쓰이며 특별히 $\text{Bi}_2\text{O}_3(\text{Pr}_6\text{O}_{11})$ 는 다른 첨가제 산화물과 상호작용하여 원자적 결함들을 결정립과 입계에 형성한다. 공핍층에는 도너형 결함(Donor or donor-like defects)이, 입계 상태(States)에는 억셉터형 결함(Acceptor or acceptor-like defects)이 지배적으로 존재한다. 이와 관련된 결함들로는 $V_{\text{Zn}}, V'_{\text{Zn}}, V_{\text{O}}, V'_{\text{O}}, \text{Zn}'_i, \text{Zn}''_i, D_{\text{Zn}}, D'_i$ 등이 있으며, 계에 도너의 도핑 농도가 $D_{\text{Zn}} \approx 10^{18} \text{ cm}^{-3}$ 이면 입계는 소결 온도에서 냉각하는 동안 $[V_{\text{Zn}}]$ 는 풍부해지고, $[V_{\text{O}}]$ 는 낮아짐에 따라 공핍층에 장벽(장벽높이 $\sim 0.7 \text{ eV}$)을 야기하여 바리스터 특성을 갖게 한다 [4]. 따라서 어떠한 도너 첨가제 산화물을 사용할 것인지 또 그 농도는 얼마나 할 것인지 뿐만 아니라 각 첨가제를 함께 사용할 때 시너지 효과를 얻을 수 있는 지 등에 대한 구체적이고도 체계적인 연구가 있을 때 가장 우수한 바리스터 특성을 갖는 제품을 얻을 수 있을 것이다.

2.3 미세구조 제어

ZnO 칩 바리스터의 미세구조는 조성에 따라 Bi_2O_3 를 첨가한 Bi계와 Pr_6O_{11} 을 첨가한 Pr계로 크게 나뉘는데 각각의 전형적인 미세구조는 그림 5에 나타내었다. 보통 ZnO 평균입경은 2~10 μm 정도이며, 재료의 단위 두께 당 항복전압과 유전율을 결정한다. 칩 바리스터의 정전용량(C)은 재료의 유전율(ϵ_r)과 두께(t) 및 단면적(A)으로부터 계산되며, 제품 설계 시 반드시 고려해야 한다. 특히 재료의 유전율은 블록 모델에 의하면 ZnO의 평균입경(d)과 공핍층의 두께(W)에 의존하며, 다음 식으로 계산할 수 있다 [14,15].

$$C = \epsilon_r \epsilon_0 \frac{A(n-1)}{t} = \left(\frac{d}{2W} \epsilon_g \right) \epsilon_0 \frac{A(n-1)}{t}$$

(여기서, $\epsilon_0 = 8.854 \times 10^{-14} \text{ F/cm}$, ϵ_r =바리스터 유전율, t = 내부전극간 거리(두께), A = 내부전극 유효면적, n = 적층수, d = ZnO 평균입경, W = 공핍층 두께, ϵ_g = ZnO 유전율(8.5)이다.)

공핍층의 두께는 20~100 nm 정도이고 ZnO의 평

균입경은 2~10 μm 정도이므로 ZnO의 평균입경을 제어하는 것이 재료의 유전율을 크게 좌우할 수 있음을 알 수 있다.

Bi계는 대부분 소결 중 ZnO의 균일한 입성장 과 미세구조를 얻기 위하여 Sb_2O_3 를 첨가하는데 가열 및 냉각 중 ZnO와 Bi_2O_3 와 반응하여 스피넬($\text{Zn}_7\text{Sb}_2\text{O}_{12}$)과 파이로클로어($\text{Zn}_2\text{Bi}_3\text{Sb}_3\text{O}_{14}$)를 생성하기 때문에 보다 복잡한 미세구조를 형성하지만, Pr계는 보다 단순한 미세구조를 갖는다 [9,10,12,13]. 다만 차이가 나는 것은 Bi계는 소결온도가 1000 $^{\circ}\text{C}$ 부근으로 내부전극을 Ag:Pd(7:3)을 사용하지만 Pr계는 1,200 $^{\circ}\text{C}$ 부근에서 소결하므로 내부전극을 100% Pd 전극을 사용하는 것이다.

Bi계는 입계층을 형성하는 Bi-rich상에 의해 칩 바리스터의 특성이 거의 좌우된다. 이 상에는 다양한 천이금속 원소들(Zn, Mn, Co, Cr, Ni 등)이 녹아 있기 때문에 Bi-rich상의 제어는 소결과 냉각 시 균일한 ZnO 입 성장과 입계 전위장벽을 유도하고 입계 절연

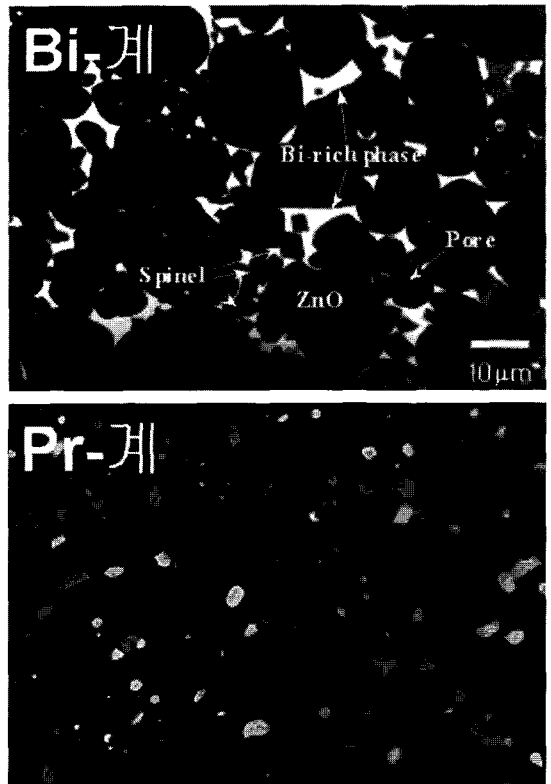


그림 5. ZnO 바리스터의 미세구조.



저항을 높여 누설전류를 낮추기 위하여 반드시 필요하다. Pr계에서는 Pr_6O_{11} 이 Bi_2O_3 의 역할을 보다 고온에서 수행하며, 상용 제품의 경우 Bi계보다 유전율이 2배 정도 높아 이를 낮추기 위하여 SiO_2 를 첨가하기도 한다. 일반적으로 ZnO 바리스터의 입계는 입계당 2~4 V의 항복전압을 갖는데 균일한 입계 전위장벽을 형성하지 못하면 장벽이 낮은 쪽으로 항복이 일어나 바리스터의 신뢰성이 크게 떨어지게 되므로 칩 바리스터의 성능향상과 저전압화를 위해서는 반드시 보다 균일한 미세구조를 확보하는 연구가 계속되어야 한다.

3. ZnO 칩 바리스터의 제조 및 응용

ZnO 칩 바리스터를 제조하는 공정은 이미 잘 알려진 MLCC (Multi-Layer Ceramic Capacitor)나 LTCC (Low Temperature Co-fired Ceramic) 제조 공정에 준한다 [15-17]. 그림 6에는 이의 제조 공정도의 모식도를 나타내었다. ZnO 칩 바리스터를 제조하는 방법은 우선 바리스터 원료를 지르코니아 볼과 혼합하여 슬러리를 제작한 후 Tape casting 방법으로 수십 μm 두께의 세라믹 시트를 제작한다. 그 시트 위에 Ag:Pd(7:3) 혹은 Pd 전극 Paste를 스크린 프린팅법으로 인쇄하여 제품의 스펙에 맞게 다층으로 적층하여 칩으로 절단한 후 소정의 소결 프로파일을 적용하여 소결한 후 Ag 외부전극으로 단자를 형성하고 그 위에 Ni와 Sn을 도금하여 연는다. 특별히 외부 단자 전극을 형성하기 전에 칩 몸체 자체가 약산에도 부식이 잘되는 ZnO로 되어 있기 때문에 반드시 유리질 절연 코팅을 진행하게 되는데 딥 코팅 (Dip coating)이나 졸 코팅법 등이 적용되며 상당한 기술력이 요구된다.

각 단위 공정마다 세부적인 독창적인 기술력이 요구되지만 TVS 다이오드와 경쟁하기 위해서는 미세구조 제어가 절실한데 이를 위하

여 혼합 단계에서 원료의 입도 미세화와 균일성 확보를 통하여 시트 두께를 5 μm 이하로 낮추는 기술력이 필요하다.

그림 7에는 ZnO 칩 바리스터의 다양한 응용면을 나타내었다. ZnO 칩 바리스터는 보호하고자 하는 회로 또는 소자에 대하여 병렬로 연결하여 사용한다. Mobile phone, DSC, MP3 player, D-TV, Notebook PC 등의 키패드, A/V 단자, I/O라인, 파워라인 등에 사용된다 [1]. 실제적으로 칩 바리스터의 스펙에 따라 다양한 응용이 가능한데 일반적으로 바리스터 전압 V_n (Breakdown voltage at 1 mA), V_{dc} (Rated voltage), V_c (Clamping voltage, 8/20 μs), I_p (Peak current, 8/20 μs), C (Capacitance at 1 kHz or 1 MHz)의 항목들이 요구되며, 주로 사용되는 제품은 V_n 이 6.8 ~ 120 V와 정전용량은 0.5 ~ 800 pF이다. 제품 사이즈는 주로 1005 mm가 사용되며 휴대폰의 소형화와 박층화에 따라 점차 0603 사이즈의 수요가 증가하고 있다 [1].

다양한 스펙을 갖고 있는 ZnO 칩 바리스터는 회로적으로 고속 데이터 전송라인이나 Interface (Ethernet, IEEE1394, USB 2.0, DVI, HDMI 1.3 등)에는 정전용량이 낮은 0.5~5 pF 제품이 사용되며, 10~480 pF 제품은 범용 입출력단과 키패드, 키보드, 시리얼 포트, ISDN, PS/2 등에 사용된다 [1]. ZnO 칩 바리스터 제품의 개발 추이는 첨단 휴대용 기기의 소형화와 박형화 및 저전력화에 대응하여 소형화와 저전압화에 있다고 할 수 있다 [1,15-18]. 현재까지 ESD 대책용으로 판매되고 있는 가장 작은 칩은 0603 사이즈로 1005와 동등한 전기적 특성을 가지고 있으며,

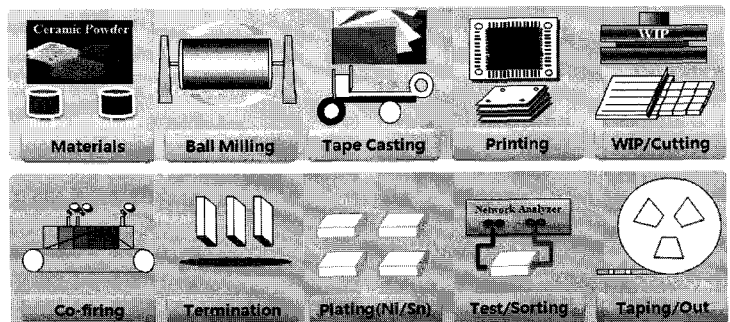


그림 6. ZnO 칩 바리스터의 제조 공정도.

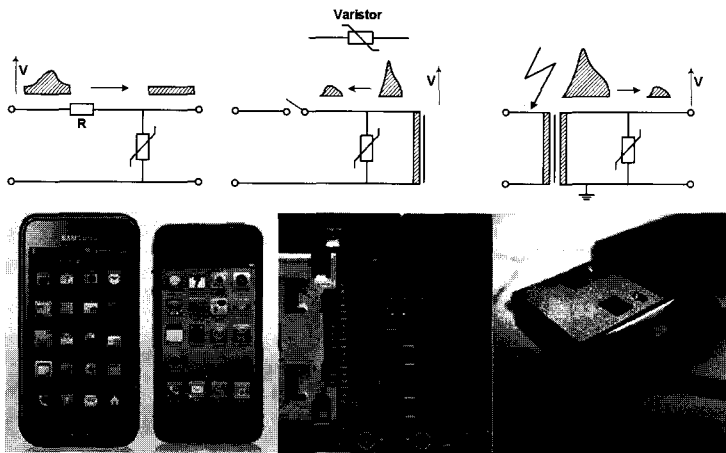


그림 7. ZnO 칩 바리스터의 다양한 응용.

주요응용으로는 휴대전화와 스마트폰 등이다. 조만간 0402 제품이 양산되어 휴대용 기기에 적용될 것으로 보인다[1]. 적층구조에서 내부전극 사이의 거리를 박층화하는 것으로 저전압화를 실현하고 있다.

4. 시장 동향

ESD 대책 부품 시장은 ZnO 칩 바리스터와 TVS 다이오드 (제너 다이오드 포함)로 양분되어 있으며, 서로 시장 점유율을 잠식하는 관계에 있다. ZnO 칩 바리스터를 개발·판매하는 주요 업체로는 AMOTECH, TDK, TDK-EPC, Littelfuse, 교세라/AVX, INPAQ 등이 있으며, 이 업체들이 전 세계 시장의 80%를 점유하고 있다 [18]. AMOTECH은 생산 거점이 한국으로 1005와 0603 사이즈의 제품을 중심으로 휴대전화와 디지털 TV쪽으로 주력하고 있다. TDK는 일본 (아끼다)과 중국 (蘇州)에 주 생산지를 두고 있으며, 휴대전화를 주타겟으로 0603 타입을 주력제품으로 생산·판매 중이다. TDK-EPC는 체코와 인도 및 브라질에 생산 공장이 있으며, 2008년 10월 TDK에 매각되어 2009년 10월에 TDK와 합병회사 TDK-EPC를 설립하였다. 현재까지도 유럽에서는 EPCOS 상표로 판매되고 있다. Littelfuse는 미국 (텍사스)에 주 생산라인을 두고 있지만 전 세계에 개발과 판매거점을 갖고서 제품을 판매하고 있으며, 전

력과 자동차 분야에 강점을 갖고 있다. 교세라/AVX는 미국에 생산거점이 있으며, 제품은 ZnO 반도체 세라믹스를 이용하여 제너다이오드 대비 소형이면서 뛰어난 에너지용량, 내구성, 감쇄특성을 갖고 있는 것으로 알려져 있다. 시장 현황은 표 2 (국내=일본, 해외=일본에서 해외로 판매한 내용임)에 나타내었다[18]. 2008년까지 ZnO 칩 바리스터

를 둘러싼 환경은 전자부품의 탑재 개수 감소, 가격 하락, 엔고환경 등이 더해져 전자기기 제조회사의 재고조정도 함께 겹쳐 수요가 급속히 냉각되었고, 특히 유럽쪽의 고기능 기기를 중심으로 현저하게 나타났다. 해당 제품 시장의 2008년도 실적은 판매수량 15억1,500만개, 전년대비 8.6% 감소, 판매금액은 1조4,690억 엔, 전년대비 11.4% 감소하였다. 판매금액이 감소한 것은 주요 응용인 휴대전화에서 저기능 제품의 판매대수의 점유율이 높아진 것이 첫번째 요인이다. 2009년도에는 재고조정에 의해 수요는 감소하였다. 판매수량은 13억5,000만개, 전년대비 10.9% 감소, 판매금액은 1조2,900억 엔, 전년대비 12.2% 감소하였다. 특히 수요가 감소한 것은 북미, 유럽, 일본 등의 국가이며, 이와 반대로 중국에서는 미미한 증가세로 돌아서는 것 같이 보인다. 2010년 이후로는 중국, 인도, 브라질 등의 신흥국에서의 수요가 확대될 것으로 예상되므로, 세계 시장은 플러스 성장으로 돌아설 것으로 예상된다. 하지만 본격적인 경기 회복까지는 기간이 필요할 것으로 생각된다. 2010년은 판매수량이 14억600만개, 전년대비 4.1% 증가, 판매금액은 1조3,090억 엔, 전년대비 1.5% 증가할 것으로 예측된다.

표 3에는 제조 회사 및 제품 (단품)별 판매수량과 점유율 (%)을 나타내었다 [18]. 2008년 업체 시장 점유율 최고는 TDK로 2억8,700만개, 점유율 18.9%이다. TDK는 휴대전화 분야에서 높은 수입 실적을 보

표 2. ZnO 칩 바리스터 시장.

(단위: 백만 개, 10억원)

년차 적요	실적		예상		예측			
	2007	2008	2009	2010	2011	2012	2013	2014
국내판매수량	320	290	253	259	268	279	292	298
전년대비(%)	-	90.6	87.2	102.4	103.5	104.1	104.7	102.1
국내판매금액	320	275	239	241	251	258	262	267
전년대비(%)	-	85.9	86.9	100.8	104.1	102.8	101.6	101.9
해외판매수량	1,338	1,225	1,097	1,147	1,223	1,291	1,361	1,427
전년대비(%)	-	91.6	89.6	104.6	106.6	105.6	105.4	104.8
해외판매금액	1,338	1,194	1,051	1,068	1,091	1,109	1,087	1,062
전년대비(%)	-	89.2	88.0	101.6	102.2	101.6	98.0	97.7
세계판매수량	1,658	1,515	1,350	1,406	1,491	1,570	1,653	1,725
전년대비(%)	-	91.4	89.1	104.1	106.0	105.3	105.3	104.4
세계판매금액	1,658	1,469	1,290	1,309	1,342	1,367	1,349	1,329
전년대비(%)	-	88.6	87.8	101.5	102.5	101.9	98.7	98.5
단가(엔)	1.00	0.97	0.96	0.93	0.90	0.87	0.82	0.77

(Fuji Kimera 総研 추정, 2010)

표 3. 제조 회사 및 제품 (단품)별 판매수량 (백만개)과 점유율 (%).

(단위 : 백만개, %)

제조회사	2008년		2009년		제품 (size)	2008년		2009년(예상)	
	판매량	점유율	판매량	점유율		판매량	점유율	판매량	점유율
TDK(TDK-EPC)	287	18.9	279	20.7	1005	1,043	68.8	901	66.7
AMOTECH	276	18.2	217	16.1	0603	186	12.3	187	13.9
교세라/AVX	248	16.4	201	14.9	1608	156	10.3	163	12.1
EPCOS(TDK-EPC)	174	11.5	128	9.5	2012	64	4.2	52	3.9
Littelfuse	113	7.5	97.2	7.2	3216	48	3.2	31	2.3
기타	417	27.5	427.8	31.7	기타	18	1.2	16	1.2
합계	1,515	100.0	1,350	100.0		1,515	100.0	1,350	100.0

(Fuji Kimera 総研 추정, 2010)

이며 여기서 높은 점유율을 유지하고 있다. 2009년은 2억7,900만개, 점유율 20.7%로 예상된다. 점유율 2위는 AMOTECH으로 2008년 2억7,900만개, 점유율 18.2%로 TDK와 근소한 차이를 나타냈다. 3위는 교세라/AVX, 4위는 EPCOS이다. 제품 타입별 점유율은 휴대전화 (점유율 ~67%)에 가장 많이 탑재되며, 1005가 가장 높다. 각 디지털 기기의 소형화로 전자부품의 소형화도 병행되고 있으며, 0603 타입을 탑재하는 경향이 강해지고 있으며, 특히 휴대전화용으로는 급속히 진행되고 있다. 1608 타입은 자동차

용으로 그 수요가 많아지고 있다. 생산 지역별로 보면, 생산량은 일본이 최고로 5억6,700만개, 점유율 42%로 예상되며, 2위는 EPCOS (현재 TDK-EPC)로 생산거점은 유럽으로 생산수량은 2억1,400만개, 점유율 15.9%로 예상된다. 1~2년 내 중국을 포함한 동아시아 지역에서의 생산량이 늘어날 것으로 전망된다. 판매지역은 휴대전화의 조립 거점인 중국을 포함한 아시아가 될 것이며, 두 지역이 갖는 전체 점유율은 68.1%로 압도적으로 크다.

제품 용도별 점유율을 보면, 휴대전화용이 1위

(2008년: 9억200만개, 59.5%, 2009년: 7억8,400만개, 58.1%)로 0603 타입의 사용 비율이 높아지고 있다. 2위는 디지털 카메라 (DSC)로 2008년 1억1,800만개 (7.8%)이며, 2009년 9,600만개 (7.1%)로 예상되며 1005 타입의 탑재비율이 높다. 그 다음으로는 HDMI (LCD-TV)(~2.5%), DVC (~1.3%), 노트북PC(~1%), 기타 (~30%) 순이다.

칩 바리스터의 제품 가격은 각 타입과 용도별로 차이가 나지만 대략 1608 (1.1 엔/개), 1005 (0.5 엔/개), 0603 (0.2~0.3 엔/개)의 순으로 낮아지는 것으로 예상 (2009년 4/4분기)되지만 사이즈가 작아질수록 고난이도의 제조기술과 수율 문제로 인해 보다 높은 가격을 확보할 것으로 생각된다. 소폭으로 수요회복이 예상되는 2010년 이후로는 업체들 간의 가격경쟁이 심화될 것으로 예상되어 종래에 수익을 내고 있는 제품까지도 그 수익이 줄어들 것으로 예상된다.

5. 기술개발 동향

ZnO 칩 바리스터는 원재료적인 측면에서 ZnO가 갖는 특성이 가장 우수하기 때문에 여타 반도체 세라믹스인 SnO₂, TiO₂, SrTiO₃에서 보다 첨가제에 따른 바리스터 특성 개선과 제조기술의 개발에 있어 앞서있는 것이 사실이다. 가장 큰 시장인 휴대용 기기의 소형화와 고기능화에 따라 제품의 소형화와 고성능화가 계속 요구되고 있으며, 특별히 TVS 다이오드와의 시장 경쟁에서 살아남고 또 그 점유율을 높이기 위해서는 제조 단가를 낮추고 제품 특성에 지대한 영향을 미치는 우수한 바리스터 조성의 개발이 절실하다. 보다 구체적으로 보면, 바리스터 원료의 결정립을 미세화·균일화하는 것으로부터 시작하여 보다 낮은 항복전압을 구현하되 균일한 전위장벽이 형성되도록 미세구조를 제어하는 기술개발이 진행 중이다. 또한 TVS 다이오드 혹은 제너 다이오드가 강점으로 갖고 있는 ESD 제한 전압비를 낮추는 연구도 함께 진행 중인데 이를 위하여 ZnO 결정립 자체 비저항을 크게 낮추는 연구와 병행하여 누설전류가 낮고 절연 저항이 높은 바리스터 조성개발이 진행 중이다. 한 예로 파나소닉 일렉트로닉 디바이

스에서는 새로운 첨가제를 개발하여 바리스터의 비선형성을 크게 개선함에 따라 바리스터 항복 전압을 낮추고 써지 전압에 대한 억제효과를 높여 기존의 가장 낮은 바리스터 전압인 6.8 V에서 이 전압을 5.6 V까지 낮추어 제조비용을 2/3 정도로 줄일 수 있었다. 이러한 특성의 구현을 위해서 반드시 병행되어야 할 제조 공정이 박층화 후막기술이다. 현재까지 MLCC의 박층화 기술은 후막기술에 의존하여 원료와 제조공정에 따라 현재 최고수준은 유전체층이 0.6 μm, 내부전극 두께가 ~0.5 μm 정도로 발전되어 있는데 [15] 이와 같은 기술이 ZnO 칩 바리스터를 제조하는 공정기술에도 도입되어 제품의 단가 경쟁과 제품 특성 경쟁에서 우위에 설 필요가 있다. 현재까지 개발된 가장 작은 ZnO 칩 바리스터는 0402 mm 사이즈이지만 내부전극 배열과 외부전극 단차 형성 기술에서 보다 더 정교해 질 필요가 있다.

6. 결론

ZnO 칩 바리스터는 재료적 측면과 제품 특성적 측면에서 여타 바리스터 제품보다 경쟁력이 가장 우수하므로 앞으로 전 세계 정전기 대책 소자 시장에서 그 점유율을 높이기 위해서는 TVS 다이오드나 제너 다이오드와 경쟁하지 않으면 안 되는 상황에 놓여 있다. 이에 대응하기 위하여 칩의 제조 단가를 낮추고 우수한 바리스터 조성의 개발이 절실하다. 바리스터 원료의 결정립을 미세화·균일화하면서 MLCC 박층화 후막기술을 유념하여 그 기술을 칩 바리스터에 적용하여 제품의 소형화와 저가화를 실현하고, 보다 낮은 항복전압을 구현하되 균일한 전위장벽이 형성되도록 미세구조를 제어하는 기술이 필요하다. 또한 ZnO 결정립 자체 비저항을 크게 낮추고 비선형 계수를 높이되 입계 절연 저항은 높아 누설전류는 낮은 그러한 바리스터 조성을 개발하여 ESD 제한 전압비를 적어도 TVS 다이오드 혹은 제너 다이오드 수준으로 낮추어 시장 점유율을 높여야 할 것이다. 뿐만 아니라 ZnO 칩 바리스터가 자체적으로 갖고 있는 R, L, C 성분을 등가회로로 잘 이용하여 제품의 복합화 기술개발에 더욱 매진하여 보다

특성이 정교한 고성능의 칩 어레이 (Array), LC 복합 필터 (Filter), 3단자 필터, ESD/EMI 복합필터 (RC type, LC type 등)를 개발하여 ESD/EMI 시장의 폭을 넓혀 나가야 할 것이다.

참고 문헌

- [1] www.amotech.co.kr, www.avx.com, www.epcos.com (www.tdk.co.jp), www.inpaq.co.tw, www.littelfuse.com
- [2] L. Hozer, "Semiconductor Ceramics-Grain Boundary Effects", Ellis Horwood, p. 44-108, 1994.
- [3] L. M. Levinson and H. R. Philipp, "Zinc Oxide Varistors-A Review", Am. Ceram. Soc. Bull., Vol. 65, No. 4, pp. 639-646, 1986.
- [4] T. K. Gupta, "Application of Zinc Oxide Varistors", J. Am. Ceram. Soc., Vol. 73, No. 7, p. 1817-1840, 1990.
- [5] M. Matsuoka, "Nonohmic Properties of Zinc Oxide Ceramics", Jpn. J. Appl. Phys., Vol. 10, No. 6, pp. 736-746, 1971.
- [6] R. Einzinger, "Metal Oxide Varistors", Annu. Rev. Mater. Sci., Vol. 17, pp. 299-321, 1987.
- [7] K. Eda, "Zinc Oxide Varistors", IEEE Electrical Insulation Magazine, Vol. 5, No. 6, pp. 28-41, 1989.
- [8] G. D. Mahan, L. M. Levinson and H. R. Philipp, "Theory of conduction in ZnO varistors", J. Appl. Phys., Vol. 50, No. 4, pp. 2799-2812, 1979.
- [9] F. Greuter and G. Blatter, "Electrical properties of grain boundaries in polycrystalline compound semiconductors", Semicond. Sci. Technol., Vol. 5, No. 2, pp. 111-137, 1990.
- [10] D. R. Clarke, "Varistor Ceramics", J. Am. Ceram. Soc., Vol. 82, No. 3, pp. 485-502, 1999.
- [11] P. R. Bueno, J. A. Varela and E. Longo, "SnO₂, ZnO and related polycrystalline compound semiconductors: An overview and review on the voltage-dependent resistance (non-ohmic) feature", J. Euro. Ceram. Soc., Vol. 28, No. 3, pp. 505-529, 2008.
- [12] S. Hirose, K. Nishita, and H. Niimi, "Influence of distribution of additives on electrical potential barrier at grain boundaries in ZnO-based multilayered chip varistor", J. Appl. Phys., Vol. 100, 083706, 2006.
- [13] K. Mukae, "Zinc oxide varistors with praseodymium oxide", Am. Ceram. Soc. Bull., Vol. 66, No. 9, pp. 1329-1331.
- [14] L. M. Levinson and H. R. Philipp, "The physics of metal oxide varistors", J. Appl. Phys., Vol. 46, No. 3, pp. 1332-1341, 1975.
- [15] 위성권, "MLCC 제품 개발 동향", 세라미스트, Vol. 14, No. 1, pp. 41-45, 2011.
- [16] 신호순, "LTCC에서 세라믹스 후막 공정 기술 동향", 전기전자재료, Vol. 23, No. 12, pp. 1723, 2010.
- [17] 신호순, 여동훈, "후막기술동향과 후막기술의 다양한 전개", 세라미스트, Vol. 14, No. 1, pp. 22-28, 2011.
- [18] "유망전자부품재료-下卷-", Fuji Kimera Research Institute, p. 346-350, 2010.

저자약력



성명 : 홍연우

◆ 학력

- 1996년 경북대학교 공과대학 무기재료공학과 공학사
- 1998년 경북대학교 대학원 무기재료공학과 공학석사
- 1998년 경북대학교 대학원 무기재료공학과 공학박사

◆ 경력

- 2005년 - 2007년 (주)아모텍 책임연구원
- 2007년 - 현재 한국세라믹기술원 바이오IT융합센터 선임연구원