

초고속 광 가입자 접속장치용 송신장치 설계

論 文
10-1-3

The Transmit System for Connection System of Super High Speed Optical Fiber Subscriber

송 홍 종*
Hong-Jong Song

요 약

광 가입자용 송신 장치는 가입자 접속부의 ATM(Asynchronous Transfer Mode) 계층으로부터 ATM 셀을 비동기적인 방법으로 FIFO(First In, First Out)를 통해 수신하여 Idle/Unassigned 셀의 삽입, 셀에 대한 HEC(Header Error Correction) 계산, 그리고 셀 페이로드에 대한 스크램블링을 통해 VC4 신호 페이로드에 사상한다. 이때 VC4 POH(Path Over Head)상의 H4 바이트에 의해 셀의 시작점을 지시하고 동시에 POH 오버헤드에 대한 생성, 삽입을 통해 VC4 신호를 형성한다. 이 신호는 AU4 포인터 생성부에서 VC4의 시작점 J1을 생성하여 AUG버스를 통해 STM-1 신호 생성 부에서 프레임 형태로 출력된 후 155Mbps 속도로 광 신호로 변환되어 송신된다.

Abstract

In this paper, we've studied Optical Fiber Subscribe Transmit system. After receiving the ATM cell passing through the FIFO of the Asynchronous Transfer Method from the ATM Layer images to the VC4 signal payload passing through scrambling of the cell payload, HEC computation of the cell and inserting the Idle/Unassigned cell. At this time formed VC4 signal passing through the generating and inserting POH overhead at the same time indicating the start point of the cell by the H4 byte on the VC4 POH. This ATM cell transmits 155Mbps speed changing the optical signal after outputting the frame format at the STM-1 signal generation block through the AUG bus after generating J1 of the VC4 start point at the AU4 pointer generation block

Keywords : 광가입자 송신장치, ATM, STM-1, FIFO, ASIC 설계

I. 서 론

초고속 통신망의 보급이 활발해지면서 더욱 빠르고 넓은 대역폭의 가입자 서비스 요구가 증대되면서 궁극적으로 단말 사용자까지 전광 통신망의 서비스 필요성이 높아지고 있다. 광 가입자 접속 장치의 최대 전송 속도는 155Mbps이며 이는

각 가입자에게 음성, 영상, 데이터 등의 멀티미디어 통신 서비스를 제공할 수 있는 초고속 정보통신망 가입자 서비스의 최종 목표 단계라고 할 수 있다[1-3]. 각 가정까지 광케이블을 부설하고 광전송 장치를 설치하는 FTTH(Fiber-To-The-Home)의 주요 서비스는 분배형 오락 TV, 주문형 비디오(Video-On-Demand), 쌍방향 대화형 멀티미디어 등이 가능할 것이며 영상품질의 고급화로 HDTV와 같은 고품질 서비스도 제공 될 것이다[3-5].

이에 본 논문에서는 광 가입자 접속 장치의 각 가입자로부터 ATM 처리된 셀이 광 신호로 송신

접수일자 : 2011년 02월 14일

심사일자 : 2011년 02월 10일

수락일자 : 2011년 03월 12일

*교신저자, E-mail : shj@kcc.go.kr

되기까지의 송신 단의 다중화 과정 및 구조를 설계 분석하였다.

광 가입자 접속 장치의 송신 단은 변조된 데이터의 전기적 신호를 광 신호로 변환시키기 위하여 ATM 셀 단위의 데이터를 STM-1급의 동기식 데이터로 광대역 다중화 하는 역할을 수행한다. 즉, 전기적 신호를 광 신호로의 변환을 수행하기 전에 가입자의 각 데이터를 ATM 데이터화하여 ATM 계층으로부터 ATM 셀을 비동기적인 방법으로 송신 FIFO를 통해 수신하여 Idle/Unassigned 셀의 삽입, 셀에 대한 HEC 계산, 그리고 셀 페이로드에 대한 스크램블링을 통해 VC4 신호 페이로드로 사상한다. 이 때 VC4 POH 상의 H4 바이트에 의해 셀이 시작점을 지시하고 동시에 POH 오버헤드에 대한 생성, 삽입을 통해 VC4 신호를 형성한다. 이 신호는 AU4 포인터 생성부에서 VC4의 시작점을 생성하여 AUG 버스를 통해 STM-1 신호 생성부로 보낸 후 E/O 변조기에 의하여 광신호로 변환하여 출력한다. 여기서 송신 SOH 정보는 수신부의 수신 SOH 정보 처리에 대응되는 하드웨어 또는 소프트웨어적인 처리 후 프레임링, 스크램블링을 통해 8 비트 병렬 형태(19.440 Mbps)로 출력된다. 이때 송수신 FIFO는 4개의 ATM 셀 용량을 가지며 바이트 및 셀 단위로 상호 인터페이스 한다. 광가입자 접속 시스템의 블록별 기능 구성은 아래의 그림 1과 같다.

II. 본 론

송신부는 송신 셀 처리 블록, AU4 포인터 생성 블록 그리고 STM-1 생성블록으로 나누어진다. 각 블록별 기능은 다음과 같다.

1. 송신 ATM 셀 처리 블록

이 송신 셀 처리 블록은 FIFO를 통하여 ATM 셀을 수신하며 ATM 계층과 SDH 전송로상의 속도를 정합하기 위해서 Idle/Unassigned 셀을 삽입하고 HEC(Header Error Correction)를 계산하는데 $X8 + X2 + X + 1$ 의 생성 다항식으로 셀의 첫 4바이트의 CRC(Cyclic Redundancy Check)를 생성하여 5번째 바이트에 삽입하며 또한, $X^{43} + 1$ 의 자기 동기식 생성 다항식을 이용하여 페이로드 스크램블링을 수행한다. 그리고 B3, J1, C2, G1, H4, F2, Z3-Z5의 POH를 삽입해서 VC-4를 생성한다.

* 입·출력 설명

Txpeth{7:0} : CDB CPU 블록으로부터 오는 신호로 parity error 누적 값이 비교되는 기준 누적된 에러의 값이 이 값 이상이면 txpeint가 high로 추력된다

Txdata[7:0] : 송신하려는 ATM data

Txparity : txdata[7:0]에 대한 odd parity 값

Txenb : txdata[7:0]의 enable 신호

Txsoc : 셀의 시작 바이트를 나타내는 신호

control : 제어 신호

trachb[31:0] : idle셀의 헤더에 채워질 4바이트값

tracpb[7:0] : idle 셀의 페이로드에 채워질 1 바이트 값

j3d[7:0] : 576Kbps serial I/F를 통한 POH데이터

f2d[7:0] : 576Kbps serial I/F를 통한 POH데이터

j1d[7:0] : 64Kbps serial I/F를 통한 POH데이터

j4d[7:0] : 64Kbps serial I/F를 통한 POH데이터

z5d[7:0] : 576Kbps serial I/F를 통한 POH데이터

Txpe[7:0] : parity error 누적치로 CDBCPU Block으로 전송

Txfull : 송신 데이터가 한 셀 이상 쓸 자리가 있을경우 high 신호 출력

Thec[7:0] : HEC 값을 계산하기 전의 ATM 셀 5번째 바이트 값을 CPU로 I/F

Txvc4do : 송신 VC4 데이터 출력

Tj1ft : 송신 VC4 시작 바이트 표시

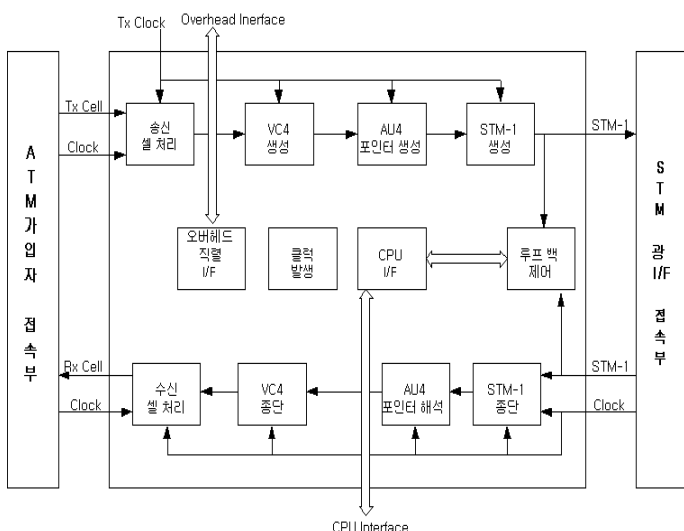


그림 1. 광 가입자 접속장치 주요 블록 구성도
Fig. 1. Block Diagram for connection device of optical fiber subscriber

1.1 Transmit Parity Block (TXPAR)

이 블록은 ATM 계층에서 보낸 8비트 데이터

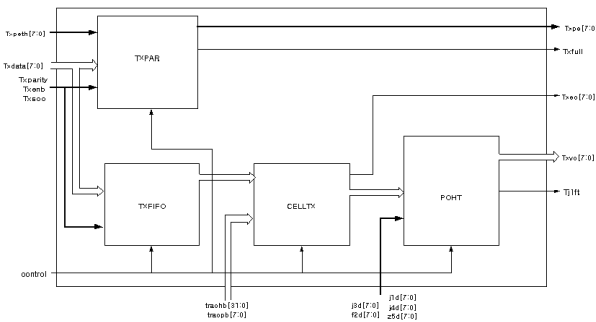


그림 2. 송신 ATM 셀 처리 블록도
Fig. 2. Block Diagram for ATM Transmission

를 odd 패리티 값으로부터 패리티 에러를 검출하여서 에러 개수를 count 함으로써 인터페이스 성능을 감시한다. 셀 시작마다 카운터를 리셋하고 패리티 에러 개수를 누적한다. 그리고 입력값보다 누적값이 커지면 즉, 오버 플로우가 발생하면 인터럽트 방식으로 CPU로 신호를 전달한다.

1.2 Transmit FIFO Block (TXFIFO)

이 블록은 비동기적으로 전달되는 ATM 계층으로부터 셀을 SDH 전송로상에 포함된 페이로드에 사상하는데 요구되는 시간적 버퍼링 기능을 수행하며 따라서 ATM 계층의 동작 클럭과 물리 계층의 동작 클럭을 서로 분리하여 바이트 단위의 데이터를 전달 받는 기능을 제공한다. Tx FIFO는 ATM 계층으로부터 바이트 단위와 이에 동기된 클럭 및 제어 신호에 의해 데이터를 전달받는다. 이때 쓰기 상태는 4개의 ATM 셀 버퍼 가운데 최소한 1 셀 이상의 쓰

표 1. Transmit 인터페이스 신호
Table 1. Transmit Interface Signal

Signal	Direction	Req/Opt	Description
Tx Data[7:0]	ATM to PHY	R	Data bus
Tx Data[15:8]	ATM to PHY	O	Data bus extension for 16-bit mode
Tx Prty	ATM to PHY	O	Data bus odd parity
Tx SOC	ATM to PHY	R	Start Of Cell
Tx Enb*	ATM to PHY	R	Enable data transfers
Tx Full* / Tx Clav	PHY to ATM	R	FIFO full/Cell Buffer Available
Tx Clk	ATM to PHY	R	Transfer/Interface byte clock
Tx Ref*	ATM to PHY	O	Reference (e.g 8 KHz)

기 여유가 있을 때 쓰기 가용 상태를 출력시킨다. 읽기 상태에서는 FIFO로부터 읽을 셀이 없을 때 Idle 신호를 셀 송신 블록으로 보낸다. 읽기 상태에서는 FIFO로부터 읽을 셀이 없을 때 Idle 신호를 셀 송신 블록으로 보낸다. Tx FIFO의 오버플로우 발생 시 인터럽트 방식에 의해 CPU로 전달되며, Tx FIFO는 CPU에 의해 또는 자동 리셋되며, 이 때 최대 4개의 ATM 셀 손실을 유발한다. ATM 계층으로부터의 ATM 셀이 Tx FIFO의 오버플로우 또는 기타 오류로 인하여 53 옥텟보다 크거나 작을 경우에 인터럽트 방식에 의해 CPU로 전달하며 동시에 해당 셀은 손실처리 한다. 메모리의 상태는 모두 flag의 4 비트에 기록되어 있고 read, write 할 때 flag를 참조해서 수행하고 read, write를 수행 한 후에는 flag 비트를 메모리의 상태에 일치하도록 다시 조작한다. UTOPIA(Universal Test & Operations PHY Interface for ATM) spec.중 인터페이스 신호와 신호간의 타이밍 관계는 다음과 같다.

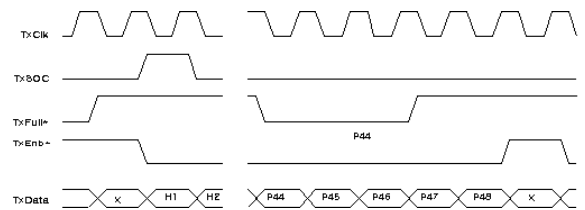


그림 3. Transmit Timing for Octet-Level Handshake
Fig. 3. Transmit Timing for Octet-Level Handshake

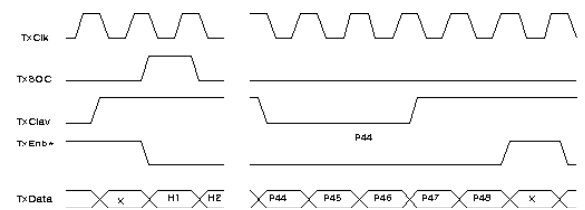


그림 4. Transmit Timing for Cell-Level Handshake
Fig. 4. Transmit Timing for Cell-Level Handshake

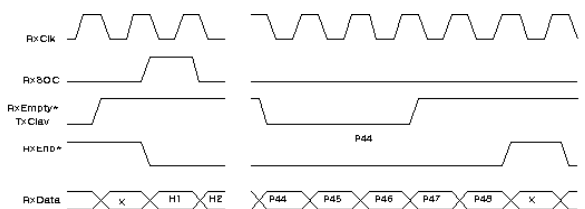


그림 5. Receive Timing for Cell-Level Handshake
Fig. 5. Receive Timing for Cell-Level Handshake

표 2. Receive 인터페이스 신호
Table 2. Receive Interface Signal

Signal	Direction	Req/Opt	Description
Rx Data[7:0]	PHY to ATM	R	Data bus
Rx Data[15:8]	PHY to ATM	O	Data bus extension for 16-bit mode
Rx Prty	PHY to ATM	O	Data bus odd parity
Rx SOC	PHY to ATM	R	Start Of Cell
Rx Enb*	ATM to PHY	R	Enable data transfers
Rx Empty* / Rx Clav	PHY to ATM	R	FIFO empty/Cell Buffer Available
Rx Clk	ATM to PHY	R	Transfer/Interface byte clock
Rx Ref*	PHY to ATM	O	Reference (e.g 8 KHz)

1.3 ATM Cell Transmit Block (CELLTX)

ATM 계층으로부터의 셀 전달 속도와 SDH 전송로 상에 셀 전송 속도간의 정합 기능을 수행한다. 이 때 속도간 정합은 셀 전송 시점에서 ATM 계층으로부터의 유효 셀 부재 시 자체 생성하는 임의의 셀의 삽입을 통해 이루어지며 Default로는 Idle 셀이 삽입된다. 삽입되는 임의의 셀에 대해서 각 헤더 및 페이로드 값은 CPU에 의해 변경 가능하다. 셀이 페이로드 정보에 대해 $X^{43} + 1$ 의 자기동기식 생성 다항식을 사용하여 비트 단위로 스크램블링 하는 기능을 수행하며 CPU에 의해 이의 Disable도 가능하다. HEC 생성기는 셀 헤더의 첫 4 바이트에 대하여 CRC를 생성하여 셀 헤더 5번째 바이트에 삽입한다. 이 기능의 생성 다항식은 $X^8 + X^2 + X + 1$ 이며 이의 Disable도 가능하다. Disable시 HEC 정보는 변화 없이 전달된다. 또한 HEC 검사 성능 향상을 위해서 HEC 정보 영역을 "01010101" 패턴으로 EX-OR 시켜 전달하는 기능과 이의 CPU에 의한 Disable 기능도 수행한다. 패턴의 첫 번째 비트 "0"은 MSB 마지막 비트 "1"은 LSB이다. 이 기능의 Default는 CRC 생성 및 Coset기능 수행이다.

이 블록에서는 CRC 생성과 자기 동기식 스크램블을 8비트 병렬로 처리하고 있는데 그에 따른 병렬처리 알고리즘을 기술한다.

1) 병렬 HEC Encoder

ATM 셀 헤더의 첫 번째 4 바이트에 대한 HEC 값을 계산하고 그 결과를 HEC 바이트 위치에 삽입한다. 생성 다항식은 $X^8 + X^2 + X + 1$ 이고 "01010101" Coset을 삽입한다.

① HEC generation

$$u(x) = u_{31}x^{31} + u_{30}x^{30} + \dots + u_1x + u_0$$

$$c(x) = c_{39}x^{39} + c_{38}x^{38} + \dots + c_1x + c_0$$

$$g(x) = X^8 + X^2 + X + 1$$

② 입·출력 관계

$$c(x) = x^8u(x) + r(x)$$

$$r(x) = R_{g(x)}[x^8u(x)]$$

$$= r_7x^7 + r_6x^6 + \dots + r_1x + r_0$$

$$c(x) = a(x)g(x), \text{ for some } a(x)$$

$$c = 0 [t = 0, 1, 2, \dots, 31]$$

$$c = 1 [t = 32, 33, 34, \dots, 39]$$

클럭 단위 : $T_b = 1/155.520x10^6 = 6.43nsec$

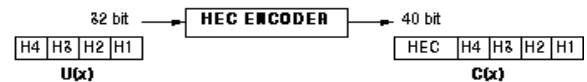


그림 6. HEC ENCODER 개념도
Fig. 6. Concept Diagram of HEC ENCODER

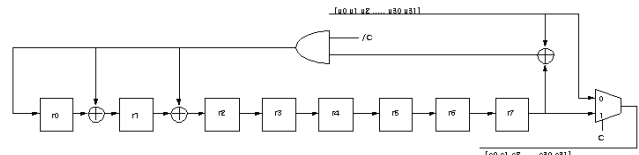


그림 7. Bit-Serial HEC Encoder
Fig. 7. Bit-Serial HEC Encoder

위의 Bit-Serial HEC Encoder를 가지고 8 클럭이 지난 후 레지스터의 상태를 알아보면 초기 레지스터 값과 입력된 8개의 데이터의 함수임을 알 수 있다.

아래의 수식에 그에 대한 증명이 되어있다.

* 수식 표현

$$H1 = [d_7, d_6, d_5, d_4, d_3, d_2, d_1, d_0]$$

I. at $t = T_b$

$$r_0(T_b) = r_7(0) \oplus d_7$$

$$r_1(T_b) = r_0(0) \oplus r_7(0) \oplus d_7$$

$$r_2(T_b) = r_1(0) \oplus r_7(0) \oplus d_7$$

$$r_3(T_b) = r_2(0)$$

$$r_4(T_b) = r_3(0)$$

$$\vdots$$

$$r_7(T_b) = r_6(0)$$

위의 식을 행렬로 나타내면

$$R(T_b) = AR(0) + Hd_7$$

여기서

$$A = \begin{bmatrix} 00000001 \\ 10000001 \\ 01000001 \\ 00100000 \\ 00010000 \\ 00001000 \\ 00000100 \\ 00000010 \end{bmatrix} \quad H = \begin{bmatrix} 1 \\ 1 \\ 1 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \end{bmatrix}$$

II. $att = 2T_b$

$$\begin{aligned} r_0(2T_b) &= r_7(T_b) \oplus d_6 \\ r_1(2T_b) &= r_0(T_b) \oplus r_7(T_b) \oplus d_6 \\ r_2(2T_b) &= r_1(T_b) \oplus r_7(T_b) \oplus d_6 \\ r_3(2T_b) &= r_2(T_b) \\ r_4(2T_b) &= r_3(T_b) \\ &\vdots \\ r_7(2T_b) &= r_6(T_b) \end{aligned}$$

위의 식을 행렬로 나타내면

$$\begin{aligned} R(2T_b) &= AR(T_b) + Hd_6 \\ &= A(AR(0) + AHd_7) + Hd_6 \\ &= A^2R(0) + AHd_7 + Hd_6 \end{aligned}$$

III. $att = 3T_b$

$$\begin{aligned} R(2T_b) &= AR(2T_b) + Hd_5 \\ &= A(A^2R(0) + AHd_7 + Hd_6) + Hd_5 \\ &= A^3R(0) + A^2Hd_7 + AHd_6 + Hd_5 \\ &\vdots \end{aligned}$$

IV. $att = 8T_b$

$$\begin{aligned} R(8T_b) &= A^8R(0) + A^7Hd_7 + A^6Hd_6 + \\ &\quad AHd_1 + Hd_0 \\ &= A^8R(0) + [H | AH | A^2H | \dots \\ &\quad \dots | A^6H | A^7H]D \\ &= A^8R(0) + CD \end{aligned}$$

여기서

$$C = [H | AH | A^2H | \dots | A^6H | A^7H]$$

$D =$

$$\begin{bmatrix} d_0 \\ d_1 \\ d_2 \\ d_3 \\ d_4 \\ d_5 \\ d_6 \\ d_7 \end{bmatrix}$$

그러므로

$$A^8 = \begin{bmatrix} 10000011 \\ 11000010 \\ 11100010 \\ 01110000 \\ 00111000 \\ 00011100 \\ 00001110 \\ 00000111 \end{bmatrix} \quad C = \begin{bmatrix} 10000011 \\ 11000010 \\ 11100010 \\ 01110000 \\ 00111000 \\ 00011100 \\ 00001110 \\ 00000111 \end{bmatrix}$$

$$\begin{aligned} r_0(T) &= r_0(0) \oplus r_6(0) \oplus r_7(0) \oplus d_0 \oplus d_6 \oplus d_7 \\ r_1(T) &= r_0(0) \oplus r_1(0) \oplus r_6(0) \oplus d_0 \oplus d_1 \oplus d_6 \\ r_2(T) &= r_0(0) \oplus r_1(0) \oplus r_2(0) \oplus r_6(0) \oplus d_0 \oplus d_1 \oplus d_2 \oplus d_6 \\ r_3(T) &= r_1(0) \oplus r_2(0) \oplus r_3(0) \oplus r_7(0) \oplus d_1 \oplus d_2 \oplus d_3 \oplus d_7 \\ r_4(T) &= r_2(0) \oplus r_3(0) \oplus r_4(0) \oplus d_2 \oplus d_3 \oplus d_4 \\ r_5(T) &= r_3(0) \oplus r_4(0) \oplus r_5(0) \oplus d_3 \oplus d_4 \oplus d_5 \\ r_6(T) &= r_4(0) \oplus r_5(0) \oplus r_6(0) \oplus d_4 \oplus d_5 \oplus d_6 \\ r_7(T) &= r_5(0) \oplus r_6(0) \oplus r_7(0) \oplus d_5 \oplus d_6 \oplus d_7 \end{aligned}$$

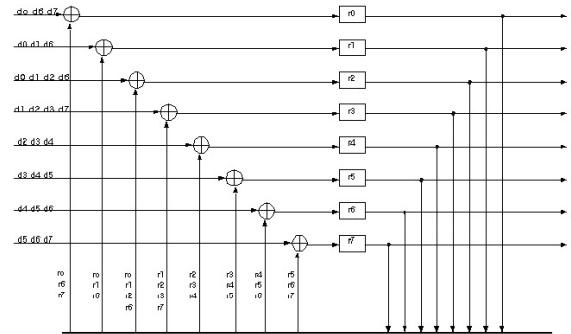


그림 8. Octet-Parallel HEC Encoder
Fig. 8. Octet-Parallel HEC Encoder

2) 병렬 자기동기 스크램블러

5 바이트의 헤더를 제외한 순수한 48 바이트의 페이로드에 대해 $X^{43} + 1$ 의 생성 다항식으로 바이트 단위로 자기동기식 스크램블링을 하는 기능을 수행한다.

① 비트단위 자기동기 스크램블러

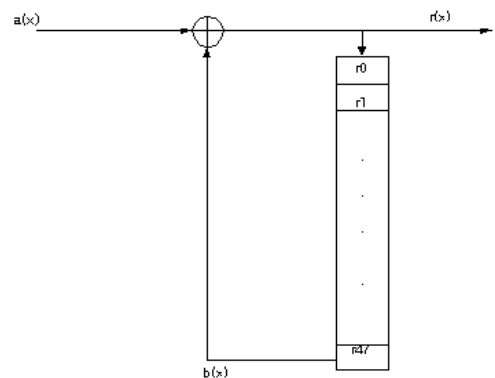


그림 9. 비트단위 스크램블러의 블록도
Fig. 9. Bit-based Scrambler Block Diagram

$$a(X) = X^{43}r(X) \oplus r(X) = (X^{43} \oplus 1)r(X)$$

$$r(X) = a(X)/(X^{43} \oplus 1)$$

PRBS(Pseudo-Random Binary Sequence) $b(x)$ 는 입력의 함수이다.

② 입출력 관계

I. $\ast = T_b$

$$r_0(T_b) = r_{43}(0) \oplus d_7$$

$$r_1(T_b) = r_0(0)$$

$$r_2(T_b) = r_1(0)$$

$$r_3(T_b) = r_2(0)$$

$$r_4(T_b) = r_3(0)$$

$$\vdots$$

$$r_{43}(T_b) = r_{42}(0)$$

위의 식을 행렬로 나타내면

$$R(T_b) = AR(0) + Bd_7$$

여기서

$$A = \begin{bmatrix} |0000 \cdots 0001| \\ |1000 \cdots 0000| \\ |0100 \cdots 0000| \\ |0010 \cdots 0000| \\ \vdots \\ |0001 \cdots 0000| \\ |0000 \cdots 1000| \\ |0000 \cdots 0100| \\ |0000 \cdots 0010| \end{bmatrix} \quad B = \begin{bmatrix} |1| \\ |0| \\ |0| \\ |0| \\ \vdots \\ |0| \\ |0| \\ |0| \\ |0| \end{bmatrix}$$

II. $att = 2T_b$

$$R(2T_b) = AR(T_b) + Bd_6$$

$$= A(AR(0) + Bd_7) + Bd_6$$

$$= A^2R(0) + ABd_7 + Bd_6$$

III. $att = 3T_b$

$$R(3T_b) = AR(2T_b) + Bd_5$$

$$= A(A^2R(0) + ABd_7 + Bd_6) + Bd_5$$

$$= A^3R(0) + A^2Bd_7 + ABd_6 + Bd_5$$

$$\vdots$$

IV. $att = 8T_b$

$$R(8T_b) = A^8R(0) + A^7Bd_7 + A^6Bd_6 + \cdots + ABd_1 + Bd_0$$

$$= A^8R(0) + [B \mid AB \mid A^2B \mid A^3B \mid \cdots \mid A^6B \mid A^7B]D$$

$$= A^8R(0) + CD$$

여기서

$$C = [B \mid AB \mid A^2B \mid A^3B \mid \cdots \mid A^6B \mid A^7B]$$

$$D = \begin{bmatrix} |d_0| \\ |d_1| \\ |d_2| \\ |d_3| \\ |d_4| \\ |d_5| \\ |d_6| \\ |d_7| \end{bmatrix}$$

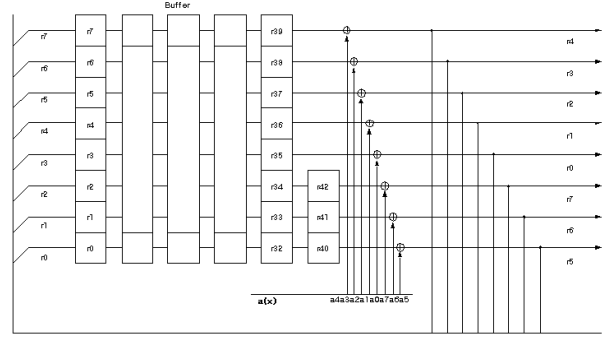


그림 10. Octet 단위의 병렬 스크램블러

Fig. 10. Octet-based Parallel Scrambler

그러므로

$$A^8 = \begin{bmatrix} |0 \cdots 01000000| \\ |0 \cdots 00100000| \\ |0 \cdots 00010000| \\ |0 \cdots 00001000| \\ |0 \cdots 00000100| \\ |0 \cdots 00000010| \\ |0 \cdots 00000001| \\ |1 \cdots 00000000| \\ |010 \cdots 00000000| \\ \vdots \\ |000 \cdots 10000000| \end{bmatrix}$$

$$C = \begin{bmatrix} |100 \cdots 00000000| \\ |010 \cdots 00000000| \\ |001 \cdots 00000000| \\ \vdots \\ |000 \cdots 00000100| \\ |000 \cdots 00000010| \\ |000 \cdots 00000001| \end{bmatrix}$$

$$r_0(8T_b) = r_{35}(0) \oplus d_0$$

$$r_1(8T_b) = r_{36}(0) \oplus d_1$$

$$r_2(8T_b) = r_{37}(0) \oplus d_2$$

$$r_3(8T_b) = r_{38}(0) \oplus d_3$$

$$r_4(8T_b) = r_{39}(0) \oplus d_4$$

$$r_5(8T_b) = r_{40}(0) \oplus d_5$$

$$r_6(8T_b) = r_{41}(0) \oplus d_6$$

$$r_7(8T_b) = r_{42}(0) \oplus d_7$$

$$r_8(8T_b) = r_0(0)$$

$$r_9(8T_b) = r_1(0)$$

$$\vdots$$

$$r_{42}(8T_b) = r_{34}(0)$$

< Output >

$$r_0(8T_b) = r_{35}(0) \oplus d_0$$

$$r_1(8T_b) = r_{36}(0) \oplus d_1$$

$$r_2(8T_b) = r_{37}(0) \oplus d_2$$

$$r_3(8T_b) = r_{38}(0) \oplus d_3$$

$$r_4(8T_b) = r_{39}(0) \oplus d_4$$

$$r_5(8T_b) = r_{40}(0) \oplus d_5$$

$$r_6(8T_b) = r_{41}(0) \oplus d_6$$

$$r_7(8T_b) = r_{42}(0) \oplus d_7$$

③ Octet 단위의 병렬 스크램블러
위의 그림 10 과 같은 구조를 갖는다.

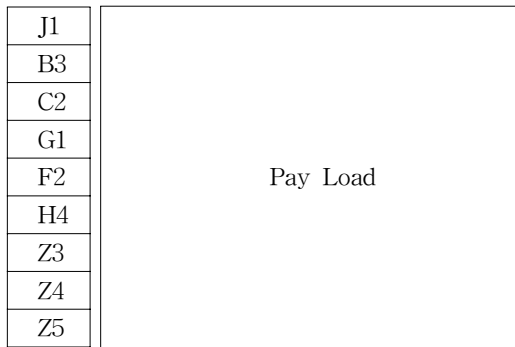


그림 11. VC4의 구성
Fig. 11. Structure of VC4

1.4 Path Over Head Transmit (POHT)

POHT 블록에서는 C4에 POH(Path Over Head)를 더함으로써 VC4를 생성한다. POH는 VC4(또는 VC3)의 첫 번째 열에 위치하고 한 바이트의 크기를 갖고 있으며 유로 부하들을 신뢰성 있게 수송하기 위해 필요한 제반 기능들을 수행한다. 종류 및 기능은 다음과 같다.

POH

1) J1

경로의 연결 상태를 연속적으로 추적하기 위한 채널이다. 즉, 64 바이트의 고정길이 신호를 반복적으로 송신함으로써 올바른 송신 장치와 연결되어 있음을 수신 장치가 확인할 수 있다.

2) B3

경로 오류 감시 기능을 위한 직교 짝수 검사 바이트로서 BIP-8(Bit Interleave Parity-8)을 통한 WKr수 검사를 수행하여 수신된 B3와 비교하여 서로 일치하지 않을 경우 그 개수를 표시하고 송신 측으로 다시 보낸다. 그리고 그 개수를 누적하고 그 누적치가 지정된 임계치를 초과하면 인터럽트가 발생한다. BIP-8은 직전 VC3/VC4에 대해서 스크램블 처리 전에 계산되며 해당 B3에 스크램블 처리전에 삽입된다.

3) C2

VC3/VC4의 구성 내용을 표시하기 위한 신호 표시로서 경로 장치가 장착되지 않음을 “00000000”으로 나타내고 “ATM 셀이 매핑되어 있음” “00010011”로 나타낸다.

4) G1

VC3/VC4 수신측에서의 경로 상태 및 성능을 VC3/VC4 송신측에 알려주기 위한 채널로서 상위 4비트는 원단 구획 오류(FEBE : Far-End Block Error)의 개수를 표시해준다. 수신측에서는 B3의 BIP-8을 확인한 후 오류가 발생한 개수를 세어서 0~8로 나타내어 송신측으로 보내주면 송신측에서 이값을 G1의 상위 4비트에 실어 수신측으로 보낸다. 수신측에서 16비트 레지스터를 사용하여 매 프레임에서 발생하는 PFEBE의 값을 누적하고

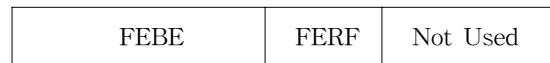


그림 12. G1 Byte의 구성
Fig. 12. Structure of G1 Byte

그 누적치가 지정된 임계치를 초과하거나 원단 수신 불능(FERF : Far-End Receive Failure) 여부를 나타내는 4번째 비트가 수신 불능 상태이면 이를 “1”로 둔다. 이때 PFERF가 10번 이상인 경우 인터럽트 방식으로 CPU로 전달한다. G1의 하위 비트는 사용하지 않으며 CPU에 의해 제어 가능하다.

Bit7 Bit6 Bit5 Bit4 Bit3 Bit2 Bit1 Bit0

5) F2

경로 장치들간의 사용자 통신을 위한 채널

6) H4

ATM 셀 들을 매핑한 VC4에 대해서는 다중 프레임 표시 기능이 필요하지 않으므로 H4를 ATM셀의 시작점을 표시하는데 사용한다. 즉, H4 바이트의 뒤에 나타나는 최초의 ATM 셀 시작점까지의 거리를 바이트 수로 세어서 H4에 기록하는 것이다. 이를 위해서는 0부터 52까지의 숫자가 필요하므로 H4 바이트중 6 비트를 이를 위해 할당한다. 수신부 에서는 수신된 H4값과 셀 경계 식별부에서 찾아진 값을 서로 비교하여 부 정합이 일어나면 CPU로 발생시킨다.

7) Z3~Z5

현재 사용하지 않는 예비 바이트로서 외부 Serial Interface를 통해 삽입한다.

2. AU4 포인터 생성 블록

AU4 포인터 생성블록은 VC-4 신호를 STM-1 프레임에 사상하기 위하여 STM-1 페이로드 내에서의 VC-4 시작점 포인트를 알려주는 H1, H2를

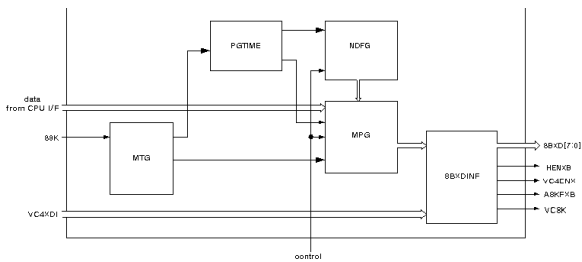


그림 13. AU4 포인터 생성의 블록도

Fig. 13. Block Diagram for the AU4 Pointer Generation

생성하는 기능을 수행하고 NDF, SS, I/D 연접 바이트를 세팅한다.

* 주요 입·출력

data from CPU I/F : CPU로부터 입력되는 데이터

S8K : 8KHz 프레임동기 클럭

VC4XDI : CDB 블록에서 생성된 VC4 입력

SBXD[7:0] : AU4 프레임

HENXB : 헤더 enable용 8KHz 신호

VC4ENX : VC4 enable용 신호

A8KFXB : STM-1 프레임 시작 한 바이트 동안 low

VC8K : CDB 블록으로 보내는 8 KHz 신호

2.1 Multiplex Time Generation Block (MTG)

이 블록은 19.44 Mhz 클럭과 8 kHz 클럭으로 송신부에서 필요로 하는 Timing 신호의 기준 신호를 발생하는 블록이다.

2.2 STM 블록 다중화 인터페이스 블록 (SBXDINF)

이 블록에서는 VC-4 데이터와 포인터 값을 다중화해서 AU4를 만들어 STM 블록으로 송신한다. 그리고 ATM 송신 셀 처리 블록으로 VC-4 enable 신호를 보낸다.

2.3 Pointer Generation Timing Block (PGTIME)

이 블록에서는 Pointer Generation 블록에서 사용하는 enable 신호를 생성하는 블록이다.

2.4 New Data Flag Generation Block (NDFG)

이 블록은 포인터 H1 바이트의 첫 4비트인 NDF를 결정해주는 블록이다. NDF는 정상적인 포인터 동작 시에는 “0110”으로 되어있고 비정상적인 포인터 값의 변경 시에는 NDF를 “1001”로 세팅하고 변경된 값을 포인터 자리에 쓴다. 그리

고 “0110”에서 3개 이상 반전 시 NDF가 발생한 것으로 취급한다. 이 블록에서는 CPU에서 NDF를 세팅할 수 있고 정상적인 동작에서는 포인터가 3 프레임 연속, 비정상적이면 4 프레임동안 low 신호에 의해 NDF를 세팅한다.

2.5 Multiplex Pointer Generation Block (MPG)

SDH에서는 다중화 처리 과정에서 필요한 동기화를 위해서 포인터 처리를 한다. 즉 VC가 상위 AU나 TU와 서로 다른 시간에 의해 조성되기 때문이다. VC가 AU, TU에 정렬될 때 프레임 내에서 VC의 시작 주소를 포인터에 표시하고 또한 시작 주소의 변화 관계를 포인터의 I,D 비트를 이용해서 표시한다.

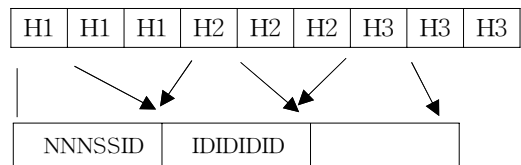


그림 14. H1과 H2의 구성

Fig. 14. Configuration of H1 and H2

Y=“1001ss11” 1*=“11111111”

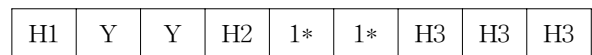


그림 15. AU4 포인터의 Offset 치

Fig. 15. Offset Value of AU4 Pointer

NDF가 “0110”로 되어있을 때에는 정상적인 포인터 작용을 한다. 포인터 10비트 중 1 비트가 반전되어 있으면 정 위치 맞춤이 발생됨을 의미하고 다음 프레임의 포인터 값을 “1” 증가시킨다. 포인터 10비트 중 D 비트가 반전되어 있으면 부 위치 맞춤이 발생됨을 의미하고 다음 프레임의 포인터 값을 “1” 감소시킨다. NDF가 “1001”로 되어 있으면 원하는 값을 포인터 자리에 써넣는다. 송신부에서는 VC가 AU4와 같은 클럭과 같은 시간에 만들어지기 때문에 포인터 처리를 할 필요가 없다. 그래서 포인터 값이 “000000001”로 고정되어 있고 NDF, SS 비트는 CPU에 의해서 제어가 가능하다. 신호크기 SS는 고위 단위 포인터의 경우에는 AU-4, AU-3, TU-3 모두에 대해서 “10”으로 두고 저위단위 포인터의 경우에는 TU-2이면 “00”, TU-12이면 “10”, TU-11이면 “11”로 둔다. 포인터의 주소는 AU-4, AU-3의 경우는 “0 ~ 782”이고 TU-3는 “0 ~ 764”, TU-2는 “0 ~ 427”, TU-12는 “0 ~ 139”, TU-11는 “0

~ 103"이다. 포인터 H1, H2는 연결된 AU, TU들에 대해서는 연결 표시를 나타내는데 사용한다. 만약 X개의 AU-4가 연결되어 있다면 첫 번째 AU-4는 정상적인 포인터 작용을 하고 나머지는 X-1의 AU-4에는 연결 표시를 나타내도록 한다. 이때 연결 표시 부호는 "1001ss111111111" 이다. 저위 TU들로 구성된 TUG-3의 경우에는 별도의 포인터가 필요하지 않는다. 그래서 포인터의 위치에 NPI(포인터 없음 표시)를 해준다. NPI 부호는 "1001ss1111100000"이다.

3. STM-1 생성블록

STM-1 생성 블록에서는 포인터처리가 된 AU4에 MSOH(다중화기 구간 오버헤드), RSOH(재생기 구간 오버헤드) 바이트들을 삽입하고 STM-1 프레임의 첫 번째 9 바이트를 제외한 모든 데이터 생성 다항식 X^7+X^6+1 로 병렬 스크램블링을 진행하여 19.44 MHz 8 비트 병렬 데이터를 155.520 Mbps의 직렬 형태의 데이터로 변화시킨다.

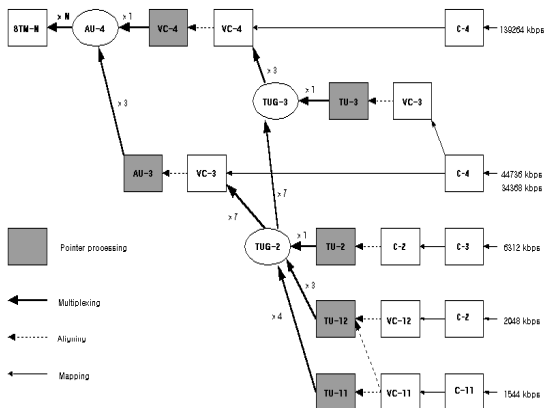


그림 16. STM-1 프레임 다중화 구조
Fig. 16. Multiple Structure of STM-1 Frame

* 주요 입·출력

- PAYLOAD[7:0] : 입력 데이터
- CONTROL : 제어 신호
- /F8K : 8KHz의 STM-1 프레임 기준 클럭
- TXOUT[7:0] : 스크램블 된 출력 클럭
- POH_DATA : 경로오버헤드 출력 데이터
- SETOH_DATA : s/p 변환 시 timing을 위한 입력 신호

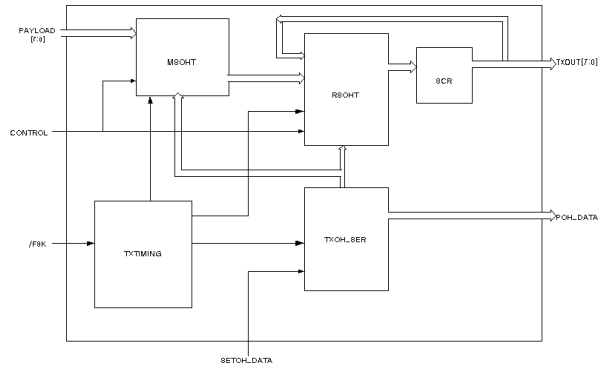


그림 17. STM-1 생성 블록의 블록도
Fig. 17. Block Diagram of STM-1 Generation Block

SOH + AU4 - Pointer
표 3. STM-1 구간 오버헤드 구조 및 Default Value
Table 3. Overhead Structure of STM-1 and Default Value

←-----→									
A1 (F6h)	A1 (F6h)	A1 (F6h)	A2 (28h)	A2 (28h)	A2 (28h)	C1 (01h)	(AAh)	(AAh)	RSOH
B1 (**)	(00h)	(00h)	E1 (FFh)	(00h)	(00h)	F1 (FFh)	(00h)	(00h)	
D1 (FFh)	(00h)	(00h)	D2 (FFh)	(00h)	(00h)	D3 (FFh)	(00h)	(00h)	
H1 (**)	H1 (9Fh)	H1 (9Fh)	H2 (**)	H2 (FFh)	H2 (FFh)	H3 (00h)	H3 (00h)	H3 (00h)	MSOH
B2 (**)	B2 (**)	B2 (**)	K1 (FFh)	(00h)	(00h)	K2 (F*)	(00h)	(00h)	
D4 (FFh)	(00h)	(00h)	D5 (FFh)	(00h)	(00h)	D6 (FFh)	(00h)	(00h)	
D7 (FFh)	(00h)	(00h)	D8 (FFh)	(00h)	(00h)	D9 (FFh)	(00h)	(00h)	
D10 (FFh)	(00h)	(00h)	D11 (FFh)	(00h)	(00h)	D12 (FFh)	(00h)	(00h)	
S1 (FFh)	Z1 (FFh)	Z1 (FFh)	Z2 (FFh)	Z2 (FFh)	M1 (**)	E2 (FFh)	(00h)	(00h)	
↑-----↓									

3.1 TxTIMING

이 블록에서는 STM 블록에서 사용하는 timing 신호와 이부 직렬 데이터와 인터페이스하기 위한 클럭을 생성한다.

3.2 MSOHT(Multiplex Section Over Head Tx)

다중화기 구간 오버헤드는 다중화기에서 마다 확인되는 구간 오버헤드로서 재생기 오버헤드는 투명하게 통과한다. 이 때 다중화기란 관리단위그룹 AUG가 조립 및 해체되는 장치를 의미한다. 다중화기 구간 오버헤드는 STM 프레임내의 하부에 위치한다.

종류 및 기능은 다음과 같다.

1) B2

송신 STM-1 다중구간 성능 감시용으로 이전 프레임에 대해 계산된 BIP-24 값을 현재 전송되는 STM-1 프레임의 B2 위치에 자동적으로 삽입한다.

BIP(Bit Interleaving Parity)의 계산 원리는 처음 플립플롭을 “0”으로 두고 들어오는 데이터가 “1”이면 플립플롭의 값을 반전시킨다. 결과적으로 들어오는 데이터의 even 패리티 값이 구해진다. BIP-24를 계산하려면 24개의 플립플롭이 필요하고 또한 데이터의 시작과 끝을 알아야 한다.

2) K1, K2

STM-1 다중 구간의 ASP(Automatic Switching Protection)용으로 CPU의 제어에 따라 삽입한다. 여기서 K2 바이트의 비트 6, 7, 8은 MS-AIS(Automatic Indication Signal)“111”, MS-RDI(Remote Default Indication)“111”로 사용하며 하드웨어에 의한 자동검출 결과는 CPU에 의한 강제 삽입, 제어 기능을 갖는다. 또한 MS-RDI는 하드웨어에 의한 자동 삽입과 이의 CPU에 의한 Disable 기능도 갖는다.

3) D4 ~ D12

STM-1 OAM(Operation And Management)을 위한 데이터 통신 채널로 외부 직렬 인터페이스(596Kbps)를 통하여 삽입한다. 아래의 576 KHz 직렬 인터페이스 타이밍 신호에서 클럭을 지연시킨 내부 클럭(669ns 지연된 클럭)을 사용하여 직렬 데이터를 래치하기 때문에 rising 또는 falling edge에서 출력되면 안전하게 데이터를 수신할 수 있다.

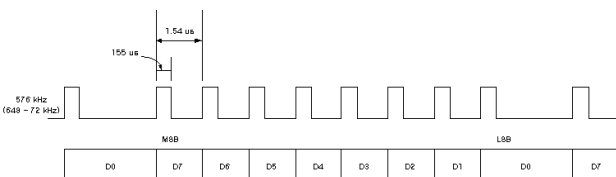


그림 18. 576Kbps 직렬 인터페이스 타이밍

Fig. 18. 576Kbps Serial Interfacing Timing

4) S1

망 동기 메시지 전달용 채널로 CPU 인터페이스를 통하여 제어한다.

5) Z1, Z2

향후 사용을 위해 확보된 예비 채널로 각각 외부 직렬 인터페이스(64 Kbps)를 통하여 삽입한다.

6) M1

수신 STM-1 다중구간 BIP-24 검사결과 에러 상태를 대국으로 전달하기 위한 채널(REI:Remote Error Indication)로 수신 에러 개수를 자동적으로 삽입한다.

7) E2

다중 구간용 운용자 음성 채널로 외부 직렬 인터페이스(64 Kbps)를 통하여 삽입한다.

아래의 64 KHz 직렬 인터페이스 타이밍 신호에서 클럭을 지연시킨 내부 클럭(669ns 지연된 클럭)을 사용하여 직렬 데이터를 래치하기 때문에 rising 또는 falling edge에서 출력되면 안전하게 데이터를 수신할 수 있다.

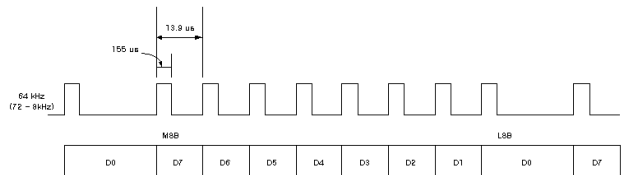


그림 19. 64Kbps 직렬 인터페이스 타이밍

Fig. 19. 64Kbps Serial Interfacing Timing

3.3 RSOHT (Regeneration Section Over Head Tx)

재생기 구간 오버헤드는 재생기에서 마다 확인하는 구간 오버헤드로서 프레임 구조내의 포인터 바이트의 상부에 위치한다. 재생기 구간 오버헤드는 그림.18에서처럼 구성되어 있고 각 바이트의 기능은 다음과 같다.

1) A1, A2

STM-1 프레임의 경계를 식별하기 위한 프레임 정렬 부호인데 이들은 각각 “11110110”과 “00101000”로 규정된다.

2) C1

STM-1 식별자로서 Default값은 01h 이다. 이

값은 CPU 인터페이스를 통해 변경 가능하며 C1 바이트 다음에 뒤따르는 국가적 예비 할당된 8번째, 9번째 바이트는 AAh로 고정한다.

3) B1

중계구간 성능 감시용으로 BIP-8 값을 현재의 전송 프레임에 삽입한다.

여기서 BIP(Bit Interleaving Parity)의 계산 원리는 처음 플립플롭을 “0”으로 두고 들어오는 데이터가 “1”이면 플립플롭의 값을 반전시킨다. 결과적으로 들어오는 데이터의 even 패리티 값이 구해진다. BIP-8를 계산하려면 8개의 플립플롭이 필요하고 또한 데이터의 시작과 끝을 알아야 한다. 첫 데이터 입력 때 첫 바이트 데이터를 플립플롭에 로드하고 또한 뒤단의 플립플롭(계산결과 저장)으로 값을 래치한다. 그래서 BIP-8를 계산하는 플립플롭의 값을 clear할 필요가 없다.

4) E1

중계구간 운용자 음성 채널로 외부로부터 직렬 인터페이스 (64Kbps)를 통하여 삽입한다.

5) F1

사용자용 채널로 외부 CPU 또는 외부 직렬 인터페이스 (64Kbps)를 통하여 삽입한다.

6) D1 ~ D3

STM-1 OAM을 위한 중계 구간용 데이터 통신 채널로 외부 직렬 인터페이스를 통하여 삽입한다.

아래의 192 KHz 직렬 인터페이스 타이밍 신호에서 클럭을 지연시킨 내부 클럭(669ns 지연된 클럭)을 사용하여 직렬 데이터를 래치하기 때문에 rising 또는 falling edge에서 출력되면 안전하게 데이터를 수신할 수 있다.

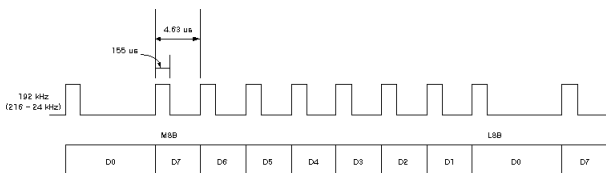


그림 20. 192Kbps 직렬 인터페이스 타이밍
Fig. 20. 192 Kbps Serial Interfacing Timing

3.4 TXOH_SER (Tx Over Head_Serial Data)

576Kbps 직렬 데이터를 9바이트의 오버헤드 데이

터로 변환한다. 여기에서 발생하는 오버헤드 바이트는 RSOH의 F1 바이트, MSOH의 Z1A, Z1B, Z2A, Z2B 바이트, POH의 F2, Z3, Z4, Z5 바이트이다.

3.5. SCR (Scramble)

이 블록에서는 특성 다항식 “ X^7+X^6+1 ”을 이용하여 스크램블링을 실행하는 블록이다. 특히 이 블록에서 8비트 병렬 스크램블 기법이 사용된다.

병렬 스크램블의 원리는 다음과 같다. 고속 데이터가 N:1 mux를 통하여 생성 된다고 가정하면 다중화 이전 상태의 분주된 데이터에 대응되는 원래의 스크램블링 시퀀스를 N으로 Decimation한 N개의 Decimation 시퀀스를 생성하고 이들을 각각 XOR 게이트에 입력한 후 단순 mux를 사용하여 다중화하면 직렬 스크램블러와 동일한 효과를 얻을 수 있다. 직렬 스크램블러의 스크램블링 시퀀스는 선로 전송 속도에서 생성되지만 병렬 스크램블러는 선로 전송 속도의 1/N인 속도의 Decimation 시퀀스를 생성한다. 여기에서는 $155\text{MHz} / 8 = 19.44\text{MHz}$ 속도로 처리한다.

주기 $P=2^n-1$ 인 PN(Pseudo-Random Noise) 시퀀스를 정수 N으로 Decimation할 경우 P와 N가 상대 소(Relative Prime)인 경우 N개의 Decimation 시퀀스는 원래 시퀀스와 위상차가 관계에 있을 뿐 주기 P인 동일한 PN 시퀀스이다. 이들 Decimation 시퀀스간의 위상차는 다음 식으로 구할 수 있다.

$$NxT(\text{modulo } P) = 1 \tag{1}$$

T는 위상차

ITU-T에서 권고한 스크램블러의 특성 다항식은 다음 (2)식과 같다.

$$f(x) = X^7 + X^6 + 1 \tag{2}$$

따라서 (2)식의 특성 다항식으로 생성되는 PN 시퀀스를 8로 Decimation할 경우 (2)식으로부터 T는 16이 된다. 단위선행 연산자를 L로 표시하면 다음 식을 만족한다.

$$f(1/L) = 0 \tag{3}$$

식 (2) 와 (3)에서 (4)식을 유도할 수 있다.

$$L^7 + L + 1 = 0 \tag{4}$$

식 (4)를 이용하여 8개의 Decimation 시퀀스들

을 구할 수 있다.

$$\begin{aligned}
 SEQ1 &= bn & (5) \\
 SEQ2 &= L^{16}\{bn\} = \{L^4 \oplus L^2\}\{bn\} \\
 SEQ3 &= L^{32}\{bn\} = \{L^4 \oplus L^2 \oplus L\}\{bn\} \\
 SEQ4 &= L^{48}\{bn\} = \{L^5 \oplus L^4 \oplus L^3 \oplus L^2 \oplus L\}\{bn\} \\
 SEQ5 &= L^{64}\{bn\} = \{L^4 \oplus L\}\{bn\} \\
 SEQ6 &= L^{80}\{bn\} = \{L^6 \oplus L^5 \oplus L^3 \oplus L^2 \oplus L\}\{bn\} \\
 SEQ7 &= L^{96}\{bn\} = \{L^6 \oplus L^3 \oplus L\}\{bn\} \\
 SEQ8 &= L^{112}\{bn\} = \{L^4 \oplus L^2 \oplus 1\}\{bn\} \\
 &(\{bn\} \text{은 원래 시퀀스})
 \end{aligned}$$

스크램블러는 쉬프트 레지스터로 구성되므로 각 플립플롭들은 1 만큼의 위상차를 갖고 있다. 그러므로 주어진 다항식에 따라 구현된 쉬프트 레지스터의 각 플립플롭의 출력들을 (5)식에 따라 XOR 게이트를 사용하여 조합하면 155MHz / 8 (19.44MHz) 속도에서 동작하는 병렬 스크램블러를 구현할 수 있다. 만약 N 값이 Multiplexer Subgroup $\{1,2,3,4,8,\dots,2^{r-1}\}$ 의 원소이면 주어진 특성 다항식인 (2)식을 그대로 사용하여 Decimation 시퀀스를 구할 수 있다. Multiplexer Subgroup의 원소가 아닌 임의의 N 값일 경우 주어진 특성 다항식에서 유도되는 또다른 특성 다항식을 사용하여 Decimation 시퀀스를 얻을 수 있다.

8 비트 병렬 스크램블의 다른 알고리즘은 행렬을 이용하여 8 클럭이 지난 후의 레지스터의 상태와 출력을 초기 레지스터의 함수로 나타내는 방법이 있다.

그림 21 는 Bit-Serial PN sequence 발생기를 보여주고 있다.

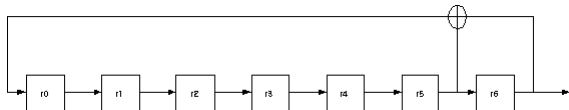


그림 21. Bit-Serial PN sequence 발생기
Fig. 21. Generator of Bit-Serial PN sequence

1) 수식 표현

초기 레지스터의 상태는 모두 “1”

$$\begin{aligned}
 \text{I. } att = Tb \\
 r_0(T_b) &= r_5(0) \oplus r_6(0) \\
 r_1(T_b) &= r_0(0) \\
 r_2(T_b) &= r_1(0) \\
 r_3(T_b) &= r_2(0) \\
 &\vdots \\
 r_6(T_b) &= r_5(0) \\
 \text{출력은 } O_7 &= r_6(0)
 \end{aligned}$$

위의 식을 행렬로 나타내면

$$R(T_b) = AR(0)$$

여기서

$$A = \begin{bmatrix} 0100000 \\ 0010000 \\ 0001000 \\ 0000100 \\ 0000010 \\ 0000001 \\ 1100000 \end{bmatrix}$$

$$\begin{aligned}
 \text{II. } at t = 2Tb \\
 r_0(2T_b) &= r_5(T_b) \oplus r_6(T_b) \\
 r_1(2T_b) &= r_0(T_b) \\
 r_2(2T_b) &= r_1(T_b) \\
 r_3(2T_b) &= r_2(T_b) \\
 &\vdots \\
 r_6(2T_b) &= r_5(T_b) \\
 \text{출력은 } O_6 &= r_6(T_b) = r_5(0)
 \end{aligned}$$

위의 식을 행렬로 나타내면

$$\begin{aligned}
 R(2T_b) &= AR(T_b) = A(AR(0)) \\
 &= A^2R(0)
 \end{aligned}$$

$$\begin{aligned}
 \text{III. } at t = 3T_b \\
 \text{출력은 } O_5 &= r_6(T_b) = r_4(0) \\
 R(3T_b) &= AR(2T_b) = A(A^2R(0)) \\
 &= A^3R(0) \\
 &\vdots
 \end{aligned}$$

$$\begin{aligned}
 \text{IV. } at t = 8T_b \\
 \text{출력은 } O_0 &= r_6(7T_b) = r_5(0) \oplus r_6(0) \\
 R(8T_b) &= A^8R(0)
 \end{aligned}$$

여기서

$$A^8 = \begin{bmatrix} 0110000 \\ 0011000 \\ 0001100 \\ 0000110 \\ 0000011 \\ 0000011 \\ 1100001 \\ 1010000 \end{bmatrix}$$

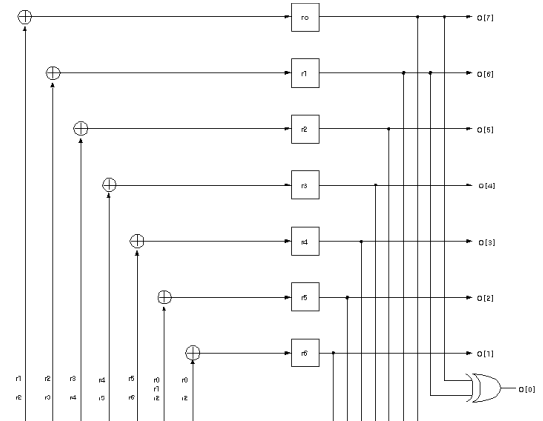


그림 22. 병렬 PN sequence 발생기
Fig. 22. Generator of Parallel PN Sequence

위의 계산 결과로 병렬 PN Sequence 발생기는 아래 그림 22와 같다.

이 블록에서는 첫 번째 방법의 병렬 PN sequence 발생 알고리즘을 사용하여 구현하고 있다.

Ⅲ. 결 론

본 논문에서는 초고속 정보통신 서비스를 받는 각 가입자가 궁극적으로 제공 받게되는 155Mbps 급의 데이터를 송신할 수 있는 광 송신기를 설계 분석하였다.

덕내의 각 가입자가 음성, 데이터, 영상 등의 쌍방향 멀티미디어 서비스를 ATM 서비스 데이터 형태로 매핑 한 후, 광 가입자 접속 장치의 송신 장치는 가입자 접속부의 ATM 계층으로부터 ATM 셀을 비동기적인 방법으로 FIFO를 통해

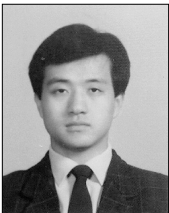
수신하여 Idle/Unassigned 셀의 삽입, 셀에 대한 HEC 계산, 그리고 셀 페이로드에 대한 스크램블

링을 통해 VC4 신호 페이로드에 사상한다. 이때 VC4 POH상의 H4 바이트에 의해 셀의 시작점을 지시하고 동시에 POH 오버헤드에 대한 생성, 삽입을 통해 VC4 신호를 형성한다. 이 신호는 AU4 포인터 생성부에서 VC4의 시작점 J1을 생성하여 AUG 버스를 통해 STM-1 신호 생성 부에서 프레임 형태로 출력된 후 155Mbps 속도로 광 신호로 변환되어 송신된다.

[참고 문헌]

- [1] 이병기 외 3명, 광대역 정보통신, 교학사, 서울, 1994.
- [2] 정혜선 역, 디지털 시스템 설계, 성안당, 서울, 1992.
- [3] Mike Saxon, Transmission Networking : SONET and the SDH, Artech House, Boston London, 1992
- [4] ITU-Ts G.70x
- [5] ITU-Ts G.781, G.782, G.783

Biography



송 흥 종

1992년 2월 : 전남대학교 물리학과 (이학사)

1994년 2월 : 전남대학교 전자공학과 (공학석사)

1994년 1월 ~ 1998년 3월 : 현대전자 정보통신 연구소 주임연구원

2004년 9월 ~ 현재 : 연세대학교 전기·전자 공학과 박사수료

2000년 11월 ~ 현재 : 방송통신위원회 전파연구소 재직 중

<주 관심분야>

방송통신융합서비스, 광대역정보통신망, 광대역

무선통신시스템 등

<e-mail> shj@kcc.go.kr