
이중게이트 MOSFET에서 채널내 도핑분포에 대한 드레인유기장벽감소 의존성

정학기*

Dependence of Drain Induced Barrier Lowering for Doping Profile of Channel in Double Gate MOSFET

Hak Kee Jung*

요 약

본 연구에서는 이중게이트(Double Gate; DG) MOSFET의 채널내 도핑분포 형태에 따른 드레인유기장벽감소(drain induced barrier lowering; DIBL) 현상을 분석하였다. DG MOSFET는 기존 MOSFET에서 발생하는 단채널효과를 감소시킬 수 있다는 장점 때문에 많은 연구가 진행 중에 있다. DIBL은 높은 드레인 전압에 의하여 발생하는 에너지밴드의 변화가 문턱전압의 감소로 나타나는 단채널효과이다. 이러한 DIBL을 DG MOSFET의 구조적 파라미터 및 채널 내 도핑분포함수의 변화에 따라 분석하고자 한다. 이를 위하여 가우시안 분포함수를 이용하여 포아송방정식의 해석학적 모델을 유도하였다. 본 논문에서 사용한 해석학적 포아송방정식의 전위분포모델 및 DIBL 모델의 타당성을 입증하기 위하여 수치해석학적 결과값과 비교하였으며 이 모델을 이용하여 DG MOSFET의 DIBL을 분석하였다.

ABSTRACT

In this paper, the drain induced barrier lowering(DIBL) for doping distribution in the channel has been analyzed for double gate MOSFET(DG MOSFET). The DG MOSFET is extensively being studied because of advantages to be able to reduce the short channel effects(SCEs) to occur in conventional MOSFET. DIBL is SCE known as reduction of threshold voltage due to variation of energy band by high drain voltage. This DIBL has been analyzed for structural parameter and variation of channel doping profile for DG MOSFET. For this object, The analytical model of Poisson equation has been derived from Gaussian doping distribution for DG MOSFET. To verify potential and DIBL models based on this analytical Poisson's equation, the results have been compared with those of the numerical Poisson's equation, and DIBL for DG MOSFET has been investigated using this models.

키워드

DG MOSFET, 포아송 방정식, 도핑분포, 이온주입범위, 분포편차, 드레인유기장벽감소

Keyword

DG MOSFET, Poisson's equation, doping profile, projected range, standard projected range, DIBL

* 정회원 : 군산대학교 (교신저자, hkjung@kunsan.ac.kr)

접수일자 : 2011. 05. 20

심사완료일자 : 2011. 07. 14

I. 서 론

최근 일본 엘피다에서는 25nm 공정을 이용한 DRAM 을 올 7월부터 양산하겠다고 발표하였다. 이에 삼성전자 등 우리나라의 메이저급 반도체 메모리업체에서는 20nm급 DRAM 양산을 올해로 앞당기려고 하고 있다. 이와같이 삼성전자 및 하이닉스 반도체는 향후 경쟁력 확보를 위하여 공격적인 투자를 하고 있다. 메모리칩의 생산성을 향상시키기 위하여 고용량집적은 필수적이며 이에 따라 고집적 고성능 메모리칩에 사용할 수 있는 FET의 개발에 관심이 집중되고 있다. 고용량을 동일한 면적에 집적시키기 위하여 초소형 FET가 사용되어야 하나 현재 메모리칩에 사용중인 CMOS의 경우 채널길이 20nm이하까지 감소하면 단채널효과에 의한 문턱전압의 급격한 변화 때문에 설계에 어려움을 겪고 있으며 차단전류의 증가에 의한 문턱전압이하 스윙(Subthreshold Swing) 특성의 저하 때문에 디지털응용에서 중요한 ON/OFF 경계가 모호해지는 문제점을 나타내고 있다. 그리고 단채널에서 드레인전압이 증가하면 그 영향으로 소스의 에너지밴드 저하로 문턱전압의 변화가 나타나는 드레인유기장벽감소(Drain Induced Barrier Lowering; DIBL) 등 여러 가지 소자특성의 저하현상이 나타난다. 그러므로 세계적으로 단채널효과를 감소시킬 수 있는 소자개발에 집중하고 있으며 이를 위하여 가장 유망한 소자로 개발되고 있는 것이 다중게이트(Multi Gate) MOSFET 구조 소자이다[1-3].

다중게이트 MOSFET중 가장 보편적으로 사용하고 있는 형태가 이중게이트(Double Gate; DG) MOSFET이다. 또한 FinFET와 같이 지느러미형태로 채널을 제작하여 FET를 구성하는 구조도 있다. 구조 및 형태에 관계없이 둘 이상의 게이트에 의하여 채널내 전하제어 능력이 하나의 게이트만 가진 기존의 MOSFET보다 우수하며 초박막형태로 제작할 수 있어 단채널효과를 감소시킬 수 있다는 장점이 있다.[4]

포아송방정식을 이용하여 DG MOSFET의 채널내 표면전위분포 및 전송특성을 해석할 때 DG MOSFET의 채널내 도핑은 고전적인 볼츠만 분포함수에 의하여 최소채널전위와 관계된 전하 분포식을 이용하여 해석하고 있다.[4] 그러나 일반적으로 MOSFET의 채널을 형성하는 과정은 대부분 여러번의 이온주입 및 열처리과정 그리고 문턱전압조정 이온주입 등을 이용

하므로 비선형으로 도핑되고 있다. 이러한 이온주입법을 이용하여 도핑된 채널내 도핑분포는 일반적으로 가우시안(Gaussian) 함수와 같이 비선형으로 분포된다. 가우시안 함수를 이용하여 포아송방정식을 풀 때 해석학적 전송모델을 유도하기 어렵다는 단점이 있으나 오차함수를 이용하면 가능하다고 알려져 있으며 이와같이 비선형 도핑분포를 이용한 포아송방정식의 전위분포에 대한 해석학적 모델은 기존의 논문에서 제시한 바와 같이 수치해석학 모델과 잘 일치하는 것을 알 수 있다[5]. 이 전위분포 모델을 이용하면 DG MOSFET 소자의 채널내 캐리어의 전송특성을 분석할 수 있으며 특히 단채널효과를 분석하는데 매우 효과적이라고 판단된다.

본 연구에서는 채널내 도핑분포가 가우시안 함수로 분포될 때 단채널효과 중 문턱전압변화를 야기시키는 드레인유기장벽감소 현상에 대하여 분석한다. 드레인유기장벽감소는 드레인전압을 1V 변화시켰을 때 나타나는 문턱전압의 변화로 정의하며 기존 MOSFET의 SPICE모델에서는 L_g^{-3} 에 비례하는 것으로 나타난다[6]. 그러므로 드레인유기장벽감소는 드레인전압에 의한 문턱전압의 감소를 나타내는 척도가 된다. 채널내 도핑분포는 표면전위분포에 영향을 미치며 그로 인하여 전송특성에 변화를 나타낸다. 이러한 도핑분포의 변화가 결국 문턱전압의 변화로 나타나며 드레인유기장벽감소에도 영향을 미치게 된다. 본 연구에서는 도핑분포의 변화에 대한 드레인유기장벽감소에 대한 의존성을 조사 분석하고자 한다.

본 논문에서는 비선형 도핑분포를 이용하여 구한 포아송방정식의 해석학적 모델에 대하여 설명하고, 다양한 도핑분포에 대하여 이 모델로 구한 DG MOSFET의 드레인유기장벽감소를 고찰하고자 한다. 2장에서는 비선형 도핑분포를 갖는 포아송방정식의 해석학적 분석을 통하여 구한 전위분포 모델과 드레인유기장벽감소 모델에 대하여 설명할 것이며 3장에서는 이 모델을 이용하여 계산한 전위분포 및 드레인유기장벽감소에 대하여 설명할 것이다. 특히 채널내 다양한 도핑분포함수에 대한 드레인유기장벽감소의 변화에 중점을 두어 고찰할 것이다. 마지막으로 4장에서 결론을 맺고자 한다.

II. 문턱전압과 드레인유기장벽감소 모델

그림 1은 이 논문에서 사용한 DG MOSFET의 개략도로서 x, y, z 방향에 대한 전위분포를 구하기 위하여 다음과 같은 포아송방정식을 이용한다.

$$\nabla^2 \phi(x, y, z) = \frac{qn(x)}{\epsilon_{si}} \quad (1)$$

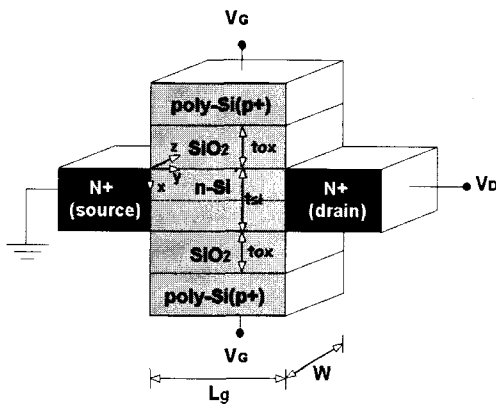


그림 1. DG MOSFET의 개략도
Fig. 1 Schematic view of DG MOSFET

그러나 z 방향으로의 전위분포는 거의 일정하므로[7] x, y 방향의 2차원 전위분포만을 이용하여 해석학적 모델을 유도하였다. $n(x)$ 는 채널내 도핑분포함수로서 식(2)와 같은 가우시안 분포함수를 이용하였다.

$$n(x) = N_p \exp\left\{-\frac{(x - R_p)^2}{2\sigma_p^2}\right\} \quad (2)$$

여기서 N_p 는 이온주입시 도즈량(cm^{-2})이며 R_p 와 σ_p 는 각각 이온주입의 범위 및 분포편차를 나타낸다. 식(1)과 (2)를 풀기위하여 Tiwari et al.[5]과 G. Zhang et al.[8]의 경계조건 등을 이용하면 표면전위분포는 식(3)과 같다.

$$\phi_s = F \exp(y/\lambda) + G \exp(-y/\lambda) + V_G - V_{fb} - \lambda^2 q N_p \exp(-B^2) / \epsilon_{si} \quad (3)$$

$$F = H(M - V_D / (\exp(-L_g/\lambda) - 1)) - H V_G$$

$$G = K(M - V_D / (\exp(L_g/\lambda) - 1)) - K V_G$$

$$H = \frac{\exp(-L_g/\lambda) - 1}{\exp(-L_g/\lambda) - \exp(L_g/\lambda)}$$

$$K = \frac{\exp(L_g/\lambda) - 1}{\exp(L_g/\lambda) - \exp(-L_g/\lambda)}$$

$$M = V_{bi} + V_{fb} + \lambda^2 q N_p \exp(-B^2) / \epsilon_{si}$$

여기서 B, λ 는 참고문헌 [9]에 표시되어 있으며 ϕ_s 는 표면전위이며 V_{fb} 는 평탄전위, V_{bi} 는 전위장벽, V_G 는 게이트전압, V_D 는 드레인 전압이다. 표면전위의 최소값을 구하기 위하여 식(3)의 미분값을 이용한다. 즉, $d\phi_s/dy |_{y=y_{min}} = 0$ 에서 y_{min} 을 구하여 표면전위의 최소값을 구한다. 이때 문턱전압의 정의, 즉 표면전위의 최소값이 페르미전위의 2배가 될 때의 게이트전압을 구하여 문턱전압으로 정한다. 정의를 이용하여 구한 문턱전압은 다음과 같다.

$$V_{th} = \frac{R - \{R^2 - 4(4HK - 1)(4NP - S^2)\}^{1/2}}{8HK - 2} \quad (4)$$

$$S = V_{fb} + 2\phi_f + \lambda^2 q N_p \exp(-B^2) / \epsilon_{si}$$

$$R = 2S - 4HK[(M - V_D / (\exp(L_g/\lambda) - 1)) + (M - V_D / (\exp(-L_g/\lambda) - 1))]$$

식 (4)에서 ϕ_f 는 페르미전위, ϵ_{si} 는 실리콘의 유전율이다. 식 (3)과 (4)에서 알 수 있듯이 표면전위분포와 문턱전압은 드레인 전압에 따라 변화하게 된다. 식 (3)을 고찰해 보면 채널길이가 클 때 G 에서 V_D 의 영향은 매우 작아지는 것을 알 수 있으며 또한 F 는 H 값의 감소에 의하여 V_D 의 영향이 작아지는 것을 알 수 있다. 그러나 채널길이가 작아지면 드레인전압의 영향력이 상대적으로 증가함을 알 수 있다. 본 연구에서는 식 (4)를 이용하여 문턱전압을 구하였으며 이때 드레인 전압을 1V 변화시켰을 때 문턱전압의 변화 즉, 드레인유기장벽감소 현상을 식(2)의 이온주입범위 및 분포편차를 변화시키면서 구하여 고찰하였다. 즉 드레인유기장벽감소는 다음과 같은 식으로 나타낼 수 있다.

$$DIBL = V_{th}(V_D = 0V) - V_{th}(V_D = 1V) \quad (5)$$

III. 표면전위와 드레인유기장벽감소

식 (3)에 의하여 구한 표면전위분포의 타당성을 조사하기 위하여 그림 2에 이차원 수치해석학적 값과 비교하였다. 즉, 드레인 전압이 0.1V와 0.3V일 때 그리고 게이트 전압이 0.1V, 0.3V일 때 이 논문의 모델을 이용하여 구한 값과 이차원 수치해석학적 방법으로 구한 결과를 비교하였다. 비교 결과 매우 잘 일치하고 있는 것을 알 수 있었다. 그러므로 식(3)의 표면전위분포 모델은 유용한 것으로 판단되어 식(3)과 식 (4)를 이용하여 구한 식 (5)에 의하여 드레인유기장벽감소를 구하였다. 특히 도핑분포의 형태, 즉 이온주입범위 및 분포편차에 따른 변화를 관찰하였다.

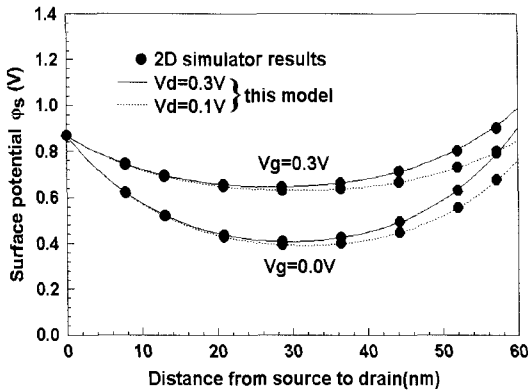


그림 2. 인가전압에 따른 표면전위분포
Fig. 2 Surface potential distribution according to applied voltage

이온주입범위의 변화에 대한 드레인유기장벽감소의 변화를 그림 3에 도시하였다. 게이트길이가 감소할수록 드레인유기장벽감소 효과는 더욱 크게 나타나는 것을 알 수 있다. 또한 이온주입범위가 증가할수록 더욱 강하게 드레인유기장벽감소 현상이 발생하고 있다. 그러나 기울기 즉, 게이트길이에 대한 드레인유기장벽감소의 변화율은 이온주입범위에 따라 거의 변화하지 않는다는 것을 관찰할 수 있으나 게이트길이가 증가할수록 이

온주입범위에 대한 변화가 증가하고 있다. 상대적으로 단채널에서는 이온주입범위가 드레인유기장벽감소 현상에 큰 영향을 미치지 못하는 것을 알 수 있다. 드레인유기장벽감소는 기존의 MOSFET에서 게이트길이의 3승에 반비례하는 것으로 알려져 있으므로 비교를 위하여 L_g^{-3} 의 곡선을 점선으로 함께 도시하였다. 그림 3의 실선과 비교하면 DG MOSFET의 경우, 기존 MOSFET보다 게이트길이에 대한 변화가 더욱 심하다는 것을 알 수 있다.

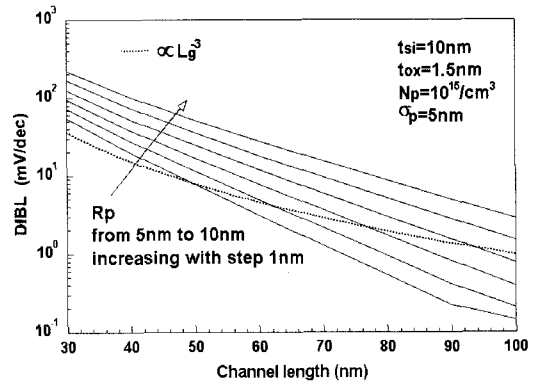


그림 3. 이온주입범위의 변화에 따른 드레인유기장벽감소의 변화

Fig. 3 The variation of drain induced barrier lowering according to the change of projected range

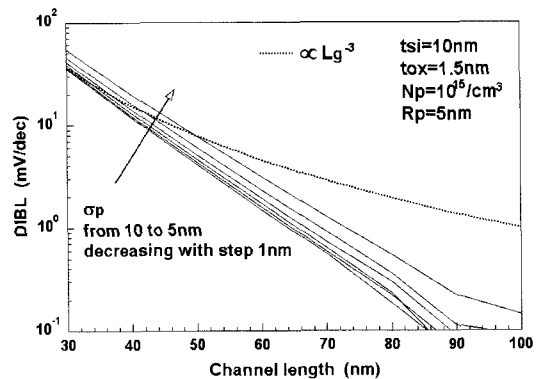


그림 4. 분포편차의 변화에 따른 드레인유기장벽감소의 변화

Fig. 4 The variation of drain induced barrier lowering according to the change of standard projected deviation

분포편차가 드레인유기장벽감소에 미치는 영향을 관찰하기 위하여 그림 4에 분포편차를 파라미터로 분포편차가 드레인유기장벽감소에 미치는 영향을 관찰하기 위하여 그림 4에 분포편차를 파라미터로 하고 게이트길이에 따라 드레인유기장벽감소 현상을 도시하였다. 이온주입범위의 경우와 달리 분포편차는 감소할수록 드레인유기장벽감소가 증가하고 있다는 것을 알 수 있다. 또한 게이트길이가 작아질수록 분포편차에 대한 드레인유기장벽감소의 변화가 거의 발생하고 있지 않았다.

즉 그림 3의 이온주입범위에서와 마찬가지로 단채널에서는 분포편차가 드레인유기장벽감소의 변화에 거의 영향을 미치지 못하는 것을 알 수 있다. 기존 MOSFET의 게이트길이에 대한 변화율과 비교하기 위하여 그림 4에 점선으로 변화율을 도시하였다. 비교결과 그림 4와 마찬가지로 게이트길이에 대하여 L_g^{-3} 보다 심한 변화를 나타냈고 있다. 특히 게이트길이가 작을 때는 거의 L_g^{-3} 의 변화율을 따르고 있으나 게이트길이가 증가하면 할수록 차이가 심하게 발생하고 있다. 그림 3과 그림 4에서 알 수 있듯이 DG MOSFET는 기존 MOSFET와 다른 게이트길이 의존성을 나타내고 있다는 것을 알 수 있다.

드레인유기장벽감소 현상을 도핑분포함수에 따라 좀 더 자세히 고찰하기 위하여 게이트길이를 30nm로 고정한 상태에서 이온주입범위를 파라미터로 하여 드레인유기장벽감소의 분포편차에 대한 변화를 그림 5에 도시하였다. 분포편차가 작을 때는 이온주입범위에 따라 드레인유기장벽감소가 크게 변화하나 분포편차가 증가할수록 이온주입범위의 크기와는 거의 무관하게 드레인유기장벽감소 현상이 줄어들어 가는 것을 알 수 있다. 또한 그림 3에서 관찰한 바와같이 이온주입범위가 감소할 때 드레인유기장벽 감소 현상이 줄어들고 있다는 것을 알 수 있다.

분포편차를 파라미터로 구한 드레인유기장벽감소를 그림 6에 도시하였다. 이온주입범위가 작을 때는 분포편차의 크기에 관계없이 매우 작은 드레인유기장벽감소를 나타내나 이온주입범위가 증가할수록 드레인유기장벽감소 현상은 크게 증가하는 것으로 나타났다. 특히 분포편차가 작을 때 드레인유기장벽감소의 변화는 매우 심하게 나타내고 있다. 그러나 분포편

차가 10nm정도로 증가할 경우 이온주입범위의 변화와 무관하게 거의 일정한 드레인유기장벽감소 현상을 보인다.

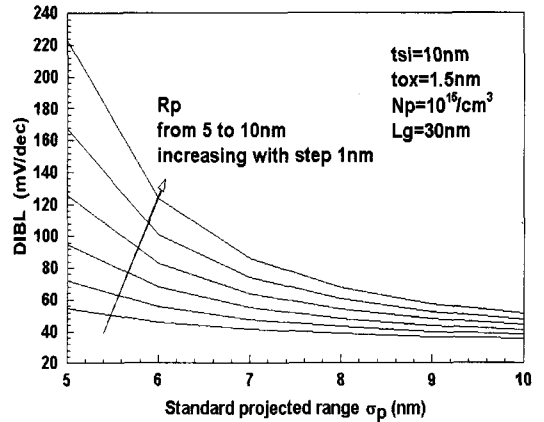


그림 5. 이온주입범위를 파라미터로 구한 드레인유기장벽감소의 분포편차에 대한 변화
Fig. 5 The variation of drain induced barrier lowering for standard projected deviation with parameter of projected range

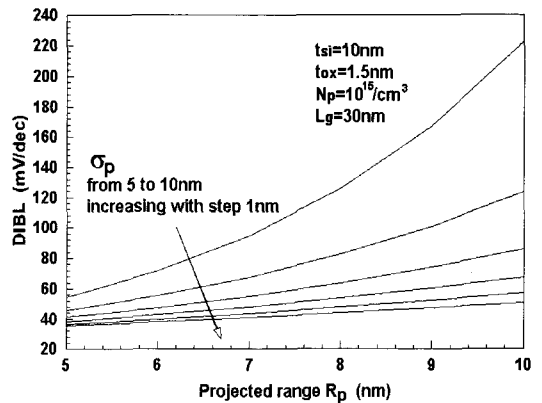


그림 6. 분포편차를 파라미터로 구한 드레인유기장벽감소의 이온주입범위에 대한 변화
Fig. 6 The variation of drain induced barrier lowering for projected range with a parameter of standard projected deviation

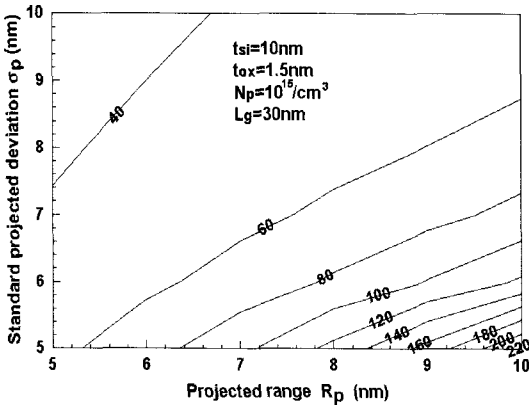


그림 7. 이온주입범위와 분포편차에 대한 드레인유기장벽감소의 등고선

Fig. 7 Contours of drain induced barrier lowering for standard projected deviation and projected range

이온주입범위와 분포편차에 대한 드레인유기장벽감소의 변화를 자세히 관찰하기 위하여 드레인유기장벽감소의 등고선을 그림 7에 도시하였다. 전술한 바와 같이 이온주입범위가 작을수록 그리고 분포편차가 클수록 드레인유기장벽감소 현상이 감소하는 것을 알 수 있다. 그리고 분포편차가 클 때 드레인유기장벽감소는 이온주입범위에 대하여 변화율이 매우 작게 유지되다가 분포편차가 감소하면 드레인유기장벽감소의 이온주입범위에 대한 변화가 매우 심하다는 것을 알 수 있다. 또한 이온주입범위가 작을 때는 드레인유기장벽감소의 분포편차에 대한 변화율이 거의 일정하게 유지되다가 이온주입범위가 증가하면 드레인유기장벽감소의 분포편차에 대한 변화율이 매우 크게 증가하는 것을 알 수 있다. 이와같이 이온주입범위 및 분포편차에 대하여 드레인유기장벽감소의 의존성을 관찰할 수 있다.

IV. 결론

이 논문에서는 DG MOSFET의 채널두께 방향으로의 도핑이 가우스분포함수로 주어졌을 때 포아송방정식의 전위분포 및 문턱전압에 대한 해석학적 모델을 유도하였으며 DG MOSFET의 드레인유기장벽감소를 관찰

하였다. 이를 위하여 이미 기존의 논문에서 검증된 해석학적 포아송방정식이 사용되었으며 전위분포를 통하여 이차원 수치해석학적 모델과 잘 일치함을 보였다. 이 전위분포모델을 이용하여 이온주입 범위 및 분포편차 등의 변화에 따라 드레인유기장벽감소를 구하였다. 기존의 MOSFET에서 게이트길이의 3승에 반비례하는 것으로 알려진 드레인유기장벽감소는 DG MOSFET에서는 게이트길이에 대하여 기존의 MOSFET보다 변화가 더욱 심하게 나타나는 것을 알 수 있었다. 분포편차와 이온주입범위에 대한 드레인유기장벽감소의 변화를 관찰한 결과, 분포편차가 작을 때는 이온주입범위에 따라 드레인유기장벽감소가 크게 변화하나 분포편차가 증가할수록 이온주입범위의 크기와는 거의 무관하게 드레인유기장벽감소 현상이 줄어드는 것을 알 수 있다. 즉, 분포편차가 10nm 정도로 증가할 경우 이온주입범위의 변화와 무관하게 거의 일정한 드레인유기장벽감소 현상을 관찰할 수 있었다. 이와같은 결과는 DG MOSFET를 이용한 집적회로 설계에 이용될 수 있을 것이라 사료된다.

참고문헌

- [1] S.Namana, S.Baishya and K.Koley, "A Subthreshold Surface Potential Modeling of Drain/Source Edge Effect on Double Gate MOS Transistor," 2010 International Conference on Electronics and Information Engineering, vol. 1, pp.87-91, 2010.
- [2] I.Saad, M.A.Riyai, Z.Atfyi F.M.N, A.Maheran A. Hamid and R. Ismail, "Enhanced Performance of Vertical Double Gate MOSFET(VDGM) With Oblique Rotating Implantation(ORI) Method", Proc. of ICSE2010, pp.175-179, 2010.
- [3] A. Sahoo, P.Kumar and S. Mahapatra, "A Computationally Efficient Generalized Poisson Solution for Independent Double-Gate Transistors," IEEE Trans. Electron Devices, vol. 57, no.3, pp.632-636, 2010.
- [4] H.K.Jung and S.Dimitrijevic, "Analysis of Sub-threshold Carrier Transport for Ultimate DG MOSFET," IEEE Trans. Electron Devices, vol. 53, no.4, pp.685-691,

- 2006.
- [5] P.K. Tiwari, S. Kumar, S. Mittal, V. Srivastava, U. Pandey and S. Jit, "A 2D Analytical Model of the Channel Potential and Threshold Voltage of Double-Gate(DG) MOSFETs with Vertical Gaussian Doping Profile," *IMPACT-2009*, pp.52-55, 2009.
 - [6] G.Massobrio and P.Antognetti, *Semiconductor Device Modeling with SPICE*, 2nd ed., McGraw-Hill, New York, pp.205 -206, 1993.
 - [7] A.S.Havaladar, G.Katti, N.DasGupta and A.DasGupta, "Subthreshold Current Model of FinFETs Based on Analytical Solution of 3-D Poisson's Equation," *IEEE Trans. Electron Devices*, vol. 53, no.4, pp.737-741, 2006.
 - [8] G. Zhang, Z. Shao and K. Zhou, "Threshold voltage model for short channel FD-SOI MOSFETs with vertical Gaussian profile," *IEEE Tran. Electron Devices*, vol. 55, pp.803-809, 2008.
 - [9] 정학기, "비선형도핑분포를 이용한 DG MOSFET의 산화막두께에 대한 문턱전압이하 특성분석," *한국해양정보통신학회 논문지*, vol.15, no.7, pp.1537-1542, 2011.

저자소개



정학기(Hak Kee Jung)

1983.3 아주대학교 전자공학과 B.S.
1985.3 연세대학교 전자공학과 M.S.
1990.8 연세대학교 전자공학과 Ph.D
1995.8 일본 오사카대학 교환교수

2005.8 호주 그리피스대학 교환교수
1990.3-현재 군산대학교 전자정보공학부 교수
2009.1-현재 한국해양정보통신학회 상임이사
※ 관심분야: 반도체소자 시뮬레이션, 몬테칼로 시뮬레이션, 회로및 시스템 해석 등