
그래프에 기초한 스위칭함수 구현

박춘명*

Switching Function Implementation based on Graph

Chun-Myoung Park*

요 약

본 논문에서는 그래프에 기초하여 유한체상의 스위칭함수를 도출하는 알고리즘과 이를 바탕으로 스위칭함수를 회로로 구현하는 방법을 제안하였다. 방향성그래프의 경로 수로부터 행렬방정식을 유도한 후에 이에 따른 스위칭함수회로설계 알고리즘을 제안하였으며, 설계된 회로와 함께 방향성 그래프의 특성을 만족할 수 있게 노드들에 대한 코드를 할당하는 알고리즘을 제안하였다. 본 논문에서 제안한 알고리즘을 통해 설계한 스위칭함수회로는 기존의 방법에 비해 좀 더 최적화된 스위칭함수회로를 구현할 수 있었으며, 제안한 스위칭함수회로설계 알고리즘을 통해 임의의 자연수의 경로 수를 갖는 방향성 그래프에 대한 설계가 가능하였다. 또한, 입출력단자 수의 감소, 회로구성의 간략화, 연산속도의 향상과 비용감소 등의 이점이 있었다.

ABSTRACT

This paper proposes the method of switching function implementation using switching function extraction based on graph over finite fields. After we deduce the matrix equation from path number of directional graph, we propose the switching function circuit algorithm, also we propose the code assignment algorithm for nodes which is satisfied the directional graph characteristics with designed circuits. We can implement more optimal switching function compare with former algorithm, also we can design the switching function circuit which have any natural number path through the proposed switching function circuit implementation algorithms. Also the proposed switching function implementation using graph theory over finite fields have decrement number of input-output, circuit construction simplification, increment arithmetic speed and decrement cost etc.

키워드

스위칭함수, 그래프, 유한체, 행렬방정식

Key word

Switching function, graph, finite fields, matrix equation

I. 서론

지난 수십년간 VLSI라 일컬어지는 반도체 집적회로 기술은 비약적인 발전을 이룩하여 소자의 집적능력과 기능당 가격비율을 크게 향상시켰다. 그러나 최근의 산업추세는 이보다 더 높은 집적도와 빠른 신호처리가 가능한 초 고밀도 집적회로를 요구하고 있다. 이러한 회로 구현을 위한 연구들이 진행되고 있으나, 회로의 내부결선 및 소자들간의 배선면적이 전체집적도 향상에 큰 장애가 되고 있다. 실제로, 집적도 향상에 따른 내부결선의 증가는 신호선사이의 혼선잡음과 배선길이에 의한 신호지연 등의 문제점을 일으킬 수 있으며 집적회로의 소자가 차지하는 면적보다 이러한 결선들의 면적이 전체 집적도를 결정하는 요소가 되고 있다. 따라서, 이러한 문제점들을 해결하기 위한 연구들이 계속되고 있다.[1-2] 노드들 간의 관계가 순환특성을 갖는 방향성 그래프의 형태로 주어졌을 때, 이러한 노드들의 입출력간의 연관관계를 유한체상에서 정의된 덧셈기와 곱셈기를 통해 구현하는 연구가 진행되어 왔다. 종래의 연구기법[1-4]에 따르면 주어진 그래프의 경로의 수를 소수들의 곱으로 인수분해하여 분해된 소수에 해당하는 그래프에 대하여 회로를 구성한 후, 이들을 선형결합하여 주어진 그래프의 특성을 만족하는 회로를 설계하는 기법을 제안한 바 있다.

이러한 문제점을 해결하기 위해, 본 논문에서는 그래프의 경로의 수로부터 입출력간의 연관관계를 나타내는 전달행렬의 방정식을 유도하여 이로부터 주어진 그래프 특성을 만족하는 수식을 도출한 후, 회로를 설계하는 새로운 알고리즘을 제안하였으며, 이를 통해 회로설계를 보다 구체화하고 일반화 시킬 수 있었다.

본 논문의 구성과 서술과정은 다음과 같다

II장에서는 본 논문을 전개하는데 필요한 그래프와 유한체의 중요한 수학적 배경에 대하여 논의하였으며, III장에서는 선형회로의 기본 게이트인 덧셈게이트와 곱셈게이트에 대해 논의하였고, 회로분할을 위한 행렬 방정식을 유도하는 방법에 대해 논의하였다. IV장에서는 병렬 스위칭함수를 도출하여 회로설계하기 위한 알고리즘에 대해 논의하였다. V장에서는 본 논문에서 제안한 방법과 기존의 방법을 비교 및 검토하였으며, 마지막 VI장의 결론에서는 본 논문에서 제안한 그래프에 기

초한 스위칭함수 구현 방법의 특징 및 향후 연구과제를 서술하였다.

II. 그래프 및 수학적 주요 성질

2.1. 방향성 그래프

일반적으로, 그래프는 방향성 그래프와 비방향성 그래프로 구분되며 이들의 계층적 구조에 따라 각각 싸이클과 트리로 세분된다. 그래프는 노드들과 이들을 연결한 가지들의 집합으로 정의되며, 특히 가지의 방향이 정의되어 있는 그래프를 방향성 그래프라 한다. 방향성 그래프의 몇가지 예를 그림 1에 도시하였다. 그림 1의 (b)와 같이 그래프의 형태가 방향을 가지며 싸이클을 이루는 구조를 방향성 그래프라고 이의 몇가지 성질을 정리하면 다음과 같다.

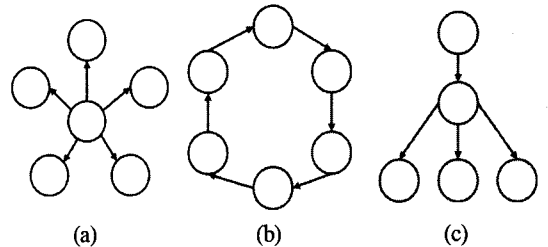


그림1. 방향성 그래프 형태
(a) 별 형태 (b) 싸이클 형태 (c) 나무 형태
Fig 1. Type of directional graph
(a) Star Type (b) Cycle Type (c) Tree Type

[P1] $n_2 = Tn_1$ 의 관계를 갖는 두 노드 n_1, n_2 에 대하여 n_1 은 n_2 의 조상, n_2 를 n_1 에 대한 자손이라 한다. 이때 n_1 과 n_2 의 관계를 그림으로 나타내면 n_1 에서 출발한 화살표가 n_2 에 도착한 형태로 표현되며, 이때 화살표는 두 노드들 간의 관계를 설명해주는 전달함수 T 가 된다.

[P2] $n_\alpha = T^m n_\beta$ 의 관계를 갖는 두 개의 노드 n_α 와 n_β 에 대하여 n_β 는 n_α 의 m 번째 조상이 되며, n_α 는 n_β 의 m 번째 자손이 된다. 즉, n_β 에서 출발하여 n_α 에 도착하기 위해서는 m 번의 T 를 취해야 한다.

[P3] $n_1 \neq n_2 \neq \dots \neq n_p$ 이며 경로 p 를 형성하는 $p+1$ 개의 노드들 n_1, n_2, \dots, n_{p+1} 에 대하여 $n_{p+1} = n_1$ 의 관계가 성립할 때 이러한 관계를 경로 p 의 싸이클이

라 한다.

이외의 유용한 그래프의 성질은 참고문헌 [5-7]을 참조하였다.

2.2. 유한체의 성질

유한체 GF(p)는 p가 1보다 큰 소수이고 {0, 1, 2, ..., p-1}를 그 원소로 갖는 기초체이다. 유한체 GF(p)상의 임의의 원소 α, β, γ는 다음과 같은 성질을 만족한다.

[P1] 유한체 GF(p)상의 원소들의 연산에 대하여 가산과 승산이 정의되고, 그 연산 결과는 유한체 GF(p)에 대하여 닫혀 있다.

[P2] 유한체 GF(p)상의 원소들의 연산에 대하여 교환, 결합, 분배법칙이 성립한다.

[P3] 유한체 GF(p)상의 원소들의 연산에 대하여 가산과 승산의 항등원과 역원이 각각 존재한다.

이외의 유용한 유한체의 성질은 참고문헌[8]을 참조하였다.

그림2에서 (a)의 가산게이트는 두개의 입력 input1과 input2를 유한체상의 가산연산을 수행한 후 그 결과를 출력하고, (b)의 곱셈게이트는 입력 input을 유한체상에서 M배 만큼 스칼라 곱한 후 그 결과를 출력시키는 게이트이다.

3.2. 회로 분할

두 개의 정방행렬 M와 M'가 유한체 GF(p)상에서 정의될 때 M'=QM'Q'를 만족하는 가역행렬 M가 존재하면, Q'는 Q와 상사라 한다.

n×n 행렬 R가 존재할 때 R의 특성다항식의 차수는 n이며, 특성다항식의 최고차항의 계수는 1이다.

$$\Theta(x)=a_0+a_1 \cdot X+\dots+a_{n-1} \cdot X_{n-1}+X_n \tag{1}$$

$$R=\begin{bmatrix} 0 & 0 & 0 & \dots & -a_0 \\ 1 & 0 & 0 & \dots & -a_1 \\ 0 & 1 & 0 & \dots & -a_2 \\ \dots & \dots & \dots & \dots & \dots \\ 0 & 0 & 0 & \dots & -a_{n-1} \end{bmatrix} \tag{2}$$

식 (1)의 특성다항식을 갖는 행렬은 식(2)와 같은 행렬로 표현되며, 이때 식(2)의 R를 특성다항식 Θ(x)의 동반행렬이라 하며, 동반행렬들은 선형특성에 의해 식(3)과 같이 선형결합이 가능하다.

$$R=\begin{bmatrix} A_1 & & & \\ & A_2 & & \\ & & \dots & \\ & & & A_n \end{bmatrix} \tag{3}$$

이외의 회로의 분할연산 및 행렬구성기법에 대한 내용은 참고문헌[14]를 참조하였다.

III. 선형회로 특징과 회로 분할

3.1. 선형회로 특징

선형특성을 만족하는 스위칭함수의 구현을 위해 기본 게이트로써 유한체상에서의 덧셈게이트와 곱셈게이트를 다음 그림 2와 같이 정의한다.

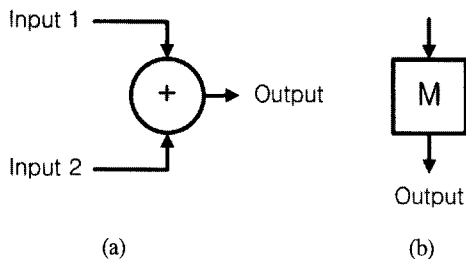


그림 2. 유한체상의 (a) 덧셈게이트 (b) 곱셈게이트
Fig 2. (a) Addition gate (b) product gate over finite field

IV. 병렬 스위칭함수

4.1. 행렬방정식을 그래프의 해석과 설계

본 절에서는 입출력간의 연관관계에 대한 스위칭함수를 도출하기 위해 행렬의 방정식을 유도하고 이로부터 회로를 구현하는 과정에 대하여 논의한다.

표 1. 3노드 그래프에 의한 관련표
Table 1. Relation table using by 3node graph

Input	X Y Z
Output	Y Z X

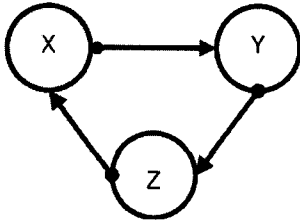


그림 3. 표1에 대한 그래프
Fig 3. Garph for table 1.

주어진 그래프의 특성을 만족하는 노드들 간의 연관 관계를 행렬로서 표현할 수 있으며, 이때의 행렬을 전달행렬 T 라 한다. 이러한 전달행렬에 의해 그림3의 각 노드들 간의 관계는 다음 식(4)와 같이 수식적으로 표현할 수 있다.

$$TX=Y, TY=Z=T^2X, TZ=X=T^3X \quad (4)$$

위 식의 마지막 관계식으로부터 다음과 같은 행렬방정식을 유도할 수 있다.

$$T^3X=X \Leftrightarrow (T^3-E)X=0 \Leftrightarrow (T-E)(T^2+T+E)X=0 \quad (5)$$

(여기서, E 는 단위행렬을 나타낸다.)

그림3의 그래프를 만족하기 위해 3개의 X, Y, Z 는 서로 구분되어야 하며($X \neq Y \neq Z$), 전달행렬 T 는 $T^2+T+E=0$ 의 관계식을 만족해야 한다.

유한체 $GF(3)$ 상에서 $T^2+T+E=0$ 를 만족하는 전달행렬 T 는 식 (4)와 같이 얻을 수 있다.

$$T = \begin{bmatrix} 0 & 2 \\ 2 & 0 \end{bmatrix} \quad (6)$$

식(6)의 전달행렬 T 를 스위칭회로로 구성하면 그림4와 같다.

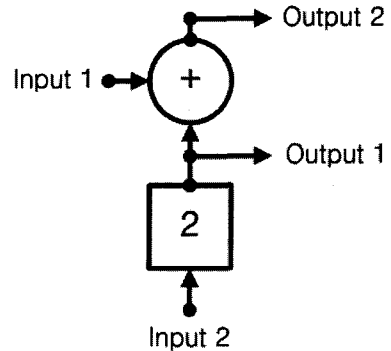


그림 4. 표 3에대한 스위칭 회로설계
Fig 4. Switching circuit design for table 3.

그림4에 입력 (Input1 Input2)에 (0 1)값을 대입하면 그 출력은 (2 2)가 되고, (2 2)값을 회로에 입력하면 (1 0)의 출력을 얻는다. (1 0)값을 입력에 대입하면 그 출력값이 최초로 대입한 입력값 (0 1)과 같은 값이 되어, 결국 (0 1), (2 2), (1 0)의 코드값들은 그림4의 회로와 함께 그림3의 3노드 그래프의 특성을 만족함을 확인할 수 있다.

다음 표2에 표3의 3노드 그래프에 대한 코드 할당값을 정리하였다.

표 2. 3노드 그래프에 대한 코드할당
Table 2. Code assignment for 3node graph

	X Y Z
Input 1	0 2 1
Input 2	1 2 0

4.2. 회로설계 알고리즘

다음 그림5에 회로설계 알고리즘을 표현하였다.

4.3. 행렬방정식을 통한 그래프 해석

기존의 연구는 그래프의 경로수를 소수들의 곱으로 인수분해한 후, 분해된 경로수를 각각 회로로 구현하여 이들을 선형결합하는 알고리즘을 적용하였다. 그러나, 이러한 기법은 중복된 소수들의 곱을 경로수로 갖는 그래프의 경우에는 중복된 소수들에 대한 회로의 선형결

합이 가능하지 않으므로 결국 회로의 설계가 불가능하게 된다.

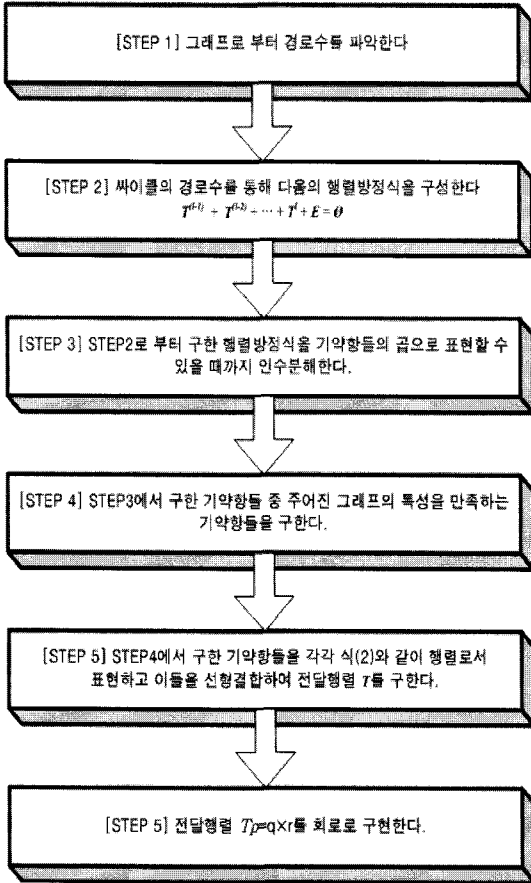


그림 5. 회로설계 알고리즘
Fig. 5. Circuit implementation algorithm

그러나본 논문에서 제안한 회로설계알고리즘은 이러한 단점을 해결할 수 있는 장점을 가지고 있으며, 또한 기존의 방법에 비해 더욱 최적화된 설계를 얻을 수 있다. 예를 들어 다음 그림7의 4노드 그래프를 회로설계 알고리즘을 적용해 스위칭함수를 구현하면 다음과 같다.

회로설계 알고리즘 :

[STEP1] Graph=4의 경로의 수 = 4

[STEP2]. $T^3+T^2+T^1+E=0$

[STEP3] $(T^2+E)(T+E)=0$

[STEP4] 위에서 인수분해된 두 개의 식 중 Graph_{p=4}의 특성을 만족하는 식은 $T^2+E=0$ 이다.

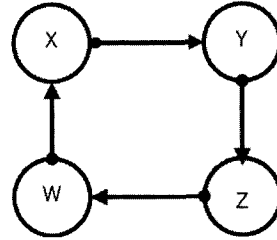


그림 6. 4노드 그래프
Fig. 6. 4node graph

[STEP5] $Tp_{-2 \times 2} = \begin{bmatrix} 0 & 2 \\ 1 & 0 \end{bmatrix}$

[STEP6] 전달행렬 $Tp_{-2 \times 2}$ 에 대한 회로구현과 코드할당은 각각 다음의 그림7, 표8과 같다.

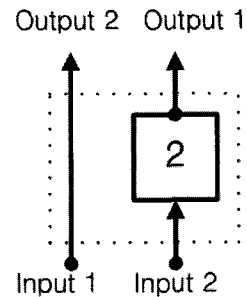


그림 7. Graph_{p=4}에 대한 스위칭함수 회로 회로설계
Fig. 7. Switching circuit design of Graph_{p=4}

표 3. 그림7의 회로에 대한 4노드 그래프 노드들의 코드할당
Table 3. Code assignment of 4node Graph for Fig. 7

	W	X	Y	Z
Input 1	0	2	0	1
Input 2	1	0	2	0

IV. 비교 및 검토

본 논문에서는 최근에 활발히 연구되고 있는 그래프 이론에 기초한 스위칭함수 구현의 한가지 방법을 제안하였다. 노드들의 관계가 싸이클의 특성을 갖는 그래프의 경우에 이 노드들간의 관계를 회로로 구현하는 회로설계 알고리즘과 각 노드들에 코드를 할당하는 알고리즘을 제안하였다. 기존의 그래프에 대한 회로설계 알고리즘은 노드들의 개수를 소수들의 곱으로 인수분해한 후, 인수분해된 소수들에 대하여 각각의 회로를 구현한 후 이들을 선형결합하는 방식이다. 또한, 그래프의 경로수로부터 행렬방정식을 유도하여 그래프의 특성을 만족하는 수식을 도출하고 이 수식을 정리함으로써 그래프의 특성을 만족하는 회로를 설계하는 방법이다. 이 방법은 각각의 회로를 도출하여 최종 선형결합이라는 방법을 통해 최종 회로를 구성하는 번거로움이 있다. 본 논문에서 제안된 기법에 따라 임의의 경로수를 갖는 그래프에 대해서도 그 해석의 일반성을 가질 수 있으며 기존의 제안된 알고리즘을 통해 구현한 회로의 경우 보다 최적화된 회로를 구현할 수 있었다. 또한, 주어진 그래프의 입출력관계를 구현한 회로와 함께 그래프를 구성하고 있는 노드들에 적합한 코드를 할당해 줌으로서 회로의 동작을 보다 분명히 정의할 수 있는 장점이 있다.

V. 결론

본 논문에서는 그래프에 기초한 유한체상의 스위칭함수 도출과 이를 기반으로 스위칭함수회로 구현에 대한 방법을 제안하였다. 기존에 제안되었던 알고리즘은 경로수를 소수들의 곱으로 인수분해하여 선형결합하는 방법을 사용하였는데 이 경우, 중복된 소수들의 곱인 수를 경로수로 갖는 그래프에 대한 회로설계는 구현할 수 없는 단점이 있지만, 본 논문에서 제안된 알고리즘의 경우에는 경로수로부터 행렬방정식을 유도해 냄으로써 이에 대한 회로를 구현할 수 있으며 그래프에 대한 해석을 일반화하여 동일한 특성을 만족하는 여러 회로들을 구현할 수 있다.

참고문헌

- [1] M.Nakajima and M.kameyama, "Design of Highly Parallel Linear Digital System for ULSI Processors", IEICE Trans, vol. E76-C, no. 7, pp. 1119-1125, Jul. 1993.
- [2] M.Nakajima and M.Kameyama, "Design of Highly Parallel Linear digital Circuits based on Symbol-Level Redundancy", IEEE Proc. 26th ISMVL, pp. 104-109, May. 1996.
- [3] S.mitra, N.R.Saxena, and E.JMcClusky, "Efficient Design Diversity Estimation for Combinational Circuits," IEEE Trans.on Computers, pp1483-1492, Vol.53, No.11, Nov., 2004
- [4] D.Lee A.A.Gaffar, O.Mencer, and W.Luk, "Optimization Hardware Function Evaluation," IEEE Trans., Computers, Vol.54, No.12, pp.1520-1531, Dec., 2005.
- [5] R.J.Wilson and J.J.Watkins, *GRAPH An Introductory Approach*, John Wiley & Sons, Inc. 1990.
- [6] Douglas B.West, *Introduction to Graph Theory*, Prentice Hall, Inc. 2006.
- [7] E.Artin, *Galois Theory*, NAPCO Graphic arts, Inc., Wilconsin. 2007.
- [8] Robert J.McEliece, *Finite Fields for Computer Scientists and Engineers*, Kluwer Academic Publisher, 2000.

저자소개

박춘명(Chun-Myoung Park)

한국해양정보통신학회논문지
제14권 제12호 참조