HSTL을 이용한 전송선로에서의 데이터 전송특성 시뮬레이션

김석환* · 허창우**

Data Transmission Specific Simulation of Transmission Line using HSTL

Soke-Hwan Kim* · Chang-Wu Hur**

요 약

본 연구는 통신 시스템 설계 시 백플레인 (Backplane)에서 HSTL (High-Speed Transceiver Logic) 의 데이터 전송 및 수신 특성을 HSPICE를 사용하여 시뮬레이션을 수행하고 FPGA에 실제 구현하여 데이터 전송특성 분석하여 시뮬레이션 결과 비교 설명 하였다. 시뮬레이션과 측정 조건은 point to point 배선 길이에 대해 데이터 전송 특성을 가능한 데이터 전송 및 수신 한계 속도에 대해 검토 하였다. 측정 결과 point to point 접속 신호 전송 및 수신 한계속도에 영향을 주는 요인은 배선 길이와 주변 전기적 잡음이 매우 중요한 역할을 함을 알 수 있었다.

Abstract

Tosin backplane system design of this study (Backplane) from the HSTL (High-Speed Transceiver Logic) characteristics of the transmit and receive data using the HSPICE simulations and the actual implementation on the FPGA Data transmission characteristics were described by comparing the simulation results . Simulation and measurement criteria for point to point data transmission characteristics of wire length possible to send and receive data about the speed limits were reviewed. Measured point to point connection to send and receive signals at terminal velocity, the factors that affect the electrical noise around the wire length and showed a very important role.

키워드

HSTL, FPGA, 전송선로

Key word

HSTL, FPGA(Field Programmable Gate Array), Transmission Line

* 정회원 : 이화여자대학교 (ksh63045@ewha.ac.kr)

** 종신회원 : 목원대학교

접수일자 : 2011. 04. 07

심사완료일자 : 2011. 05. 03

Ⅰ. 서 론

초고속 인터넷과 데이터 정보망을 이용하고 있는 현재, 데이터 전송에 있어서 빠르고 정확하게 전달하기 위한 시스템 개발 노력을 하고 있다[1]. 본 연구는 데이터를 전송하기 위한 시스템 설계에 있어서 어느 로직을 선택하고 전송선로의 길이가 어느 정도 적당한지를 제시하고자 한다.

본 연구에서는 HSTL 로직을 선택하였다. HSTL 기반 프로세서(Processor) 버스 모사 시험 목적은 백프레인 버스를 실제 적용되는 PCB(Printed Circuit Board)에 구현하기 전 전송 및 수신 가능한 전송특성을 확인하고 PCB제작 시 기초 적으로 발생할 수 있는 보드를 다시 제작하는 시행착오를 줄이는 데 있다.

본 연구에서 수행한 시뮬레이션에서 신호원은 HSTL이며 Single-End Point to Point 데이터 전송속도는 200Mbps, 100Mbps에 대해 시험 모형을 설정 하였다.

Ⅱ. 본론

본 연구의 시뮬레이션 에서는 백프레인 프로세서 point to Point 전송 및 수신 특성을 알아보았다. 시뮬레이션 결과를 통해 통신장비, 전자장치 및 컴퓨터 등 PCB제작 시 시행착오에 따른 경비 및 시간을 줄일 수 있을 것이다[2][3]. Point to Point 전송 및 수신에 대한 데이터 주요 영향을 주는 것은 배선길이, 전기적 잡음, 임피던스 정합 등이 있다. 그러므로 본 시뮬레이션과 실제 디자인에서 이 부분을 중점을 두고 결과를 얻도록 노력하였다.

그림 1은 HSTL의 Terminated 구조로 각 입력 단에서는 이와 같이 전압과 저항을 연결 시켜야 한다. 여기서 사용되는 모든 입력에 대해 적용하게 되면 보드의 면적이 넓어지게 되며 Noise가 발생되는 요인이 될 수 있다[4][5]. 그러므로 이를 막기 위한 방법이 그림 2이다. 이것은 FPGA의 어떤 Bank에서 하나의 로직을 선택하게 되면 공통적으로 DCI(Digital Controlled Impedance)를 선언하게 되면 각 입력 단자에 적용되던 전압과 저항이 불필요 하게 된다. 이런 관계를 DCI 선언 후의 관계를 설명하였다. DCI 선언이 보드 설계 시 매우 중요하게 되며 선언 안 되었던 부분과 차이점이 얻어지게 된다[6].

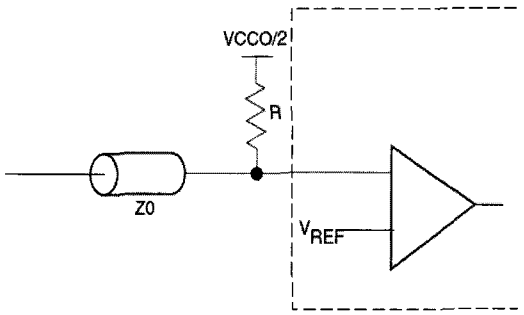

그림 1. 입력포트의 연결
Fig. 1. Connection of Input Port

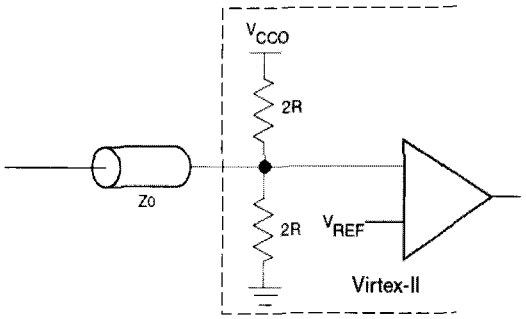

그림 2. 입력포트의 DCI 선언
Fig. 2. DCI Declare of Input Port

Ⅲ. 하드웨어 구현

2.1. 전체 시스템 블록도

그림 3은 본 HSTL에서 적용하기 위한 기본 Point to Point의 시뮬레이션 모델을 보여준다. 전송선로 길이 변화에 따른 특성을 보고 각 PCB 연결점마다 PTH를 연결하여 신호의 누화되는 부분을 막고자 하였다.

그림3은 HSTL을 신호원으로 하여 PBA (Printed Board Assembly) 배선길이에 대해 시뮬레이션 하였다. PCB 연결점마다 PTH (Plated Trough Hole) 2.5pF를 병렬로 접속하였다.

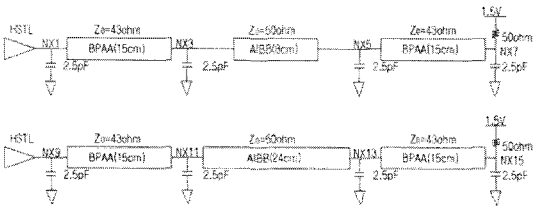

그림 3. 시뮬레이션 모델
Fig. 3. Simulation Model

2.2. HSTL

아래 표 1에서는 HSTL의 전압특성을 보여 주고 있다. 데이터 통신을 하기 위한 입력과 출력간의 인터페이스에 있어서 설계된 로직에서 HSTL 출력 단의 신호전압 레벨은 Low 신호는 최대 0.45V이하, High 신호는 최소 2.05V이상의 신호를 내보낸다. 즉, 이것은 HSTL의 출력 단의 출력 기준 신호 레벨을 의미한다.

HSTL의 기본 로직 출력 단의 신호 레벨은 0.45V에서 205V사이로 신호가 나오고 이 범위에서 측정되는 신호가 HSTL 로직의 정상신호 범위인 것이다. HSTL의 입력 단의 신호 레벨은 최소 1.07V에서 1.43V이상이 되어야 하며 3V를 넘으면 안된다. 이는 최소한 HSTL로 통신하기위한 기본 신호 레벨 값이며 데이터 전송 특성을 판단하는 중요한 지표이다.

표 1. HSTL2-II 전압특성
Table. 1 Voltage characteristics of HSTL

Parameter	Min	Typ.	Max
VCCO	2.3	2.5	2.7
VIH	1.33	1.43	3.0
VIL	0.3	1.07	1.17
VOH	1.95	2.05	-
VOL	-	0.45	0.55

Ⅳ. 데이터 전달 특성 측정

HSTL을 이용한 시스템 설계에 앞서서 HSPICE를 이용한 시뮬레이션을 하였다. 데이터 전송속도는 데이터를 상호간의 주고받기에 여유 있는 신호 이득 특성을 보였으나 200Mbps에서는 파형이 일그러 짐을 보였고 약 400 - 500mV의 잡음에 대한 여유가 있었다. 이를 기반으로 하여 실제 설계된 시스템에서 데이터 전송속도는 100Mbps에서부터 200Mbps까지 변화 시켰다. 전송특성을 분석하기 위해 설계된 Trace Test PCB는 30cm, 60cm, 90cm, 120cm까지 변경이 가능하지만 본 논문에서 측정한 길이는 통신 시스템의 랙 구조에서 기본 전송선로 길이가 30cm 이므로 우선 30cm를 기준으로 HSTL의 전송특성을 분석하였다. 시뮬레이션 결과와 마찬가지로 실제 특성에서 200Mbps에서 데이터가 일그러짐을 나타내었다.

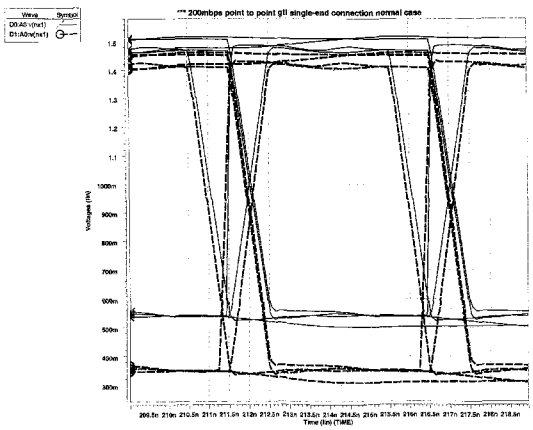

그림 4. 노드 NX1의 모사시험 결과
Fig. 4. Simulation Result of Node NX1

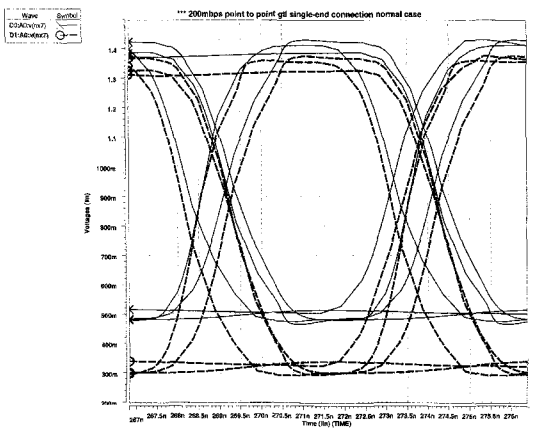

그림 5. 노드 NX7의 모사시험 결과
Fig. 5. Simulation Result of Node NX7

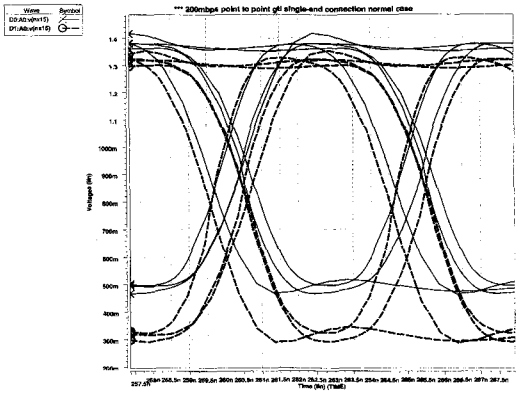

그림 6. 노드 NX15의 모사시험 결과
Fig. 6. Simulation Result of Node NX15

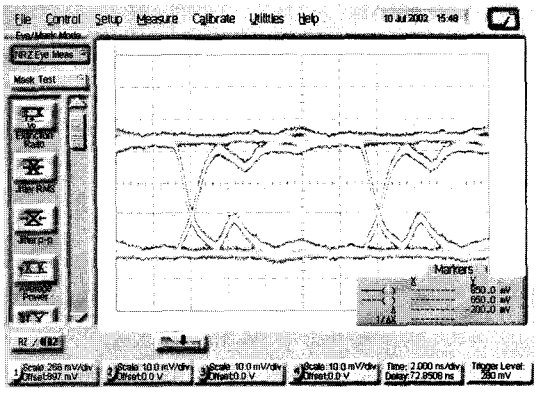

그림 7. 100Mbps에서의 데이터 전송특성
Fig. 7. 100Mbps data transfer characteristics

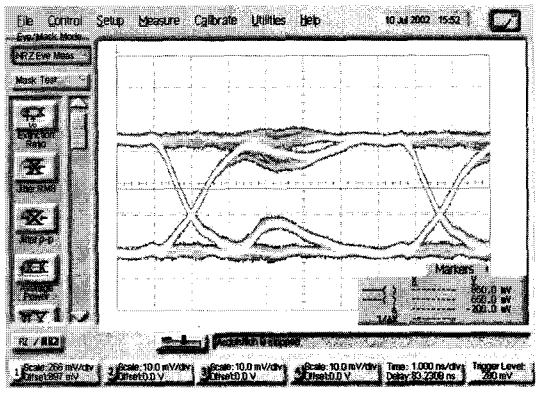

그림 8. 150Mbps에서의 데이터 전송특성
Fig. 8. 150Mbps data transfer characteristics

그림 7은 데이터 전송속도 100Mbps에서의 HSTL에 대한 데이터 전송특성이다. 측정된 결과는 표 1의 입력단의 전압특성 레벨 범위 내에 나타났으며 이 전송속도 내에서는 안정하게 데이터를 전송할 수 있다.

그림 8은 데이터 전송속도 150Mbps에서의 HSTL에 대한 데이터 전송특성으로 측정된 결과는 신호 진폭 레벨이 전압특성 범위내에 있다. 그림 7의 100Mbps와 별 차이는 없으나 측정 파형에서 진폭레벨보다는 시간 축상에 더 줄어들었음을 알 수 있다.

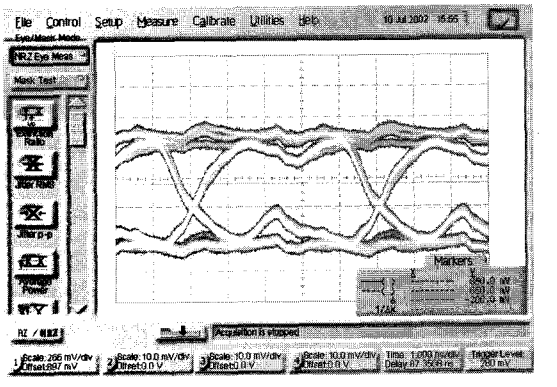

그림 9. 200Mbps에서의 데이터 전송특성
Fig. 9. 200Mbps data transfer characteristics

그림 9는 데이터 전송속도 200Mbps에서의 HSTL에 대한 데이터 전송특성으로 측정된 신호 진폭 레벨은 HSTL의 전압특성 범위 내에 간신히 속해 있다. 이 레벨 신호 값은 시뮬레이션의 내용과 같이 측정 파형의 오차가 거의 없음을 확인 할 수 있었다.

V. 결 론

본 연구는 ETRI IP 스위칭팀에서 실행하고 있는 신호 레벨의 특성분석 측정의 한 과정이며 Xilinx Virtex II XC2V FF896 FPGA를 이용하여 직접 설계 신호전달 특성을 측정하였다. 백플레인(Backplane)에서 프로세서 Point to Point 구조에서의 데이터 전송 및 수신 특성을 알아보기 위해 HSPICE를 사용하여 HSTL의 데이터 전송특성을 시뮬레이션 하였다. 시뮬레이션 결과 HSTL의 데이터 전송특성은 200Mbps에서 전송 및 수신의 성능이 좋았다. 그러나 잡음에 대한 여유가 400mV ~ 500mV 정

도가 되어 주변 전기적 잡음을 줄이는 것이 가장 큰 문제가 된다.

이 시뮬레이션 결과를 바탕으로 실제 설계된 FPGA의 일정 전송선로의 길이에 입력된 데이터 전송속도 변화에 따른 데이터 전송특성을 측정하였다. 데이터 전송 속도의 증가에 따른 데이터 전송특성을 측정하기 위해서 현재 시스템에서 요구하는 전송선로길이 30㎝일 경우를 기준으로 고려했으며, 시뮬레이션 결과와 같은 전송특성을 나타내었다.

참고문헌

[1] HARLAN HOWE, JR. Stripline Circuit Design, AH.

[2] Charles S. Walker, Capacitance, Inductance and Crosstalk Analsis, AH, INC.

[3] David M Pojar, Microwave Engineering, Addison Wesley.

[4] Brain C, Wadell, Transmission Line Design Handbook, Artech House, INC.

[5] Howard W, Johnson, Martin Grahanm, High-Speed Digital Design, PTR Rentice Hall.

[6] http://www.xilinx.com/support/documentation/virtex-ii_pro_user_guides.htm

저자소개

김석환(SokeHwan Kim)

2003.8 : 목원대학교 전자공학과 공학박사
2003.8～2005.2 : (주)제니텔 정보통신 선임연구원
2005.3～2006.1 : (주) 인터포스 책임연구원
2006.2～2008.4 : (주) 한백전자 책임연구원
2008.5～2010.8 : KAIST 박사 후 연구원
2001～현재 : 한국 해양정보통신학회 정회원
2009.1～현재 : 한국 해양정보통신학회 이사
2010.9～현재 : 이화여자대학교 전자공학과 연구교수

※관심분야 : Bio-inspired engineering, Self-repair, Gene Expression, Mutation,, FPGA 설계

허창우(Chang-wu Hur)

1991.2 : 연세대학원 전자공학과 공학박사
1986.9 ~ 1994.2 : 금성사 중앙 연구소
1994.3 ~ 현재 : 목원대학교 전자공학과 정교수

※관심분야 : 반도체공학 및 VLSI 설계