

Bi계 ZnO 칩 바리스터의 저온소결과 전기적 특성

홍연우^{1,a}, 신호순¹, 여동훈¹, 김진호²

¹ 한국세라믹기술원 미래융합세라믹본부

² 경북대학교 신소재공학부

Low Temperature Sintering and Electrical Properties of Bi-based ZnO Chip Varistor

Youn-Woo Hong^{1,a}, Hyo-Soon Shin¹, Dong-Hun Yeo¹, and Jin-Ho Kim²

¹ Future Convergence Ceramic Division, Korea Institute of Ceramic Engineering and Technology, Seoul 153-801, Korea

² School of Materials Science and Engineering, Kyungpook National University, Daegu 702-701, Korea

(Received October 6, 2011; Revised October 24, 2011; Accepted October 24, 2011)

Abstract: The sintering, defect and grain boundary characteristics of Bi-based ZnO chip varistor (1,608 mm size) have been investigated to know the possibility of lowering a manufacturing price by using 100 % Ag inner-electrode. The samples were prepared by general multilayer chip varistor process and characterized by shrinkage, SEM, current-voltage (I-V), admittance spectroscopy (AS), impedance and modulus spectroscopy (IS & MS) measurement. There are no problems to make a chip varistor with 100% Ag inner-electrode in the sintering temperature range of 850~900°C for 1 h in air. A good varistor characteristics ($V_n = 9.3 \sim 15.4$ V, $a = 23 \sim 24$, $I_L = 1.0 \sim 1.6$ μ A) were revealed but formed $Zn_i^{\bullet\bullet}$ (0.209 eV) as dominant defect, and increased the distributional inhomogeneity and the temperature instability in grain boundary barriers.

Keywords: ZnO chip varistor, Sintering, Electrical properties, Impedance spectroscopy

1. 서 론

ZnO 칩 바리스터는 비선형 전류-전압 특성을 갖는 인가전압에 따라 저항이 변하는 반도체 가변 저항소자로서 정전기 (electrostatic discharge, ESD)나 전압 썬지 (surge) 또는 순간적인 전압 동요를 1 ns 정도에서 감지하고 제한시켜 회로나 피보호 부품과 병렬로 연결하여 소자의 파괴 없이 반복적으로 수행하는 전자 세라믹 부품이다 [1-5]. ZnO 칩 바리스터의 재료

로는 ZnO-Bi₂O₃에 각종 첨가제 (Sb₂O₃, Mn₃O₄, Co₃O₄, NiO, Cr₂O₃, SiO₂, 등)를 소량 첨가한 Bi계 ZnO 바리스터와 ZnO-Pr₆O₁₁에 각종 첨가제 (Co₃O₄, Cr₂O₃, 희토류 산화물 등)를 소량 첨가한 Pr계 ZnO 바리스터로 크게 나눌 수 있다 [1-7]. Bi계의 경우 높은 비선형성, 높은 썬지 내량, 낮은 소결온도 (~1,000°C)의 장점이 있는 반면 첨가제의 종류가 많아 복잡한 미세구조를 형성하고 낮은 정전용량 제품일수록 ESD 내성이 낮아지는 단점이 있다. 반면 Pr계는 첨가제의 종류가 적어 보다 단순한 미세구조를 형성하고 ESD 내성이 높다는 장점이 있지만 높은 소결온도

a. Corresponding author; hyw-kea@kicet.re.kr

(~1,200°C), 비교적 낮은 비선형성과 써지 내량을 갖는다 [1,7,8]. ZnO 칩 바리스터는 여타 바리스터 재료보다 그 특성이 우수하여 대부분 휴대폰 (스마트폰), 카메라, D-TV (LCD, PDP, LED, 스마트), HDMI, DVC, 노트북 PC 등 다양한 전자기기에 사용되고 있다 [8]. 일반적인 상용 Bi계 ZnO 칩 바리스터에는 액상 소결 조제인 Bi₂O₃와 ZnO의 입성장을 제어할 수 있는 Sb₂O₃를 대부분 포함하고 있어 Sb/Bi비와 소량의 첨가물들 (Mn, Co, Cr, Ni, Si, Al 등)에 의해 상 발달, 치밀화, 소결성, 미세구조 및 전기적 특성이 크게 좌우된다 [1-7]. ZnO 바리스터에서 나타나는 주된 결함으로는 Zn_i와 V_o이 있으며, Zn_i는 바리스터의 입계 안정화에 결정적인 영향을 주기 때문에 가능한 한 제거해야 할 결함으로 알려져 있다 [2,9]. 또한 입계는 비선형성을 나타내는 ZnO/ZnO의 동종접합 계면과 누설전류와 관련되는 ZnO-Bi-rich 상-ZnO의 이종접합 계면으로 크게 구성되어 있다 [4,10-12]. 이러한 입계는 Sb/Bi비와 첨가제의 종류에 따라 온도 안정성이나 전위 장벽의 균일성이 달리 나타나는 것으로 보고되고 있다 [11-13]. 한편 이러한 Bi계 ZnO 칩 바리스터는 제조단가를 낮추기 위하여 100% Ag 내부전극을 사용하여 ~900°C 부근에서 소결하여 제조하지만 그 물성에 대한 보고가 없는 실정이다.

따라서 본 연구에서는 사전 실험으로 최적화된 Bi계 ZnO 바리스터 조성으로 100% Ag 내부전극을 사용하여 1,608 mm (1.6×0.8×0.8 mm³) 크기의 칩 (이후 '1,608 mm'로 표기)을 850~900°C에서 소결하여 얻었으며, 칩의 소결과 전기적 특성에 대하여 조사하였다.

2. 실험 방법

본 연구에서는 순도 99.9% (고순도 화학, 일본)의 ZnO에 1 at% Bi₂O₃, 1 at% Mn₃O₄, 0.5 at% Co₃O₄, 0.2 at% Cr₂O₃, 0.1 at% NiO를 첨가한 조성을 사용하여 칩 바리스터 제조공정으로 1,608 mm 칩을 제작하였다. 소정의 혼합비로 혼합된 원료 (300 g)에 분산제 2.7 g (SN-Dispersant 9228, San Nopco, Japan), 결합제 24 g (PVB, Sekisui, Japan), 가소제 7.2 g (DBP; Di-butyl Phthalate, Dejung, Korea), 용매 180 g (60 vol% 톨루엔, 40 vol% 에탄올)을 혼합하여 24시간 불 (5 mmΦ YSZ, 1 kg) 밀링한 후 탈포하여 적절한 점도 (~2,000 cps)의 슬러리 (slurry)를 제작하였다.

슬러리는 페트필름에 약 32 μm 두께로 캐스팅

(casting)하여 그린 시트 (green sheet)를 제조하였다.

대략적인 ZnO 바리스터의 수축율을 고려하여 1,608 mm 칩에 맞는 전극 패턴 (1,340/500 μm; 겹치는 거리/폭)의 스크린 (프레임: 320×320 mm², 400 mesh)을 사용하여 Ag 전극 (Tanaka, TR-6514, Japan)을 150×150 mm² 크기의 그린 시트 상에 내부전극으로 인쇄하였다. 내부전극을 인쇄한 시트는 일정한 크기로 절단하여 원하는 두께가 되도록 소정량 적층한 후 WIP (wet isostatic press, 80°C, 250 kg/cm², 30분 가압) 처리하였다. WIP 처리된 압착 시트는 절단기 (WC blade)를 이용하여 칩으로 제작하였다. 절단칩은 일정한 소결 프로파일을 적용하여 공기 중 850~900°C에서 1시간 소결하였다. 소결칩은 Ag 전극 (ohmic contact용)으로 전극처리 (600°C, 10분)하여 전기적 특성 측정용 시편으로 사용하였다.

칩 시편의 크기는 버니어캘리퍼스로 측정하여 소결 수축율을 계산하였으며, 미세구조는 시편을 경면 연마 후 0.2% 염산 수용액으로 화학에 침하고 FE-SEM (JEOL, JSM 6700F, Japan)을 이용하여 대략적인 2차상들의 분포를 정성적으로 확인 가능한 BEI (backscattered electron image) 모드로 관찰하였다.

ZnO 칩 바리스터의 전류-전압(I-V) 특성은 high voltage source meter (Keithley, 237, USA)를 사용하여 항복전압 (V_n, 1 mA에서의 전압(V)), 비선형 계수 (a, I = CV^a, a = log(I₂/I₁)/log(V₂/V₁), 여기서 I₁ = 1 mA, I₂ = 10 mA, V₁과 V₂는 각각 I₁과 I₂에서의 전압(V)), 누설전류 (I_L, 0.8V_n에서의 전류(μA))를 계산하였다. 결함의 종류를 확인하기 위하여 -172~120°C 범위에서 식 (1)을 이용하여 zero-biased admittance spectroscopy (AS)를 수행하였다 [14].

$$\tau_n = \frac{e}{2gA^*T^2\sigma_n} \exp\left(\frac{E_{bt}}{kT}\right) \quad (1)$$

여기서, E_{bt} = 도너트랩과 전도대 하단의 에너지 차이 [eV], α_n = 포획단면적 [cm²], g = 트랩준위의 축퇴도의 역수 (= 0.5), A* = 유효 Richardson 정수 (~30 [A/(cm²K²)]), T = 절대온도 [K], e = 전자 전하량, k = 볼츠만 상수이다. 식 (1)에서 ln(ω/T²) vs. 1,000/T의 기울기 (= -E_{bt}/k)로부터 E_{bt}를 구하고, 절편 ln(2gA*σ_n/e)로부터 σ_n을 구하였다.

또한 입계 특성을 살펴보기 위한 impedance and modulus spectroscopy (IS & MS)는 impedance/gain phase analyzer (Hewlett Packard, 4194A, Japan)를 사

용하여 20~480℃까지 20℃ 간격으로 승온하면서 측정하였으며, 입계의 정전용량과 저항, 활성화 에너지, 온도 안정성과 균일성에 대한 정보를 얻었다 [10,11,15].

재료의 주파수 응답 특성 중 임피던스는 $Z^* = Z' + jZ''$ 로, 모듈러스는 $M^* = M' + jM'' = j\omega C_0 Z^*$ 의 관계가 성립한다 [10,11]. 여기서, $\omega =$ 각 주파수 ($= 2\pi f$, $f =$ 주파수), $C_0 = \epsilon_0 \cdot A/t$ ($\epsilon_0 =$ 진공유전율, $A =$ 단면적, $t =$ 시편두께), $j = \sqrt{-1}$ 이다. 온도와 주파수에 따른 각 임피던스와 모듈러스는 복소 평면도 (complex plane plot) 또는 주파수 응답도 (frequency explicit plot)로 나타낼 수 있으며, 여기서 각 피크의 최댓값 (Z''_{max} , M''_{max})에 대한 T_p 와 f_{max} 를 구하고, 각각의 최댓값이 $Z''_{max} = R_{gb}/2$, $M''_{max} = C_0/2C_{gb}$ 인 관계를 이용하여 입계 저항 (R_{gb})과 정전용량 (C_{gb})을 추출하였다 [10,11]. 이렇게 구한 T_p 와 $\tau^{-1} = \omega_{max} = 2\pi f_{max}$, Z''_{max} , M''_{max} 값은 아레니우스 (Arrhenius)식 ($\tau = \tau_0 \exp(E_a/kT)$, $\rho = \rho_0 \exp(E_a/kT)$, $\tau =$ 완화시간, $\rho =$ 비저항 [Ωcm], $E_a = \tau$ 혹은 ρ 에 대한 활성화 에너지, $k =$ 볼츠만 상수 (8.62×10^{-5} [eV/K]), $T = [K]$)을 이용하여 각각 $\ln\tau$ vs. $1,000/T$ 및 $\ln\rho$ vs. $1,000/T$ 를 통하여 그 기울기로부터 입계 활성화 에너지 (E_a)를 구하는데 사용하였다 [10,11]. 또한 입계 임피던스에 대한 완화시간 τ 의 분포함수 ($F(\tau)$)를 이용하여 그 분포 파라미터(α)와 FWHM (full width at half maximum, 반치폭)를 구하여 입계에 형성된 전기적 장벽의 균일성과 온도 안정성을 확인하였다 [11-13,15].

전기적 특성과 관련한 보다 상세한 측정 방법과 계산 방법은 참고 문헌에서 자세히 설명되어 있으며 이에 준하여 실행하였다 [11].

3. 결과 및 고찰

3.1 칩 수축률과 미세구조

그림 1은 1,608 mm 칩을 850~900℃에서 1시간 공기 중에서 소결한 후 X, Y, Z 축으로 수축률을 측정 한 결과이다.

소결온도에 따라 X축과 L축 방향으로의 수축률은 ~14~14.5%로 거의 비슷하지만 내부전극과 수직인 Y축 방향은 ~18~19.2%로 다른 방향보다 약 26% 더 수축하는 것으로 나타났다. 이는 Y축 방향으로 WIP 압력이 가장 많이 작용함에 따라 압착 시트 내 입자간 충전율이 이 방향으로 가장 높아 입자간 형성된 액상의 점성유동과 모세관력에 의해 입자의 재배열

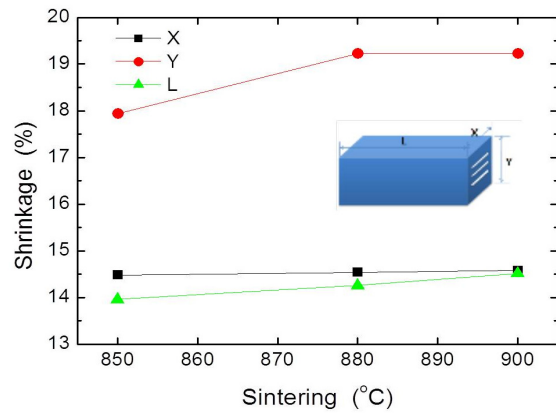


Fig. 1. Shrinkage (X, Y, L direction) of ZnO chip varistor with sintering temperatures.

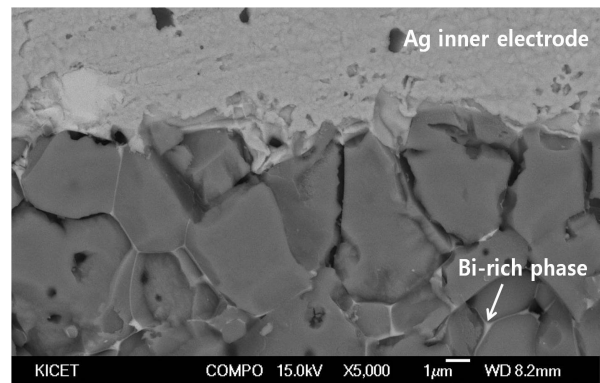


Fig. 2. Microstructure of ZnO chip varistor sintered at 900°C.

을 거쳐 치밀화가 보다 크게 일어나는 것으로 보인다 [16]. 소결온도 구간 (850~900℃)에서 동일한 축 방향으로 ~1.2% 이내의 수축률 차이를 갖는 것을 볼 때 850℃에서도 소결 유지 시간을 길게 할 경우 충분히 최적 치밀화를 확보할 것으로 보인다. ZnO-Bi₂O₃ 2 성분계는 공정액상 (~740℃)의 생성으로 치밀화가 촉진되지만 여기에 바리스터의 전기적 특성을 개선하고자 천이금속 산화물을 소량 첨가하면 이 공정액상의 온도가 변하며 특히 Cr₂O₃의 첨가에 의해 약 800℃로 높아지는 경향이 나타난다 [17]. 그러나 100% Ag 내부전극을 사용한 칩 바리스터를 제조하기 위해 필요한 충분한 치밀화를 얻는 데는 문제가 없는 소결 온도 구간임을 알 수 있다.

그림 2는 ZnO 칩 바리스터를 900℃에서 1시간 소결한

시편의 미세구조를 나타낸 것이다. ZnO 결정립은 짙은 회색으로, Bi-rich 상은 ZnO 결정립 사이에서 흰색으로, Ag 내부전극은 흰색 덩어리로 구별된다 [1,14,17].

ZnO의 평균입경은 ~5 μm 정도이며, Bi-rich 상 이외에 다른 2차상은 보이지 않기 때문에 ZnO의 입성장을 제어하는데 어려움이 따를 수 있겠다. ZnO 입성장을 균일하게 제어하기 위하여 소량의 Sb₂O₃나 SiO₂를 첨가할 수 있을 것이다 [1-5]. 또한 Ag 내부전극과 소체 계면에서 Ag 원자의 소체 내부로의 확산현상은 보다 정밀한 미세구조 분석을 통해 석출이나 2차상의 생성 (특히 Bi-rich 상과의 반응 생성물) 혹은 편석현상에 대한 정보가 필요하겠지만 현재의 미세구조 상으로는 나타나지 않는 것으로 보인다. 또한 Ag 내부 전극과 소체와의 치밀화 거동 차이에서 발생하는 계면 간 분리현상도 나타나지 않았다.

3.2 I-V 특성

그림 3은 ZnO 칩 바리스터를 850~900°C에서 1시간 소결한 시편의 I-V 곡선을, 표 1에는 I-V 특성 (항복전압 V_n, 비선형 계수 a, 누설전류 I_L)을 정리하여 나타낸 것이다.

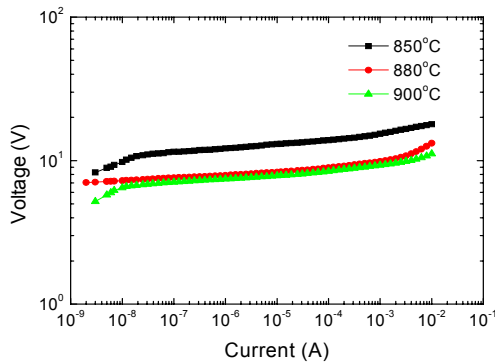


Fig. 3. I-V characteristics of ZnO chip varistors with sintering temperatures.

Table 1. Summary of I-V characteristics of ZnO chip varistors with sintering temperatures.

Sintering (°C)	V _n (V)	a	I _L (μA)
850	15.4	22.8	1.6
880	9.9	24.0	1.0
900	9.3	23.0	1.0

그림 3과 표 1에서 보듯이 1 mA/cm²에서의 항복전압(V_n)은 소결온도가 높아짐에 따라 ZnO의 입성장에 따른 단위 두께 당 입계 수의 감소로 낮아져 15.4→9.3 V, 비선형 계수(a)는 22.8→24→23, 누설전류 (I_L)는 1.6→1.0 μA로 V_n의 변화만 다소 있지만 다른 특성들은 거의 유사하였다. 이 결과에 근거해서 본다면 본 실험에서 사용한 조성은 소결온도에 따라서 다른 전기적 특성을 그대로 유지하면서 단순히 ZnO의 입성장만으로 V_n의 제어를 쉽게 할 수 있는 우수한 조성임을 의미하지만, 실제 ZnO칩 바리스터는 고유의 소자 응용 목적적인 ESD 내성과 특성 및 신뢰성 항목들에 대한 검증이 요구되기 때문에 단순한 I-V 특성만으로 우수한 칩 바리스터라고 단정 짓기에 어려움이 따른다 [1,2].

I-V 특성에서 얻은 이러한 바리스터 특성은 100% Ag 전극을 적용하여 900°C 이하에서도 ZnO칩 바리스터를 제조하는 것이 가능함을 나타내는 것이다.

3.3 Admittance Spectroscopy (AS) 분석

그림 4는 900°C에서 1시간 소결한 칩 바리스터 시편에 대해 (a) -172~120°C의 온도 구간에서 7개의 주파수에 대한 AS 측정 결과를, (b) 피크 온도와 주파수를 이용하여 ln(ω/T_p²) vs. 1,000/T를 통해 결합의 이온화 에너지 (E_{bt})와 포획 단면적 (σ_n)을 계산하여 나타낸 것이다.

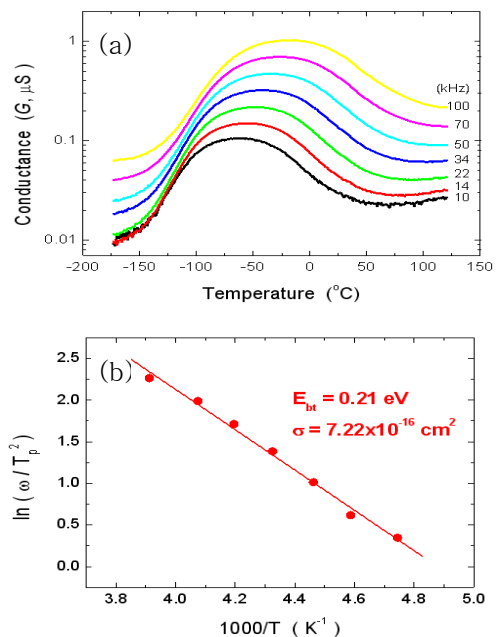


Fig. 4. (a) admittance spectra at 10~100 kHz for ZnO chip varistor sintered at 900°C, (b) ln(ω/T_p²) vs. 1,000/T.

그림 4(a)와 같이 해당 주파수/온도에서 G 는 단일 피크로 나타나지만, 그 피크 폭이 약 100°C 이상인 것으로 볼 때 한 가지 결함만 관련된 것이 아니라 적어도 2가지 이상의 결함이 관여된 결과로 판단된다.

그러나 그림 4(b)에서 계산된 E_{bt} (0.209 eV)와 σ_n ($7.22 \times 10^{-16}\text{ cm}^2$)을 보면 z_i 결함이 확실하다 [1,9,11-14]. 결과와 같이 본 조성계의 주된 결함을 z_i 로 볼 수 있지만 다른 결함도 미량 존재할 것으로 보인다. ZnO 바리스터에서 Zn 이온의 침입형 자리로의 확산계수는 $\sim 10^{-12} \sim 10^{-13}\text{ cm}^2/\text{sec}$ 정도로 다른 이온의 격자확산 보다 매우 높기 때문에 칩 바리스터의 열화 (degradation) 나 ESD 특성과 그 내성에 나쁜 영향을 미칠 것으로 판단된다 [1,2,9]. 따라서 공핍층 영역에 존재하는 결함 z_i 는 공기 혹은 산소 분위기에서 $600 \sim 700^\circ\text{C}$ 로 열처리하면 입계부근에서 안정한 ZnO 격자를 형성하여 입계의 안정성을 확보할 수 있다 [9]. 이러한 열처리 과정은 칩 바리스터의 장벽 전압, 장벽 높이, 계면 상태밀도, 비선형 계수, 전류-전압 특성 등에 영향을 미치게 된다 [2,9]. 이러한 열처리 방법을 채택하기 이전에 먼저 z_i 의 생성을 최대한 줄이거나 생성되지 않도록 그 제조 공정이나 조성을 개발하는 것이 칩 바리스터의 열적 전기적 안정성을 확보하는데 더 확실한 방법으로 사료된다.

3.4 IS & MS 분석

그림 5는 900°C 에서 소결한 칩 바리스터를 사용하여 주파수와 온도에 따른 IS & MS 측정결과를 나타낸 것이다. 그림 5(a)는 380°C 에서의 Z'' -logf와 M'' -logf를 나타낸 것으로 Z'' -logf에는 반치폭 (Debye model= 1.14, Cole-Cole model= 1.34)과 분포 파라미터 α (Debye model=0, Cole-Cole model= 0.30)를 함께 도시하였다.

입계 임피던스의 실측값은 Cole-Cole 모델로 더 정확히 표현할 수 있음을 볼 수 있다. 그림 5(b)는 300°C 와 460°C 의 Z'' -logf를 나타낸 것으로 측정온도 증가에 따른 Debye 응답 모형과 실측값과의 분포 차이를 제시한 것이다. 온도가 높아짐에 따라 실측값은 Debye 응답보다 그 반치폭 ($1.32 \rightarrow 1.37$)이 커지는 것을 알 수 있다. 또한 온도가 높아짐에 따라 Cole-Cole 모델의 분포 파라미터 α 는 0.25 (300°C)에서 0.35 (460°C)로 선형적으로 증가하였는데 이는 칩 바리스터에 생성된 입계의 전기적 장벽이 온도에 대하여 불안정하다는 증거이며, 기 발표된 조성계 보다 온도 안정성이 떨어지는 것을 보여주고 있다 [11-13,15].

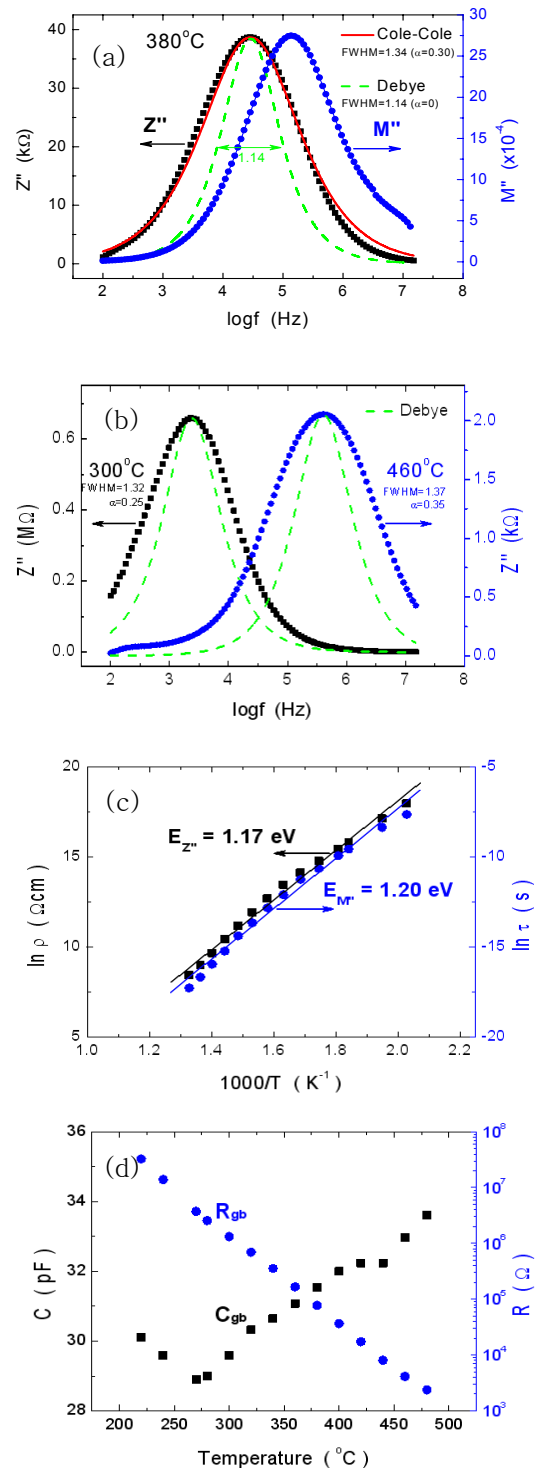


Fig. 5. Impedance and modulus spectroscopy of ZnO chip varistor sintered at 900°C . (a) Z'' , M'' -logf (380°C), (b) Z'' -logf (300 and 460°C), (c) $\ln \rho$ and $\ln \tau$ vs. $1000/T$ plot, (d) resistance (R_{gb}) and capacitance (C_{gb}) with temperature.

그림 5(c)는 $\ln p$, $\ln t$ vs. $1,000/T$ plot을 통하여 입계 활성화 에너지 (평균 ~ 1.2 eV)를 계산한 것이다. 이 값은 ZBCr(ZnO-Bi₂O₃-Cr₂O₃)계의 이상구간을 넘어섰을 때 갖는 ~ 1.2 eV와 거의 동일한 값이며, 일반적으로 Bi₂O₃계 ZnO 바리스터 조성이 갖는 전기적으로 활성화 (비선형 전류-전압 특성 가짐)인 입계의 활성화 에너지 (~ 1.0 eV)와 유사하다 [11-13]. 그림 5(d)는 IS 및 MS 측정값으로 부터 입계 저항 (R_{gb})과 정전용량 (C_{gb})을 계산하여 나타낸 것이다. R_{gb} 는 해당 온도 구간에서 온도에 따라 지수적으로 감소하지만 C_{gb} 는 260°C까지 소폭 감소 (30.1→28.9 pF)하다 다시 증가 (28.9→33.6 pF)하는 경향을 보였다. 엄밀히 C_{gb} 는 온도에 대해 ~ 30 pF로 일정하다고 할 수 있다.

본 실험에서 사용한 조성은 ZnO 또는 Bi₂O₃와 반응하여 스피넬이나 파이로클로어를 형성하여 계의 치밀화를 $\sim 1,000^\circ\text{C}$ 부근까지 높일 수 있는 Sb₂O₃를 사용하지 않은 100% Ag 내부전극을 적용한 900°C 이하의 온도에서 소결이 가능하면서도 일반적인 바리스터 특성을 구현할 수 있는 조성이었지만, 계 내에 생성된 주된 결함이 확산속도가 빠른 Zn^{2+} 이면서 입계는 온도에 대한 안정성이 떨어지는 계임을 확인하였다.

따라서 100% Ag 내부전극을 사용하여 제조 단가를 낮추면서 입계의 전기적 특성이 우수한 ZnO 칩 바리스터를 개발하기 위해서는 우선적으로 900°C 부근에서 소결 가능한 액상 소결 첨가제인 Bi₂O₃를 사용하지 않는 새로운 조성을 개발하는 방법이 있을 수 있겠지만 지금까지는 바리스터 특성이 다소 낮은 V₂O₅계 외에는 아직 획기적인 조성이 개발되어 있지 않은 상태이다 [18]. 두 번째는 Bi₂O₃를 사용할 수밖에 없는 조성일 경우에는 이 상을 소결 후 냉각하는 동안 완전히 2차상으로 만들고 결함의 종류 등을 제어하여 누설전류와 ESD 내성이나 그 특성을 약화시킬 수 있는 계면을 가능한 한 제거하는 방법이 있을 수 있겠다. 이 방법은 다양한 조성 첨가제를 이용하여 다각적인 측면 (소결, 결함, 입계 특성 제어 등)에서 많은 실험을 수행해야하는 어려움이 있을 수 있다.

4. 결론

100% Ag 내부전극을 적용한 ZnO-Bi₂O₃계 칩 바리스터 (1,608 mm)의 소결과 전기적 특성을 분석한 결과 다음과 같은 결론을 얻었다.

900°C 이하의 온도에서 소결이 가능하고 일반적인

바리스터 특성을 만족하는 ZnO 칩 바리스터를 제작할 수 있었으며, 100% Ag 내부전극을 사용함에 따라 그 제조 단가를 낮출 수 있음을 확인하였다. 그러나 소결체는 주된 결함으로 이온 이동도가 높은 Zn^{2+} 로 구성되어 있어 열화 특성과 ESD 내성이 약할 것으로 판단되었으며, 입계는 전기적으로 다소 불균일하면서도 측정 온도가 높아짐에 따라 분포 파라미터 a 가 계속 증가하여 상당히 불안정함을 알 수 있었다. 따라서 100% Ag 내부전극을 사용하여 900°C 부근에서 소결이 가능한 ZnO 칩 바리스터는 그 제조 단가를 낮출 수는 있겠지만 전반적으로 결함의 종류와 입계 특성의 안정화를 달성해야만 우수한 전기적 특성과 신뢰성을 동시에 갖춘 제품으로 개발될 것으로 판단된다.

REFERENCES

- [1] D. R. Clarke, *J. Am. Ceram. Soc.*, **82**, 485 (1999).
- [2] T. K. Gupta, *J. Am. Ceram. Soc.*, **73**, 1817 (1990).
- [3] L. M. Levinson and H. R. Philipp, *Am. Ceram. Soc. Bull.*, **65**, 639 (1986).
- [4] R. Einzinger, *Ann. Rev. Mater. Sci.*, **17**, 299 (1987).
- [5] K. Eda, *IEEE Elec. Insulation. Mag.*, **5**, 28 (1989).
- [6] K. Mukae, *Am. Ceram. Soc. Bull.*, **66**, 1329 (1987).
- [7] S. Hirose, K. Nishita, and H. Niimi, *J. Appl. Phys.*, **100**, 083706 (2008).
- [8] Y. W. Hong, *Bull. KIEEME*, **24**, 3 (2011).
- [9] T. K. Gupta, E. G. Carlson, and P. L. Hower, *J. Appl. Phys.*, **52**, 4104 (1981).
- [10] M. Andres-Verges and A. R. West, *J. Electroceram.*, **1**, 125 (1997).
- [11] Y. W. Hong, H. S. Shin, D. H. Yeo, J. H. Kim, and J. H. Kim, *J. KIEEME*, **21**, 738 (2008).
- [12] Y. W. Hong, H. S. Shin, D. H. Yeo, and J. H. Kim, *J. KIEEME*, **23**, 368 (2010).
- [13] Y. W. Hong, H. S. Shin, D. H. Yeo, and J. H. Kim, *J. KIEEME*, **23**, 936 (2010).
- [14] F. Greuter and G. Blatter, *Semicond. Sci. Technol.*, **5**, 111 (1990).
- [15] K. A. Abdullah, A. Bui, and A. Loubiere, *J. Appl. Phys.*, **69**, 4046 (1991).
- [16] R. M. German, *Sintering Theory and Practice* (John Wiley & Sons, New York, 1996) p. 225.
- [17] Y. W. Hong, Ph. D. Thesis, p. 209-242, Kyungpook National University, Daegu (2004).
- [18] C. W. Nahm, *J. Mater. Sci.*, **42**, 8370 (2007).