

고내압용 MOS 구동 사이리스터 소자의 설계 및 전기적 특성에 관한 연구

홍영성¹, 정현석¹, 정은식², 강이구^{1,a}

¹ 극동대학교 태양광공학과

² 고려대학교 전기공학과

Study on Design and Electric Characteristics of MOS Controlled Thyristor for High Breakdown Voltage

Young Sung Hong¹, Hunsuk Chung¹, Eun Sik Jung², and Ey Goo Kang^{1,a}

¹ Department of Photovoltaic Engineering, Far East University, Eumseong 369-700, Korea

² Department of Electrical Engineering, Korea University, Seoul 136-701, Korea

(Received September 14, 2011; Revised September 21, 2011; Accepted September 24, 2011)

Abstract: This paper was carried out design of 1,700 V Base Resistance Thyristor for fabrication. We decided conventional BRT (base resistance thyristor) device and Trench Gate type one for design. we carried out device and process simulation with T-CAD tools. and then, we have extracted optimal device and process parameters for fabrication. we have analysis electrical characteristics after simulations. As results, we obtained 2,000 V breakdown voltage and 3.0 V $V_{ce,sat}$. At the same time, we carried out field ring simulation for obtaining high voltage.

Keywords: Base resistance thyristor, Breakdown voltage, Power devices, On resistance

1. 서 론

전력계통에서의 전력용 반도체의 수요가 증가함에 따라 전력용 반도체 기술도 비약적으로 발전하기에 이르렀다. 전력계통에 이용되는 대부분의 전력용 반도체는 사이리스터 (thyristor, 일명 SCR)로써 후에 GTO (gate turn-off thyristor) 및 IGCT (integrated gate-commutated thyristor) 등으로 진화하여 왔으며 점차 계통에서의 제어 능력과 신뢰도를 크게 높일 수 있게 되었다. 현재, 활발히 연구가 진행되고 있는 MOS 구동 사이리스터의 대표적인 소자는 MCT (MOS controlled thyristor), BRT (base resistance

thyristor), EST (emitter switched thyristor) 등이 발표되었고, 최근에는 DGMOT (dual gate MOS thyristor), IGT (insulated gate thyristor), IBMCT (insulated base MOS controlled thyristor) 등이 보고되고 있으며, 개발초기의 MOS 구동 사이리스터인 MCT는 삼층 확산 구조로 이루어져 있어 공정이 IGBT나 전력용 MOSFET등에 비하여 상당히 어려운 면이 있다 [1-3]. 본 논문에서 제시한 BRT 소자는 MOS 게이트 제어를 통해 채널을 흐르는 사이리스터 전류를 제어할 수 있으므로 높은 전압에 대해서도 전류 포화 능력을 가져서 회로의 단락 시에 소자 파괴를 자체적으로 방지할 뿐 아니라 순방향 안전 동작영역 (FBSOA)의 넓은 장점을 가지고 있으며, 또한 소

a. Corresponding author; keg@kdu.ac.kr

자의 큰 장점은 현재 전력반도체의 대표주자로 표현되고 있는 IGBT보다 온 전압 강하가 낮아 대용량 스위칭에 적합하다는 것이다. 따라서 본 논문에서는 1,700 V의 내압을 가지는 BRT 소자의 설계를 통해 그 전기적인 특성을 분석하였다.

2. 실험방법

BRT는 IGBT의 전류를 이용하여 사이리스터를 제어하는 소자이다. 즉, IGBT 전류는 P 베이스 층을 지나면서 P 베이스 영역의 저항성분으로 인하여 전위차가 생겨 단락되어 있던 P 베이스와 N⁺ 에미터에 순방향 바이어가 걸리게 되어 사이리스터 래치 업을 일으켜 사이리스터를 동작시킨다. 처음 동작은 IGBT와 같으며, 소자의 구조도 IGBT와 유사하지만 사이리스터의 원활한 동작을 위하여 P 베이스 영역의 저항을 제어하는 것이 다르다. 즉, BRT 소자 설계 시에는 P 베이스 영역의 농도 및 길이 조절이 중요하다.

그림 1과 같이 BRT를 설계하였으며 다만, BRT 소자의 설계 시 P 베이스 영역의 저항 증가를 위하여 셀 피치 (cell pitch)를 5 μm에서 8 μm로 증가시켰다.

표 1에서는 시뮬레이션에 필요한 소자의 설계 및 공정파라미터를 보여주고 있다.

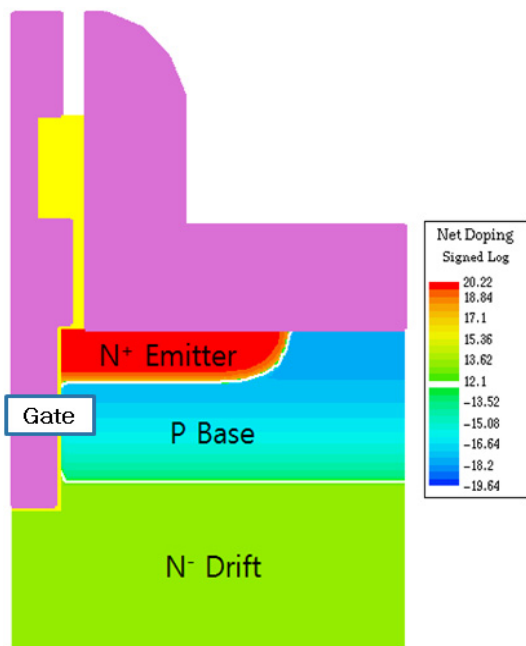


Fig. 1. The structure of trench gate BRT.

Table 1. Design and process parameter for trench gate BRT.

| | Concentration(cm ⁻³) |
|----------------------------|----------------------------------|
| N ⁺ Emitter | 1×e ¹⁶ |
| P Base | 1×e ¹⁴ |
| N ⁻ Drift Layer | 3×e ¹³ |
| P ⁺ Collector | 1×e ¹⁶ |

| | Length (μm) |
|----------------------------|-------------|
| Cell Pitch | 8 |
| Trench Gate Depth | 3.5 |
| Trench Gate Width | 1 |
| N ⁻ Drift Depth | 360 |

3. 결과 및 고찰

그림 2는 오프 상태 특성을 알아보기 위한 시뮬레이션 결과이다. 시뮬레이션을 수행한 결과 항복전압은 논문에서 제시한 1,700 V 보다 700 V가 높은 2,400 V를 얻을 수 있었으며, IGBT와 사이리스터의 항복 메커니즘은 같으며 항복전압도 유사하다. 이와 마찬가지로 BRT는 사이리스터와 항복 메커니즘이 같으며 또한 항복전압도 같다. 그러나 그림 2에서 보듯이 BRT의 항복전압이 커진 이유는 설계한 BRT에서 사이리스터의 동작을 위하여 P 베이스의 길이를 길게 하여 전체적인 셀 피치가 커졌기 때문이다.

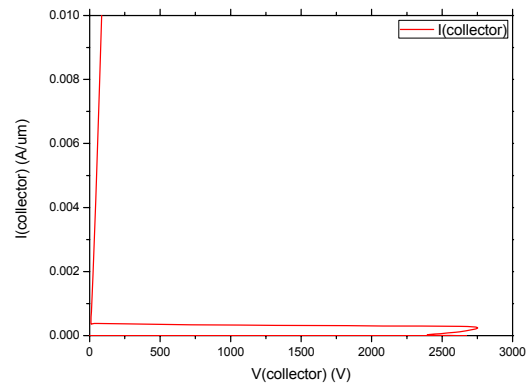


Fig. 2. I-V characteristics when gate voltage is 0 V.

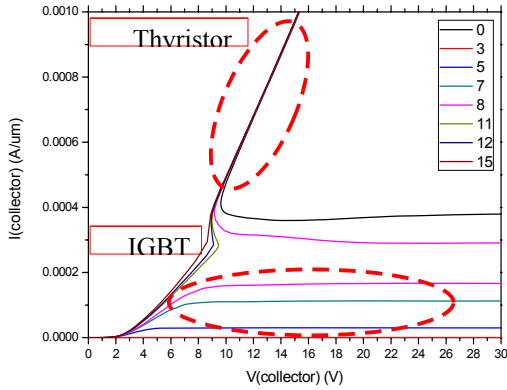


Fig. 3. I-V characteristics according to gate bias.

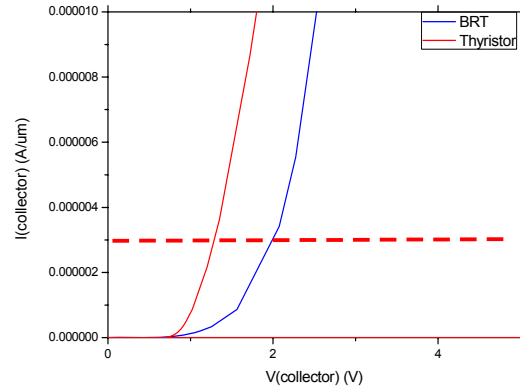


Fig. 4. I-V characteristics of BRT and thyristor.

즉, 셀 피치의 증가는 공핍층의 영역을 넓게 함으로써 이에 상응하는 항복전압의 증가가 발생하는 것이다. 항복전압은 포아송 방정식에 따라 공핍층을 적분하면 얻어지는 값이므로 공핍층 영역의 확장은 항복전압의 증가를 일으킨다.

낮은 전류 레벨에서는 사이리스터를 동작시키기 위한 래치 업이 발생하지 않기 때문에 BRT 소자는 IGBT로 동작하나 충분한 게이트 전압을 인가시켜 전류 레벨을 상승시킴으로써 사이리스터를 동작시킨다.

본 논문에서 설계한 1,700 V급 BRT소자는 0.0003 A/μm를 기준으로 그 이하의 전류에서는 IGBT와 같이 동작을 하고 이 이상의 전류에서는 래치 업이 일어나 사이리스터로 동작하는 것을 그림 2와 3을 통하여 확인할 수 있다.

BRT 소자는 IGBT 전류를 통하여 베이스영역의 저항으로 인한 포텐셜 차이를 유발시킴으로써 사이리스터를 구동할 수 있다. 그림 4에서 설계한 BRT와 선행 연구된 사이리스터를 비교할 수 있는데, 일정 전류이하에서 BRT는 IGBT 처럼 동작하지만 그 이상의 전류에서는 BRT는 사이리스터의 그래프를 따라간다. 이로써 설계한 BRT 소자에서의 사이리스터가 정상적으로 동작한다는 것을 확인할 수 있다.

그림 5는 BRT에 0.0003 A/μm 이하의 전류가 흐를 때이다. 즉, IGBT 모드로 동작을 할 때 홀과 전자로 인한 전류의 흐름도이다. IGBT 모드로 동작을 하기 때문에 홀은 N⁻ 에미터를 통과하지 않고 P 베이스를 지나 단자를 통하여 빠져나가며, 전자는 게이트를 따라 채널이 형성된 곳을 통하여 집중적으로 흐르는 것을 알 수 있다.

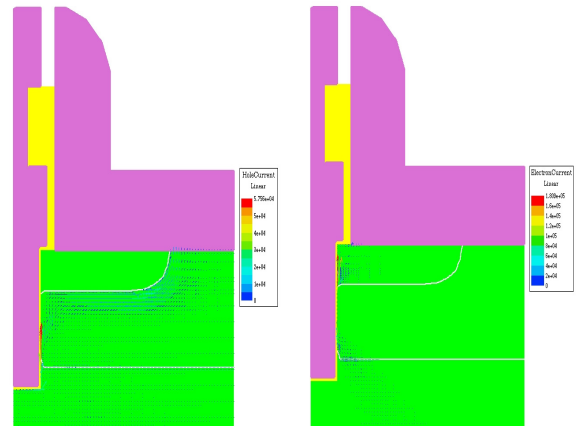


Fig. 5. Hole(left) and electron(right) current of BRT devices at IGBT mode.

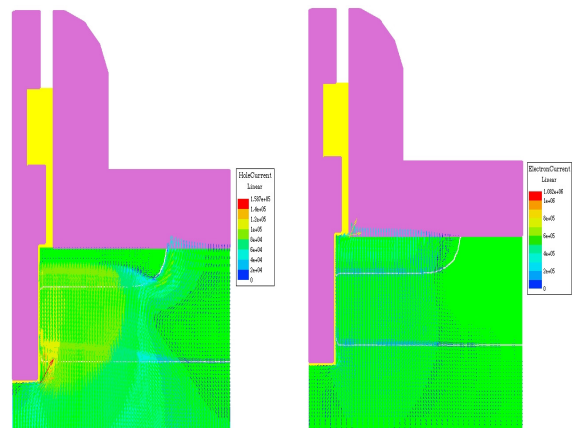


Fig. 6. Hole(left) and electron(right) current of BRT devices at thyristor mode.

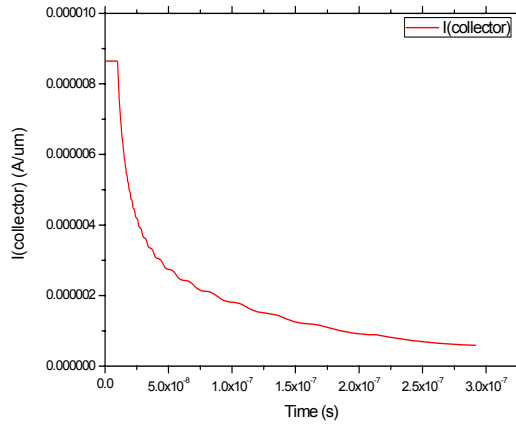


Fig. 7. Trun off characteristics of BRT.

그림 6은 BRT에 0.0003 A/μm 이상의 전류가 흐를 때이다. 즉, 사이리스터모드로 동작을 할 때 홀과 전자로 인한 전류의 흐름도이다. 사이리스터 모드로 동작을 하기 때문에 홀은 N⁺ 에미터 하단을 통과하여 단자를 통하여 빠져나간다. 전자는 게이트를 따라 채널이 형성된 곳을 통하여 집중적으로 흐르지 않고 N⁺ 에미터의 모든 영역을 통하여 흐르는 것을 확인할 수 있다.

그림 7은 BRT의 턴 오프시간을 확인하기 위한 시뮬레이션 결과이다. 턴 오프시간은 전류가 온 상태의 전류값의 10%가 될 때 까지 걸리는 시간이며 시뮬레이션 결과 설계한 BRT의 턴 오프시간은 0.21 μs로 나타났다.

또한 본 논문에서는 FLR (field limiting ring)을 이용하여 셀 모서리 부분에서도 항복전압이 저하 되는 것을 방지하고자 하였다. 특히 본 논문에서는 트렌치 공정을 사용한 FLR에도 적용하여 링의 집합깊이를 증가시켜 항복전압의 상승을 도모하였으며 트렌치 깊이는 공정의 단순화를 위하여 BRT에 사용된 것과 같이 3.5 μm로 하였다. 10개의 링을 기본으로 하여 제일 중요한 변수인 링 사이의 간격을 최적화하였다.

그림 8에서 왼쪽 그림은 링 사이의 간격이 18 μm 인 경우이고 오른쪽 그림은 5 μm일 때 FLR의 전계 분포를 나타낸다. 링 사이의 간격이 넓은 경우 전계가 마지막 링까지 골고루 퍼지지 못하고 앞쪽의 링에 집중되는 것을 볼 수 있다. 반대로 링 사이의 간격이 너무 가까울 경우 앞쪽의 링에서의 전계분산 효과를 이루지 못하고 마지막 링에 전계가 집중된다.

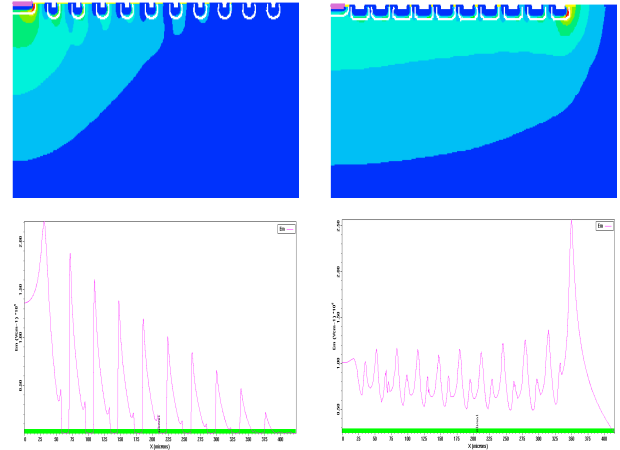


Fig. 8. Electric field distributions according to distance of rings.

Table 2. Design parameter of field rings.

| | |
|------------------------|--------|
| Number of Ring | 10 |
| Trench Depth | 3.5 μm |
| Trench Width | 10 μm |
| Distance of First Ring | 3 μm |
| Increase Rate of Rings | +1 |
| Final Width of Ring | 371 μm |

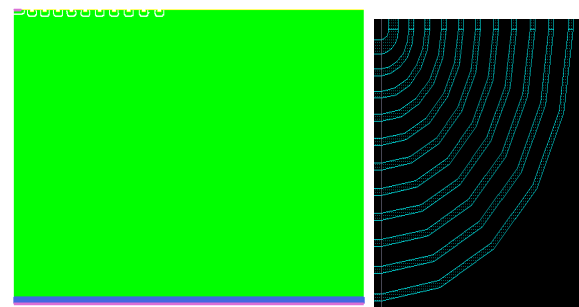


Fig. 9. The structures of field rings.

그림 8에서 확인된 결과를 이용하여 본 시뮬레이션에서는 링사이의 간격을 점차 증가시켜 나갔으며, 첫 번째 링 간 거리는 3 μm로 시작하여 1 μm씩 증가시켜 시뮬레이션 하였다.

표 2 와 같은 사양으로 시뮬레이션 한 결과 목표로 하였던 1,700 V 보다 300 V가 높은 2,000 V급의 항복전압을 가진 FLR을 설계할 수 있었다.

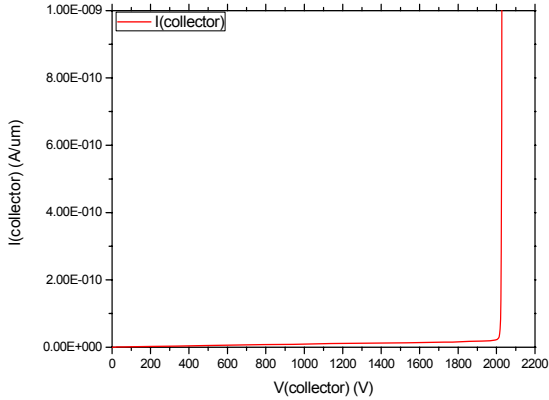


Fig. 10. The breakdown characteristic of field rings.

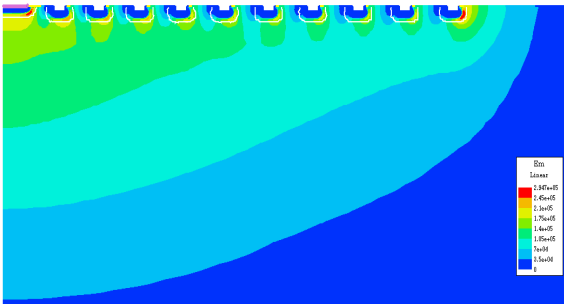


Fig. 11. The electric field distributions of optimal field ring.

링 사이의 간격을 점점 넓혀 가는 방법으로 보다 전계가 잘 분포되는 것을 그림 11을 통하여 확인할 수 있으며, 전계의 분포가 고르면 그만큼 항복전압은 증가하는데 이는 큰 하중을 여러 기둥으로 분산하여 보다 무거운 하중을 견디는 원리와 같다.

4. 결론

본 논문에서는 1,700 V급의 BRT를 실제 제작하기 위한 설계를 시행하였다. 설계를 위한 전통적인 BRT와

트렌치 게이트 BRT 구조를 채택하였으며 초고압을 지탱하기 위해 웨이퍼의 비저항은 145 Ω으로 결정하여 소자 설계를 진행하였으며, 동시에 BRT 소자는 트렌치를 위주로 하여 형성될 수 있도록 하였으며 전기적 특성의 확보와 함께 공정 능력을 고려하여 설계를 진행하였다. 설계한 소자의 항복전압은 2,000 V이었으며, 공정은 공정시뮬레이터를 이용하여 트렌치 게이트 공정을 최적화시킨 후 BRT 소자 제작 시 진행하는 기본적인 공정 순서로 진행하였다. 동시에, 1,700 V 소자의 제작을 위해서 양호한 전기적 특성을 획득하기 위한 필드 링을 설계하였는데, 총 10개의 링으로 설계되었다. 따라서 본 논문에서 설계된 BRT 소자는 국방 및 SoC 산업이 충분히 활용 가능할 것으로 판단된다.

감사의 글

본 논문은 에너지기술평가원의 전력선행기술사업(2008T100100248), 충북 전략기획사업인 “Eco Power IC를 위한 Power Sense MOSFET 개발 및 보드레벨 평가” 와 한국연구재단의 지역혁신인력양성사업의 지원에 의해 수행되었음.

REFERENCES

[1] E. G. Kang and M. Y. Sung, *J. KIEEME*, **15**, 758 (2002).
 [2] K. Sheng, S. J. Finney, and B. W. Williams, “Improved understand-switched thyristors”, *Proc. of the International Symposium (Power Semiconductor Devices, 1994)* p. 48.
 [3] S. Sridhar and B. J. Baliga, *IEEE Electron Devices Lett.*, **17**, 25 (1996).
 [4] N. Iwamuro and A. Okamoto, *IEEE Trans. Elec. Dev.*, **42**, 334 (1995).
 [5] N. Thapar and B. J. Baligar, *Solid State Electron.*, **45**, 771 (1998).