

낮은 순방향 전압 강하와 높은 래치-업 특성을 갖는 이중-에미터 구조의 LIGBT에 관한 분석

Analysis of The Dual-Emitter LIGBT with Low Forward Voltage Loss and High Latch-up Characteristics

정진우*, 이병석*, 박상조**, 구용서**

Jin-Woo Jung*, Byung-Seok Lee*, San-Cho Park**, Yong-Seo Koo**

Abstract

In this paper, we present a novel Lateral Insulated-Gate Bipolar Transistor(LIGBT) structure. The proposed structure has extra emitter between emitter and collector of the conventional structure. The added emitter can significantly improve latch-up current densities, forward voltage drop ($V_{ce,sat}$) and turn-off characteristics. From the simulation results, the proposed LIGBT has the lower forward voltage drop(1.05V), the higher latch-up current densities($2.5 \times 10^3 A/\mu m^2$), and the shorter turn-off time(7.4us) than those of the conventional LIGBT.

요약

본 논문에서는 기존 LIGBT의 컬렉터와 에미터 사이에 추가적으로 에미터를 형성한 이중-에미터 구조의 LIGBT를 제안한다. 이중-에미터 LIGBT 구조는 추가된 에미터에 의해 향상된 래치-업 전류밀도, 순방향 전압강하와 빠른 턴-온 시간을 갖는다. 시뮬레이션 결과 이중-에미터 LIGBT 구조는 기존 LIGBT 구조보다 향상된 순방향 전압강하(1.05V), 높은 래치-업 전류($2.5 \times 10^3 A/\mu m^2$), 빠른 턴-온 시간(7.4us)을 가짐을 확인 한다.

Key words : Power Device, LIGBT, Dual-emitter, Latch-up

1. 서론

전력 반도체 소자는 1950년대 Power BJT(Insulated Gate Bipolar Transistor)와 Power Thyristor가 소개

* 檀國大學校 電子電氣工學部

(School of Electrical and Electronics Engineering, Dankook University)

** 다우엑실리콘

(Daou Xilicon)

★ 교신저자 (Corresponding author)

※ 감사의 글 (Acknowledgment)

본 연구는 지식경제부 및 정보통신산업진흥원의 대학 IT 연구센터 지원사업(NIPA-2010-C1090-1001-0003), 지식경제부 및 한국산업기술평가관리원의 산업원천기술개발사업(정보통신) [K10030521, 디스플레이 및 모바일용 PMIC 및 BMIC 개발], 지식경제부와 한국산업기술진흥원의 지역산업 기술개발사업으로 수행된 연구결과입니다.

接受日:2011年 6月 2日, 修正完了日: 2011年 6月 30日

된 이래로 Power MOSFET(Metal Oxide Semiconductor Field Effect Transistor)을 거쳐 IGBT(Insulated Gate Bipolar Transistor)에 이르기까지 고속, 고내압, 저손실을 목표로 꾸준히 발전을 거듭해 왔다[1,2]. 특히 IGBT는 BJT의 높은 전류 밀도와 낮은 순방향 전압강하 및 MOS의 높은 입력 임피던스와 빠른 스위칭 특성을 모두 가지고 있으며 넓은 N-드리프트(N-Drift)영역 때문에 높은 항복 전압 특성을 보이므로 그 응용 범위가 확대 되고 있다 [1,3].

IGBT는 구조에 따라 VIGBT(Vertical IGBT), TIGBT(Trench IGBT), LIGBT(Lateral IGBT)로 분류된다. VIGBT는 Power MOSFET과 동일한 공정에 의해 제조되며 높은 전류 용량을 얻을 수 있어 대용량 개별소자로서 폭넓게 이용되고 있고 TIGBT는 기존의 DMOS 게이트 구조를 트렌치 게이트 구조로 대체함으로써 JFET 저항과 축적층 저항이 제거 되어 낮은 온-상태 전압 강하와 채널 밀도를 증가시킬 수 있고, n+에미터 영역을 지나는 정공전류가 개선되어

래치-업 전류밀도가 증가하는 장점이 있으나 공정상의 어려움이 단점으로 지적 되고 있다. LIGBT는 평면상에 배치가 가능하고 소자 간 격리가 용이 하여 IPM(Intelligent Power Module)이나 Smart Power IC와 같은 전력용 집적회로에 가장 적합한 소자이다 [4,5].

LIGBT는 집적화와 소자 간 격리가 용이한 점 이외에도 누설 전류가 낮고 얇은 에피층에서 비교적 높은 항복 전압을 얻을 수 있다는 장점이 있지만 두꺼운 에피층에 의한 순방향 전압 강하와 턴-오프 시간 지연이 발생 하는 단점 그리고 구조적으로 P+ 콜렉터와 n-에피층, p베이스 및 n+에미터로 구성되는 기생 사이리스터로 인한 래치-업(Latch-up)이 발생하는 단점이 있다[6-8].

따라서 본 논문에서는 기존 LIGBT의 컬렉터와 에미터 사이에 추가적으로 에미터를 형성한 이중-에미터 구조의 LIGBT를 제안한다. 제안된 LIGBT는 기존 LIGBT 보다 순방향 전압 강하와 턴-오프 시간 및 래치-업 특성이 향상 되었으며 이러한 전기적 특성은 TSUPREM-4 공정시뮬레이터와 MEDICI 디바이스 분석 시뮬레이터를 이용하여 분석 하였다.

II. 본론

본 논문에서 제안된 이중-에미터 구조의 LIGBT는 기존 LIGBT의 순방향 전도 특성과 느린 턴-오프 시간 및 래치-업 특성을 개선하였다. 제안된 구조는 기존 구조의 에미터(emitter)와 콜렉터(collector) 사이에 N+과 P-베이스(base)를 삽입하여 추가적으로 에미터를 형성한 구조이다. 제안된 이중-에미터 LIGBT 구조는 두 개의 에미터로부터 유입되는 전자전류로 인하여 기존 LIGBT보다 온, 오프 동작 상태에서 전자, 정공의 주입효율이 높다. 따라서 낮은 순방향 전압강하와 높은 래치-업 특성 및 빠른 스위칭 속도를 갖는다.

1. 기존 LIGBT의 동작 원리

그림1을 통해 LIGBT를 턴-온 동작과 턴-오프 동작으로 나누어 설명하면 턴-온 동작은 게이트(gate)전압에 의해 p-베이스 내에 형성된 n-채널(n-channel)을 통해 N-드리프트 영역으로 전자전류가 주입 된다. 주입된 전자전류는 Q1(PNP bipolar)의 베이스 바이어스로 작용 하여 Q1을 턴-온 시킨다. 따라서 턴-온된 Q1의 컬렉터(collector)로부터 양의 전압이 인가 될 때 P+과 접합된 N-드리프트 영역으로 전공전류가 주입되고 P-베이스를 통해 에미터 전극으로 빠져 나

가며 턴-온 동작을 하게 된다.

턴-오프 동작은 게이트에 전압이 인가되지 않은 상태로 순방향 저지모드와 역방향 저지모드로 나누어진다. 순방향 저지모드는 에미터에 대해 양의 전압이 컬렉터로 인가 된 경우로 M1의 채널이 유도 되지 않기 때문에 제2접합부(J2)에서 역바이어스 되어 턴-오프 동작을 한다. 역방향 저지모드는 에미터에 대해 음의 전압이 컬렉터로 인가 되어 제1접합부(J1)가 역바이어스 되기 때문에 턴-오프 동작 한다.

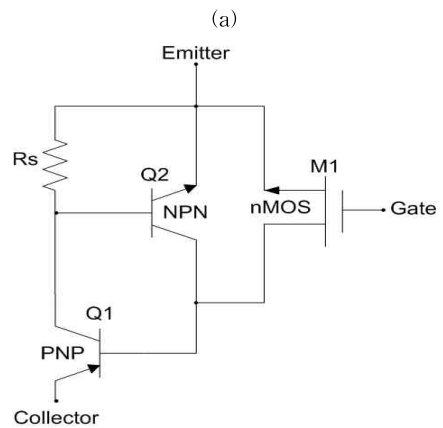
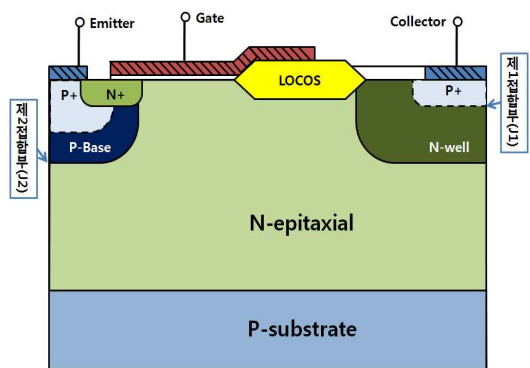


Fig 1. (a)The Cross-section of the conventional LIGBT structure (b)The equivalent circuit of conventional LIGBT

그림 1. (a)기존 LIGBT 구조의 단면도

(b)기존 LIGBT 구조의 등가 회로

2. 제안된 구조의 동작 원리

제안된 LIGBT구조는 기존 LIGBT구조의 콜렉터와 에미터 사이에 추가로 에미터를 삽입한 구조이다. 그림2(a)는 제안된 소자의 단면도이며, 그림2(b)는 단일 구조 등가회로 이다.

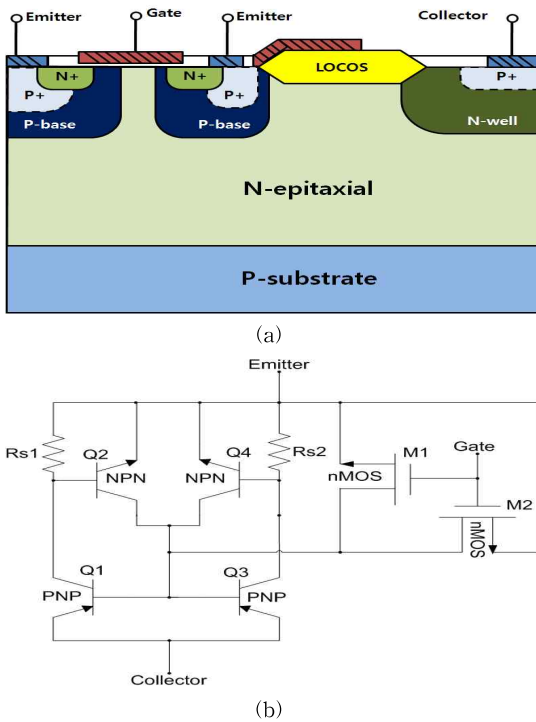


Fig 2. (a)The Cross-section of the proposed LIGBT structure
 (b)The equivalent circuit of proposed LIGBT
 그림 2. (a)제안된 LIGBT 구조의 단면도
 (b)제안된 LIGBT 구조의 등가 회로

제안된 구조의 동작방식은 턴-온 동작 시, 기존 LIGBT의 턴-온 동작과 마찬가지로 게이트로 전압이 인가된다. 하지만 제안된 구조는 에미터와 콜렉터 사이에 추가로 에미터를 형성 하였기 때문에 두 P-베이스 영역에 n-채널이 형성된다. 따라서 기존 구조 보다 많은 전자전류를 N-드리프트 영역으로 주입되게 되고 드리프트 영역의 전자·전류 주입량을 증가시켜 드리프트 영역의 포텐셜을 높이므로써 온-저항(on-resistance)을 낮추며 향상된 순방향 전압 특성을 유도한다.

또한 동작 중 P-베이스로 흐르는 정공 전류가 일정 이상 수준이 되면 P-베이스내 저항성(Rs)에 의한 전압 강하로 인해 N+에미터 와 P-베이스 및 N-드리프트로 구성되는 기생 NPN 트랜지스터가 동작하며 래치-업이 발생하게 되는데, 제안된 구조의 경우 두 개의 P-베이스로 전류가 나누어 흐르므로, 기존 구조 보다 P-베이스 영역으로 흐르는 전류 밀도가 낮아져 래치-업 특성이 향상 된다.

그리고 턴-온 상태에서 턴-오프 상태로 전환 될 때

N-드리프트 영역에 유입되었던 정공전류가 에미터를 통해 방전 되며 턴-오프 지연이 발생되는데 기존 LIGBT의 경우 하나의 P-베이스 영역을 통해 정공 전류가 방전되지만 제안된 구조의 경우 추가된 에미터의 P-베이스 영역을 통해서도 정공전류가 방전 되기 때문에 기존 구조보다 턴-오프 지연 시간이 단축 된다.

3. 시뮬레이션 및 고찰

본 논문의 시뮬레이션에 사용된 LIGBT 구조의 설계 변수 값들은 표1에 나타내었고, 이를 2차원 시뮬레이터 MEDICI를 이용하여 분석 하였다. 기존 LIGBT와 제안된 이중-에미터 구조의 LIGBT는 구조적 차이 이외의 요소들은 모두 동일하게 설정 하였다.

가. 순방향 전도 특성

순방향 전도 특성을 판단하는 지표는 $V_{ce,sat}$ 이며, $V_{ce,sat}$ 은 턴-온된 LIGBT의 동작전류밀도가 $100A/cm^2$ 가 되는 지점을 말한다. 그림 3에서 보는 것과 같이 제안된 구조의 $V_{ce,sat}$ 은 1.05V이며, 기존 구조는 1.3V로 제안된 구조가 기존구조의 $V_{ce,sat}$ 보다 약24%(0.25V) 감소되어 향상된 순방향 전도 특성을 보였다.

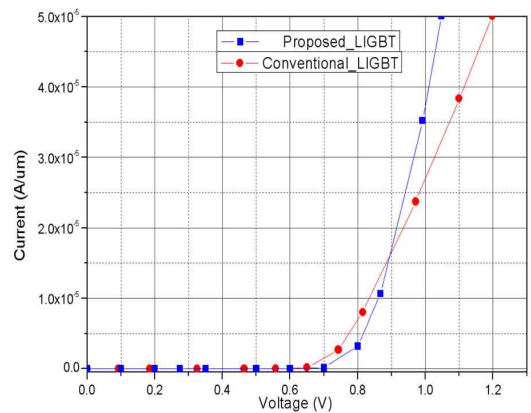


Fig 3. On-State Characteristics of Proposed LIGBT and Conventional LIGBT
 그림 3. 제안된 구조와 기존 구조의 순방향 전도 특성

제안된 구조가 기존 구조 보다 향상된 순방향 전도 특성을 갖는 이유는 제안된 구조의 추가된 에미터로 인해 형성된 두 n-채널을 통해 기존 구조 보다 많은 전자 전류가 N-드리프트영역으로 주입되고 전기적

중성성을 유지하기 위해 P+콜렉터 영역에서도 큰 정공전류를 N-드리프트 영역으로 공급하게 된다. 따라서 동작 상태에서 전자, 정공 주입효율이 기존 구조보다 높다. 이로 인해 기존 구조 보다 제안된 구조의 정공·전자전류가 증가 하여 향상된 순방향 전도 특성을 유도한다. 그림4는 제안된 구조가 기존 구조에 비해 정공전류(IH)와 전자전류(IE)가 높음을 보여준다.

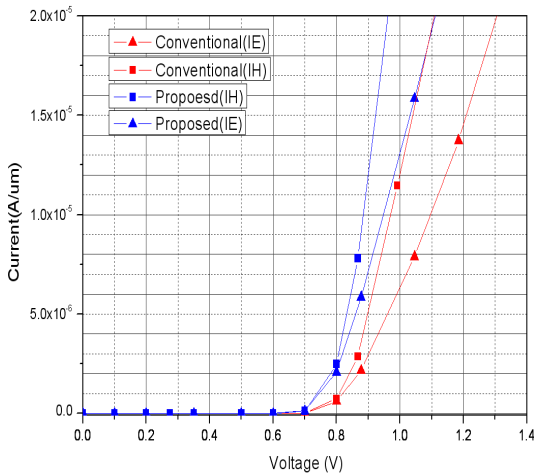


Fig 4. Hole Current and Electron Current of dual-emitter LIGBT

그림 4. 이중-에미터 LIGBT의 전자·정공 전류

나. 항복특성

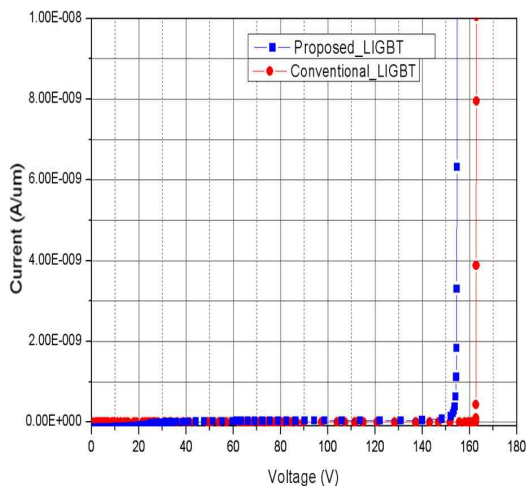


Fig 5. The breakdown Characteristics of dual-emitter LIGBT

그림 5. 이중-에미터 LIGBT 소자의 항복 특성

제안된 소자의 항복 전압은 154V로 기존 소자의 항복 전압 162V 보다 약 8V 감소했다. 기존의 구조보다 제안된 소자의 항복 전압이 낮아지는 이유는 다음과 같다. 항복 전압은 P+콜렉터와 N-드리프트 영역 그리고 P-웰 영역으로 구성된 오픈-베이스 트랜지스터(Open-base transistor)에 의해 결정되며[9], 또한 식 1.1을 통해 N-드리프트의 길이 d1은 최대 저지 전압 Vm과 제곱근 비례 관계임을 확인할 수 있으며, 따라서 N-드리프트 영역의 길이가 항복 전압을 결정하는 주요한 요소가 된다.

$$d1 = \sqrt{\frac{\epsilon^2 V_m}{qN_D}} + L_P \quad (1)$$

여기서 d1은 드리프트 영역의 폭, Vm은 최대 저지 전압, Lp는 소수 캐리어의 확산 길이, 그리고 N_D 는 에피택셜(epitaxial) 층의 농도이다.

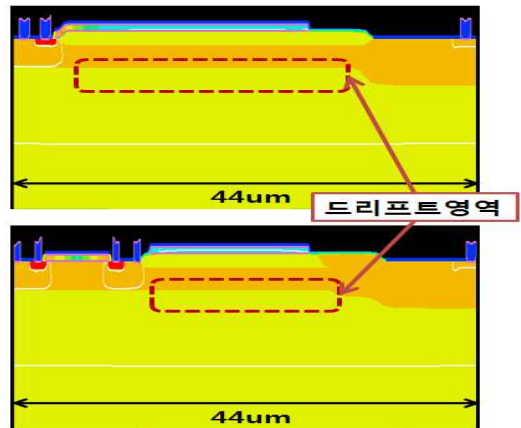


Fig 6. The N-Drift region length of the conventional structure and proposed structure

그림 6. 기존구조와 제안된 구조의 N-드리프트 영역 길이

그림6에서 보는 것과 같이 제안된 소자는 기존 소자의 총 길이를 44um으로 고정된 상태에서 P-베이스와 N+에미터 영역을 추가로 삽입한 구조이기 때문에 드리프트 길이가 감소한다. 따라서 본 논문에서는 추가된 에미터 영역으로 인한 항복전압 손실을 최소화 하기 위해 두 개의 에미터 영역의 간격을 JFET 특성을 고려하여 최적화 함으로써 드리프트 영역의 축소로 인한 항복 전압 감소를 최소화 하였다. 그로 인해 제안된 구조가 항복 전압 특성에 미치는 영향은 미미하다.

다. 래치-업 특성

LIGBT가 동작 전류가 일정 이상의 수준에 도달하면 LIGBT의 구조상 기생적으로 형성되는 NPN 트랜지스터가 동작하는 래치-업(Latch-Up)현상이 발생한다. 래치-업 현상이 발생된 LIGBT는 게이트에 의한 스위칭 제어가 불가능 하게 된다. 따라서 래치-업 특성은 SOA(Safe Operation Area)를 결정짓는 가장 중요한 요소이다. 낮은 래치-업 전류는 LIGBT 소자의 안정성을 감소시키기 때문에 래치-업 전류가 높을수록 높은 안정성을 보장한다.

제안된 구조의 래치-업 특성이 향상되는 이유는 기존 에미터의 P-베이스 영역과 추가로 삽입된 에미터의 P-베이스 영역으로 전류가 나누어 흐르기 때문에 저항 Rs를 통해 흐르는 전류 밀도가 낮아지기 때문이다. 낮은 전류 밀도는 N+에미터, P-베이스 영역, 그리고 N-드리프트로 형성된 NPN 트랜지스터의 전류 이득(α_{NPN})을 기존 LIGBT 보다 감소 시킨다. 래치-업이 발생하기 위한 조건은 식(2)과 같으므로 낮은 NPN트랜지스터 전류이득(α_{NPN})은 높은 래치-업 특성을 유도 한다.

$$\alpha_{NPN} + \alpha_{PNP} \geq 1 \tag{2}$$

여기서, α_{NPN} 은 N+에미터, P-베이스 영역 그리고 N- 드리프트로 형성된 NPN 트랜지스터의 전류 이득이며, α_{PNP} 은 P+콜렉터, N-드리프트 그리고 P+에미터로 형성된 PNP 트랜지스터의 전류 이득을 말한다.

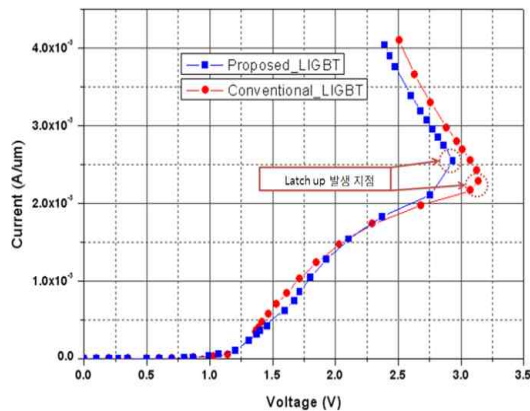
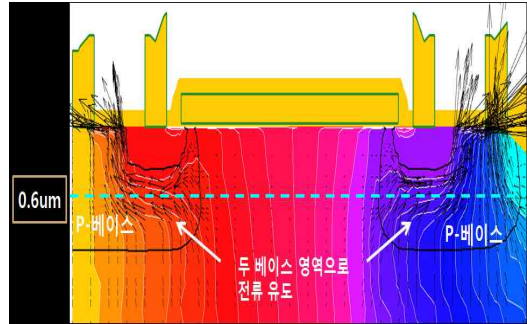
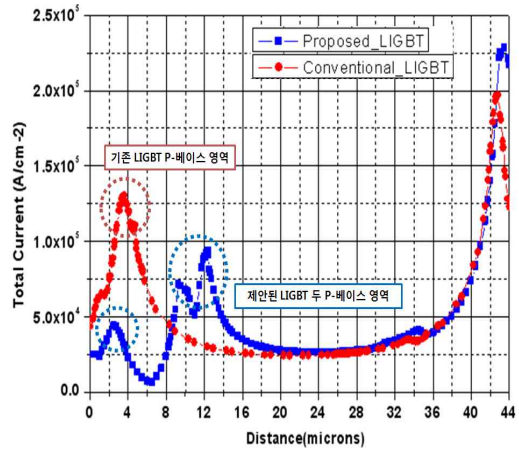


Fig 7. The Latch-up characteristics of proposed LIGBT
그림 7. 제안된 소자의 래치-업 특성



(a)



(b)

Fig 8. (a) The Total current vectors of the proposed LIGBT
(b) The Total current of the proposed LIGBT
그림 8. (a) 제안된 LIGBT의 전류 흐름
(b) 제안된 LIGBT의 총 전류

그림 8 (a)는 제안된 소자의 두 P-베이스 영역으로 전류가 유도될 보여주며, (b)는 소자의 깊이 0.6um 지점에서 총 전류 분포량을 나타내주는 그림으로 제안된 소자의 P-베이스를 통해 흐르는 전류량이 기존 소자 보다 낮음을 보여 준다.

라. 턴-오프 특성

턴-오프 특성은 턴-오프 지연 시간(t_{off})이 짧을수록 향상된 특성을 가지는데 턴-오프 지연 시간은 소자가 턴-오프된 지점부터 온-상태의 전류 값에 10% 이하가 되는 지점을 말하며, 식 1.3으로 표현 된다.

$$t_{off} = \tau_{HL} \ln(10\alpha_{PNP}) \tag{3}$$

여기서 τ_{HL} 은 고농도 소수 캐리어 수명을 나타내고 α_{PNP} 는 LIGBT 구조내의 PNP 트랜지스터의 전류 이득을 말한다.

식1.3을 통해 턴-오프 지연 시간이 소수캐리어 수명과 PNP 트랜지스터의 전류 이득 값에 의해 결정됨을 알수있다. 하지만 캐리어 수명은 고정된 값이므로 전자와 정공의 수명을 5us로 고정 시킨 상태에서 MEDICI 2차원 소자 시뮬레이터를 이용하여 턴-오프 특성을 시뮬레이션 하였다.

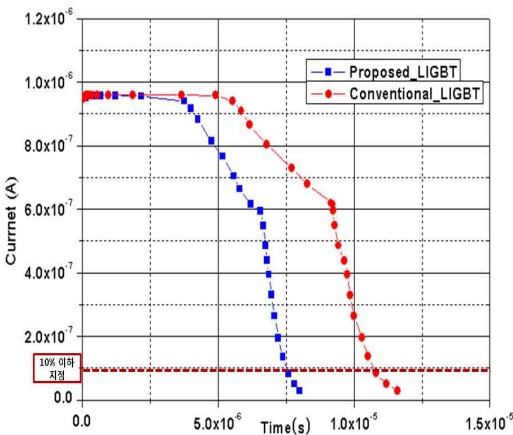


Fig 9. The Turn-off Characteristics of proposed LIGBT
 그림 9. 제안된 소자의 턴-오프 특성

그림9을 통해 제안된 소자의 턴-오프 특성(약7.4us)이 기존 구조의 턴-오프 특성(약10us)보다 2.6us 감소된 우수한 특성을 가짐을 확인할 수 있다. 제안된 구조가 기존구조 보다 우수한 턴-오프 특성을 갖는 이유는 턴-온 상태에서 N-드리프트 영역에 유입된 소수 캐리어가 턴-오프 후 P-베이스 영역을 지나 P+에미터로 빠져 나갈 때 제안된 구조는 기존 구조의 P+에미터 뿐만 아니라 추가로 에미터를 삽입하여 두 P+에미터 영역으로 소수 캐리어가 이동 함으로써 오프 상태에서 빠른 턴-오프 동작을 한다.

Table 2. A simulation result comparative
 표 2. 시뮬레이션 결과 비교

	Vce,sat (V)	Turn-off(us)	Latch-up (A/ μm)	B.V (V)
Conventional LIGBT	1.3	10	2.2×10^3	162
Proposed LIGBT	1.05	7.4	2.5×10^3	154

III 결론

본 논문에서는 기존 LIGBT의 컬렉터와 에미터 사이에 N+과 P-베이스를 형성한 이중-에미터 구조를 제안하였다. 추가로 형성된 에미터로 인해 전자 정공의 주입효율이 증가 하여 순방향 전압강하와 스위칭 손실간의 트레이드-오프 관계를 개선하고 LIGBT 동작의 동작 전류가 두 P-베이스 영역으로 분산되어 래치-업 특성이 향상되었다. 실제 시뮬레이션을 수행한 결과 제안된 구조의 순방향 전도 특성은 기존 LIGBT의 순방향 전도 특성인 1.3V보다 개선된 1.05V 특성을 보였고, 턴-오프 특성도 기존구조의 턴-오프 시간 7.4us 보다 약 2.6us 개선된 특성을 보였다. 마지막으로 래치-업 전류 밀도는 기존의 LIGBT의 $2.2 \times 10^3 \text{ A}/\mu\text{m}^2$ 보다 개선된 $2.5 \times 10^3 \text{ A}/\mu\text{m}^2$ 의 특성을 보였다. 따라서 시뮬레이션 결과 제안된 이중-에미터 LIGBT 구조는 기존구조와 거의 동일한 항복 전압 특성을 유지한 상태에서 순방향 전압 강하, 턴-오프 시간, 래치-업 전류 특성이 모두 기존 LIGBT 구조 보다 우수함을 확인 하였다.

참고문헌

- [1] B. J. Baliga, "Power Semiconductor Device" PWS Publishing Company, pp. 446-455, Dec. 1996.
- [2] T. K Khanna. "The Insulated Gate Bipolar Transistor Theory and Design" IEEE press. Wiley & Sons, INC, 2003.
- [3] T. Trajkovic, "Silicon MOS Controlled Bipolar Power Switching Devices Using Trench Technology" Int. J. electronics, Vol.86, No. 10, pp.1153-1168, 1999
- [4] 강이구, 추교혁, 김상식, 성만영, "트랩 주입의 구조적 설계에 따른 LIGBT의 전기적 특성 개선에 관한 연구" 대한전기학회, 전기학회 논문지 C, 제49권 제 8호, pp. 463-467, 2000
- [5] H. Yamaguchi, H. Himi, S.Fujino and T. Hattori, "Intelligent Power IC with Partial SOI Structure", Jpn. J. Appl. Phys. Vol. 34, 864-868, Part1, No. 2B, pp. 1497-1502, 1995
- [6] 강이구, "스마트파워 IC용 LIGBT의 기술과 동향", 전력전자학회, 전력전자학회지, 제9권 제6호, pp. 22-26, 2004
- [7] K. K. Ng, "Analysis of the Gate Voltage Dependent Series Resistance of MOSFET's", IEEE Trans. Electron Devices, Vol.ED-33, No.7, July.

1986

[8] 김형우, 김상철, 서길수, 방욱, 김남균, 김은동 “이 중 에피층을 가지는 SOI LIGBT의 에피층 두께에 따른 항복전압 특성 분석” *대한전기학회, 2004년도 대한 전기학회 하계학술대회 논문집 C*, pp. 1585-1587, 2004

[9] 이현덕, 원종일, 양일석, 구용서 “새로운 구조의 pMOS 삽입형 TIGBT의 전기적 특성 분석”, *전기전자학회 논문지*, 제 14권 제1호, pp.55-64, 2010

구 용 서 (총신회원)

전기 전자 학회 논문지
(Journal of IKEEE) Vol. 8, No. 1 참조

저 자 소 개

정 진 우 (학생회원)



2010년 : 서경대학교 전자공학과 졸업 (공학사)
2010년 3월~현재 : 단국대학교 대학원 전자전기공학과 (석사과정)
<주관심분야> ESD 및 Power device

이 병 석 (학생회원)



2010년 : 서경대학교 전자공학과 졸업 (공학사)
2010년 3월~현재 : 단국대학교 대학원 전자전기공학과 (석사과정)
<주관심분야> ESD 및 Power device

박 상 조 (총신회원)



1983~1986년 : 한국전자통신 연구원
1987~1988년 : Hewlett Packard 엔지니어
1989~1993년 : Valid/Cadence Korea 한국지사 기술 부장
1994~1996년 : Synopsys Korea 기술 및 마케팅 부장
1997~현재년 : (주)다우엑실리콘

대표이사/ 사장
<주관심분야> 벤처경영, 테스트 및 package