

3중 모드 DC-DC 벅 변환기 설계

Design of a Tripple-Mode DC-DC Buck Converter

유성목*, 박준호*, 박종태*, 유종근**

Seong-Mok Yu*, Joon-Ho Park*, Jong-Tae Park*, Chong-Gun Yu**

Abstract

This paper describes a tripple-mode high-efficiency DC-DC buck converter. The DC-DC buck converter operate in PWM(Pulse Width Modulation) mode at moderate to heavy loads(100mA~500mA), in PFM(Pulse Frequency Modulation)at light loads(1mA~100mA), and in LDO(Low Drop Out) mode at the sleep mode(<1mA). In PFM mode DPSS(Dynamic Partial Shutdown Strategy) is also employed to increase the efficiency at light loads. The triple-mode converter can thus achieve high efficiencies over wide load current range. The proposed DC-DC converter is designed in a CMOS 0.18um technology. It has a maximum power efficiency of 96.4% and maximum output current of 500mA. The input and output voltages are 3.3V and 2.5V, respectively. The chip size is 1.15mm × 1.10mm including pads.

요약

본 논문에서는 3중 모드 고효율 DC-DC 벅 변환기를 설계하였다. 설계된 벅 변환기는 부하 전류가 큰 경우(100mA~500mA)에는 PWM(Pulse Width Modulation) 제어 방식을 사용하고, 부하 전류가 작은 경우(1mA~100mA)에는 PFM(Pulse Frequency Modulation) 제어 방식을 사용하며, 부하 전류가 1mA 이하인 대기모드(sleep mode)에서는 LDO(Low Drop Out)를 사용한다. 또한, PFM 모드에서 부하 전류가 작은 경우 효율을 증가시키기 위해 DPSS(Dynamic Partial Shutdown Strategy) 기법을 사용하였다. 그 결과 설계된 변환기는 넓은 부하 전류 범위에서 높은 효율을 얻을 수 있다. 제안된 벅 변환기는 CMOS 0.18um공정을 이용하여 설계되었다. 최대 효율은 96.4%이고, 최대 부하 전류는 500mA이다. 입력과 출력 전압은 각각 3.3V와 2.5V이며, 칩 크기는 PAD를 포함하여 1.15mm x 1.10mm이다.

Key words : DC-DC Converter, PWM, PFM, LDO, DPSS

1. 서론

최근 휴대용 제품들은 점점 소형화, 경량화 될 뿐만 아니라, 배터리의 안정적인 전원 공급과 장시간 사용을 요하면서 전력관리 시스템의 중요성이 증가하고 있다. 대부분의 휴대용 제품들은 배터리 전압으로부터 각각의 내부 시스템의 다양한 동작 전압을 공급

받아야 하고, 또한 한정된 배터리의 용량으로 보다 긴 사용시간을 얻기 위해서는 배터리 전압을 내부시스템의 동작 전압으로 변환할 때의 전력 손실이 적어야 한다.

휴대 단말기의 PMIC(Power Management IC)에 사용되는 DC-DC 변환기는 스위칭 방식의 변환기[1-7]가 주로 사용되고 있는데, 제어 신호에 따라 전압을 제어하는 전압모드(voltage-mode)[6,7]와 전류를 감지하여 제어하는 전류모드(current-mode)[1-5]로 구분할 수 있다. 전압모드는 일반적으로 전류모드에 비해 구조가 간단하여 설계가 용이한 장점이 있지만, pole이 두 개 존재함으로써 보상이 어렵다는 단점이 있다. 전류모드는 일반적으로 전압모드 보다는 구현이 복잡하고 잡음에 민감하다는 단점이 있지만, pole이 한 개만 존재하여 보상이 간단하다는 장점을 갖는다.

* 仁川大學校 電子工學科

(Dept. of Electronics Engineering, University of Incheon)

★ 교신저자: 유종근 (chong@incheon.ac.kr)

※ 본 논문은 지식경제부 출연금으로 ETRI, 시스템반도체진흥센터에서 수행한 IT SoC 핵심설계인력양성사업의 연구결과이며 IDEC 지원에 의해서도 일부 수행되었음.

接受日: 2011年 06月 02日, 修正完了日: 2011年 06月 29日

DC-DC 변환기는 보통 부하가 클 때 효율이 좋은 PWM(Pulse Width Modulation) 모드와, 부하가 작을 때 효율이 좋은 PFM(Pulse Frequency Modulation) 모드 둘 다 지원하고 있다[2,3,7]. 그러나 부하가 더욱더 작아지면 PFM 모드를 사용해도 변환기 자체의 손실에 의해 효율이 감소할 수밖에 없다. 따라서 본 논문에서는 부하가 작은 경우에도 높은 효율을 유지하기 위해 PFM 모드 동작시 부분적으로 사용되지 않는 블록을 shutdown 시키는 기법인 DPSS(Dynamic Partial Shutdown Strategy)[3]을 적용하여 고효율 전류모드 DC-DC buck 변환기(buck converter)를 설계하였다. 또한, 부하 전류가 1mA 이하인 대기 모드에서는 LDO를 사용하는 3중 모드 방식을 적용하여 넓은 부하 전류 범위에서 높은 효율을 얻을 수 있도록 하였다.

II. 회로구성 및 동작원리

1. 전체 회로 구성

그림 1은 본 논문에서 제안된 고효율 3중 모드 DC-DC buck 변환기의 전체 블록 다이어그램이다. Mode Selector와 Mode Controller를 사용하여 부하에 따라 PWM/PFM/LDO가 자동 변환된다. 또한, 외부 신호에 의해서 강제적으로 각각의 모드로 동작이 가능하다. 부하에 따른 동작은 큰 부하(100mA~500mA)에서는 PWM 모드, 작은 부하(1mA~100mA)에서는 PFM 모드, 1mA이하의 Sleep 모드에서는 LDO가 동작하도록 설계되었다.

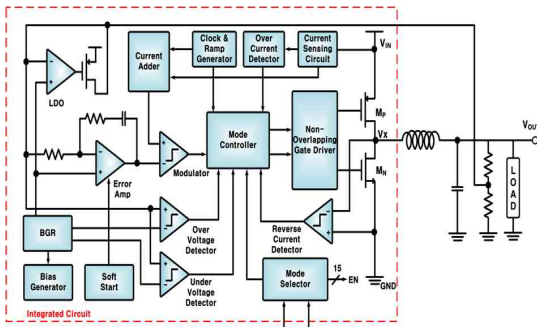


Fig. 1. Block Diagram of the proposed converter
그림 1. 제안된 DC-DC 변환기의 블록 다이어그램

설계된 회로는 출력에서 feedback된 전압과 기준전압 V_{ref} 의 차이를 증폭하는 Error Amp, 인덕터 전류를 센싱하는 Current Sensing Circuit, 1MHz의 클럭과 ramp 신호를 만들어주는 Clock & Ramp

Generator, 센싱된 전류와 ramp 전류를 합해주는 Current Adder, Error Amp의 출력 V_c 와 Current Adder의 출력 I_{sum} 을 비교하는 Modulator로 구성되어 있다.

또한 인덕터 전류를 센싱하는 Current Sensing Circuit, 일정 전압 이하로 내려가는 것을 방지하는 UVD(Under-Voltage Detector), 일정 전류 이상으로 올라가는 것을 방지하는 OCD(Over-Current Detector), 역전류를 감지하는 ZCD(Zero-Current Detector)등을 포함하고 있다.

2. 동작원리

그림 2는 제안된 3중 모드 DC-DC buck 변환기의 동작원리이다.

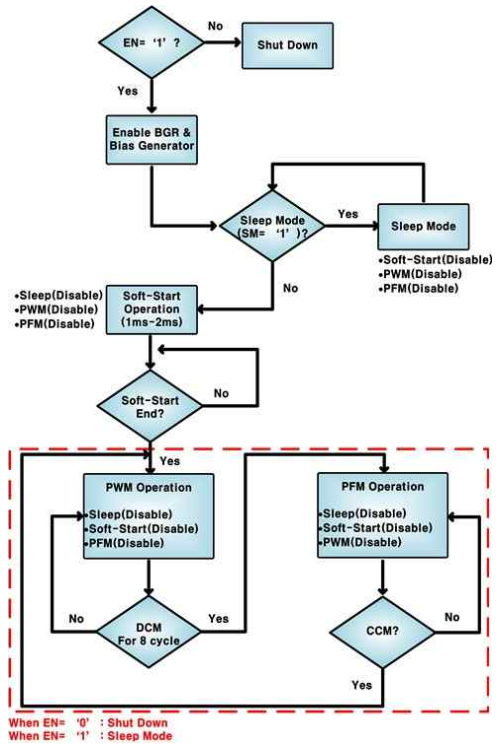


Fig. 2. Operation Principle
그림 2. 동작 원리

'EN=1'이면 회로에 전원이 공급되면서 BGR과 Bias Generator 회로가 변환에 필요한 bias 전압이나 전류를 생성하게 된다. 그리고 'SM' 신호를 받아 Active 모드와 Sleep 모드를 결정하게 된다. 'SM=0'이면 Sleep 모드로 LDO만 동작하게 되고, 'SM=1'이면

Active 모드로 soft-start 기능이 동작한다. 이 기능이 끝나면 PWM 모드로 동작하게 되며 부하가 CCM(Continuous Conduction Mode)에서 DCM(Discontinuous Conduction Mode)으로 바뀌면 PFM 모드로 동작한다. 여기서 히스테리시스 기능을 넣어 DCM이 8 사이클 이상이 되었을 때 PWM 모드에서 PFM 모드로 바뀌게 된다. 변환기가 PFM 모드에서 동작할 때 CCM으로 바뀌면 바로 PWM 모드로 전환된다.

3. PWM 모드

PWM 모드의 동작원리는 다음과 같다. Clock & Ramp Generator에서 발생된 클럭에 의해 스위칭이 시작된다. 클럭 펄스에 의해 power PMOS인 Mp가 on이 되고 인덕터에 흐르는 전류는 증가하게 된다. 인덕터에 흐르는 전류는 Current Sensing Circuit에서 센싱되고, sub-harmonic oscillation을 방지하기 위한 보상 ramp 전류와 더해진 후 Modulator에서 control 전압과 비교된다. 센싱된 전류가 control 전압보다 커지게 되면 Modulator는 Mp를 off시키고 power NMOS인 Mn을 on시킨다. 다음 클럭 펄스에 의해 다음 사이클이 시작된다.

4. PFM 모드

PFM 모드의 동작원리는 다음과 같다. 출력전압 Vout이 원하는 값보다 떨어지면 Under Voltage Detector가 동작해서 power PMOS인 Mp를 on시킨다. Mp가 on되면 인덕터의 전류가 증가하게 되고, 인덕터 전류가 미리 정해진 값보다 커지게 되면 Over Current Detector가 동작해서 Mp는 off되고 power NMOS인 Mn이 on이 된다. 인덕터 전류가 계속 감소해서 역 전류가 흐르게 되면 Reverse Current Detector에 의해 역 전류가 감지되고 Mn도 off된다. 출력전압 Vout이 원하는 값보다 다시 작아지면 다음 사이클이 시작된다.

5. DPSS 동작원리

PFM 동작에는 power MOS의 on/off 상태에 따라 3가지 상태가 존재한다. 첫 번째는 PMOS는 on이고 NMOS는 off인 상태, 두 번째는 PMOS는 off이고 NMOS는 on인 상태. 마지막으로 PMOS와 NMOS 모두 off인 상태이다. 각각의 상태를 순서대로 PFM_P, PFM_N, PFM_X로 표기하였다. DPSS의 동작원리는 각각의 상태에서 다음 상태를 감지하는데 필요한 블록들만 동작시키고 불필요한 블록들은 shutdown 시켜서 변환기의 전류 손실을 줄이는 것이다. 각각의 상태에서 동작하는 블록(O)과 shutdown되는 블록(X)

을 표 2의 'PFM w/ DPSS'에서 확인할 수 있다.

III. 회로설계

1. Mode Selector

Mode Selector는 DC-DC 변환기 칩의 동작모드를 결정하며, 외부에서 공급되는 칩 enable 신호 'EN_Chip'과 2-bit의 Mode Selector 신호 'MS'에 따라 표 1에서와 같이 5가지 모드로 동작하게 된다. Sleep 모드는 시스템이 대기 상태일 때 사용되며, Normal 모드는 시스템이 정상 동작할 때 사용된다. 이 경우에는 부하 상황에 따라 PWM 모드와 PFM 모드가 자동으로 절환되며, 히스테리시스 기능이 적용된다. FPWM 모드와 FPFM 모드는 변환기의 동작 모드를 외부에서 강제로 각각 PWM과 PFM으로 고정시킬 때 사용된다.

Table 1. Operation mode of the DC-DC converter
표 1. DC-DC 변환기의 동작모드

EN_Chip	MS	Sleep	Normal	FPWM	FPFM	Mode
0	X	0	0	0	0	Shutdown
1	00	1	0	0	0	Sleep
	01	0	1	0	0	Normal
	10	0	0	1	0	Forced PWM
	11	0	0	0	1	Forced PFM

변환기의 효율을 증가시키기 위해서는 각각의 동작 모드에서 불필요한 블록들은 disable 시키는 기능이 필요하다. 표 2에 그림 1의 구성블록들이 동작 모드 별로 동작해야하는 경우와 동작하지 않아도 되는 경우를 각각 'O'와 'X'로 표기 하였으며, 각 블록의 enable 신호를 명시하였다.

2. Power Switch & Gate Driver

DC-DC 변환기의 효율을 극대화하기 위한 주요 설계 변수 중 하나가 power 스위치의 크기이다. 스위치의 크기가 커질수록 conduction loss는 감소하는 반면 switching loss가 증가하게 된다. 또한 고주파수에서 동작하는 변환기의 경우에는 conduction loss보다 switching loss가 더 클 수 있다. 그리고 백 변환기의 power loss 중 하나인 shoot-through current loss는 current shoot-through에 의해 발생한다. Current shoot-through를 막기 위해서는 dead time을 설정해야 한다. Dead time은 NMOS power 스위치가 off 된 후 PMOS switch가 on 되기까지의 시간을 의미한다. Dead time동안은 NMOS 스위치의 body diode에 의해 인덕터 전류가 유지되는데, 이로 인해 body diode에서 conduction loss가 발생한다. 따라서 dead time

Table 2. Enable signals for building blocks of the DC-DC converter

표 2. DC-DC 변환기 구성 블록들의 enable 신호

Block	역어	Shut Down	Sleep	PWM	PFM w/o DPSS	PFM w/ DPSS			Enable Signal
						PFM_P	PFM_N	PFM_X	
BGR	BGR	X	O	O	O	O	O	O	EN_chip
LDO	LDO	X	O	X	X	X	X	X	Sleep
Soft-Start	SS	X	X	O→X	X	X	X	X	Normal + FPWM
Bias Generator	BG	X	X	O	O	O	O	O	EN_chip·Sleep
Mode Controller	MC	X	X	O	O	O	O	O	EN_chip·Sleep
Gate Driver	GD	X	X	O	O	O	O	O	EN_chip·Sleep
Error Amp	EA	X	X	O	X	X	X	X	PWM
Modulator	MOD	X	X	O	X	X	X	X	PWM
Clock & Ramp Generator	CRG	X	X	O	X	X	X	X	PWM
Current Adder	CA	X	X	O	X	X	X	X	PWM
Current Sensing Circuit	CSC	X	X	O	O	O	X	X	PWM + DPSS·PFM + DPSS·PFM_P
Over Current Detector	OCD	X	X	O	O	O	X	X	PWM + DPSS·PFM + DPSS·PFM_P
Over Voltage Detector	OVD	X	X	O	O	O	X	X	PWM + DPSS·PFM + DPSS·PFM_P
Under Voltage Detector	UCD	X	X	X	O	X	O	O	DPSS·PFM + DPSS(PFM_N + PFM_X)
Reverse Current Detector	RCD	X	X	O	O	X	O	X	PWM + DPSS·PFM + DPSS·PFM_N

을 결정하는 데에 있어서 switching time이 중요한 요소가 된다. 결론적으로 벅 변환기에서 높은 효율을 얻기 위해서는 power 스위치의 크기와 dead time 그리고 switching 주파수와 같은 설계 변수들을 최적화할 필요가 있다[8]. 본 논문에서는 PMOS와 NMOS power 스위치의 크기를 각각 14mm/0.35um와 7mm/0.35um로 결정하였으며, 1MHz의 switching 주파수를 사용하였다.

Shoot-through current loss를 줄이기 위해서는 dead time을 최적화해야 한다. 이를 위해서 그림 3과 같이 short-circuit에 의한 전류소모를 방지한 Non-Overlapping Gate Driver를 사용하였다. 이 회로의 기본 원리는 feedback 신호를 이용하여 power 스위치가 동시에 on이 되지 않게 하는 것이다.

3. Current Sensing Circuit

전류 모드 벅 변환기 동작을 위해서 인덕터에 흐르는 전류를 감지하는 회로가 필요하다. 설계된 회로는 그림 3과 같이 증폭기를 사용하지 않은 간단한 구조 [9]를 사용하여 전류소모를 최소로 하였으며, 전류를 그대로 복사하는 것은 전력소모가 크기 때문에 1:K의 비율로 축소된 전류를 센싱한다. 본 설계에서는 K 값

을 2000을 선택하였다. 모의실험 결과 감지된 인덕터 전류의 정확도는 96% 이상을 유지하였다. 이 블록에서 센싱된 전류는 sub-harmony oscillation을 방지하기 위한 ramp 전류 신호와 더해진 후 Error Amp에서 증폭된 오차와 Modulator에서 비교된다.

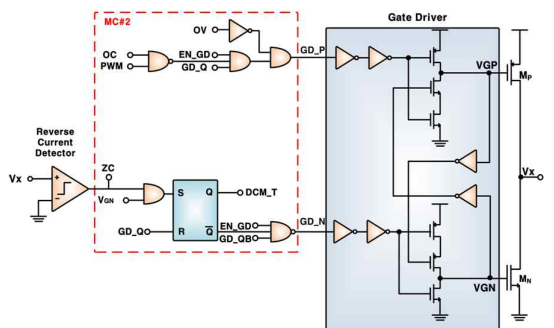


Fig. 3. Non-overlapping gate driver
그림 3. 겹치지 않는 게이트 드라이버 회로

4. Clock & Ramp Generator

Power 스위치를 일정한 주기로 스위칭 해주기 위한 클럭과 sub-harmony oscillation을 방지하기 위한

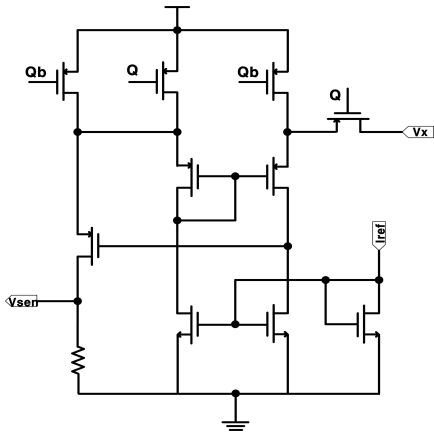


Fig. 4. Current sensing circuit
그림 4. 전류 감지 회로

ramp 신호를 생성하는 회로는 그림 5와 같다. 그림에서 전류원이 커패시터 C를 충전해서 Vramp가 VH에 도달하게 되면 M1이 on이 되고 C는 방전하게 되며, Vramp가 VL까지 떨어지면 M1은 off가 되어 C는 다시 충전이 된다. 충전 시간보다 방전 시간이 짧기 때문에 ramp 신호가 발생된다. 본 논문에서 설계하는 DC-DC 변환기는 입력이 3.3V이고 출력 전압이 2.5V이다. 따라서 듀티 비가 50%를 넘어가므로 sub-harmony oscillation이 발생할 수 있다. 이를 방지하기 위해서는 Vramp 신호의 기울기를 다음 식을 만족하도록 설정해 주어야 한다[1].

$$\text{slope of compensation} = \frac{V_H - V_L}{T} \geq \frac{1}{2} \frac{V_{o,max}}{L} \frac{R_{sense}}{K}$$

여기서 T는 스위칭 주기, Rsense와 K는 각각 전류 감지 회로에 사용된 저항 값과 전류 복사 비이다.

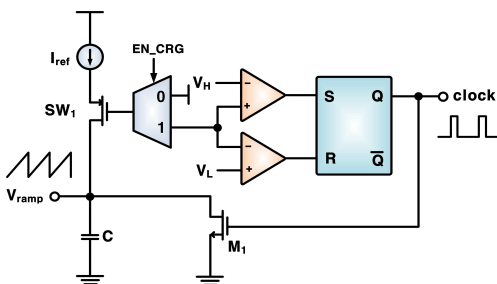


Fig. 5. Clock and ramp generator
그림 5. 클럭 및 ramp 신호 발생 회로

5. Reverse Current Detector

벽 변환기가 CCM 모드에서 동작하다가 DCM 모드로 바뀌게 되면, 인덕터에서 NMOS 스위치로 역전류가 흘러 들어와 loss가 발생한다. 그림 6과 같은 Zero Current Detector를 사용하여 역전류가 발생하면 빠르게 NMOS 스위치를 off시켜서 역전류에 의한 손실을 최대한 줄일 수 있다.

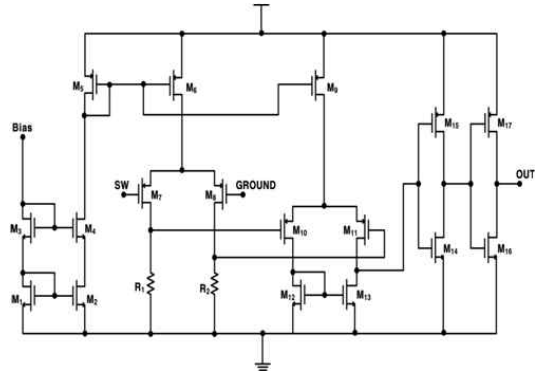


Fig. 6. Reverse current detector
그림 6. 역 전류 감지회로

5. Soft-Start 회로

벽 변환기가 초기에 동작할 때 급격한 귀환 전압 상승으로 인한 순간적인 과전류가 흐르게 되면서 power stage에 해당하는 소자가 손상될 수 있다. 이러한 문제를 해결하기 위해서 보상단의 기준전압을 완만하게 상승하는 전압으로 만들어 인가해서 출력전류의 급격한 상승을 방지한다.

그림 7에 설계된 Soft Start 회로를 보였다. 그림에서 Error Amp의 기준전압 입력단자(+ 단자)에 초기에는 서서히 증가하는 Vss 신호가 인가되다가 soft start 기간이 끝나면 기준전압 Vref_EA가 인가 되도록 설계하였다. 설계된 soft start 시간은 1.5ms 정도이며 soft start 기능이 끝나면 Soft Start 회로는 shut-down된다.

6. Over-Voltage/Over-Current Detector

출력 전압이나 전류가 갑자기 증가하게 되면 회로가 손상될 수 있다. 따라서 Over Voltage Detector와 Over Current Detector를 사용하여 출력 전압이나 전류가 일정 값 이상이 되면 PMOS 스위치를 off시켜서 출력 신호를 안정시켜 준다.

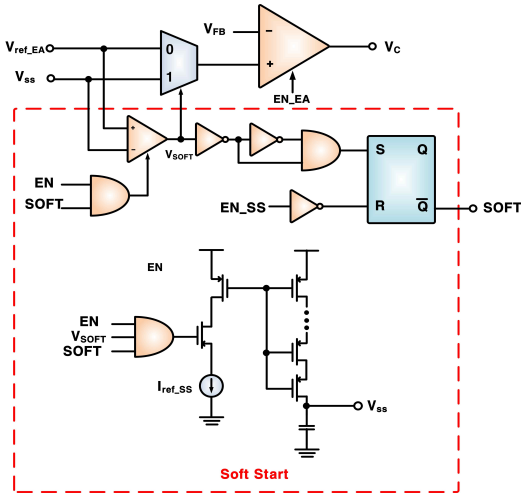


Fig. 7. Soft-start circuit
그림 7. Soft-start 회로

IV. 모의실험 결과

설계된 회로의 성능 검증을 위해 0.18um CMOS 공정 변수를 사용하여 모의실험을 하였다. 그림 8은 출력 부하가 큰 경우($I_{out}=500mA$), 설계된 변환기가 PWM 모드로 동작할 때의 결과 파형이다. 스위칭 주파수는 1MHz이며, 출력 전압 리플은 2mV 이하로 상당히 작으며 안정적으로 동작하는 것을 확인할 수 있다. 그림 9는 출력 부하가 작은 경우($I_{out}=10mA$), 변환기가 PFM 모드로 동작할 때의 결과 파형이다. PFM 모드에서는 스위칭 주파수가 출력 부하 상태에 따라서 변화하며 부하가 작을수록 스위칭 주파수가 낮아진다. 출력 전압 리플은 약 15mV이다.

설계된 백 변환기의 부하 전류에 따른 효율 그래프를 그림 10에 보였다. 부하 전류가 100mA 이상 일 때는 PWM 제어 방식, 1mA~100mA 일 때는 PFM 제어 방식, 1mA 이하 일 때는 LDO가 높은 효율을 보인다. 설계된 변환기의 효율은 부하 전류가 10mA 이상일 때는 90% 이상이며, 1mA~10mA 사이에서는 70% 이상이다. 최대 효율은 96.4%이다.

그림 11은 부하 전류가 작은 경우(10mA 이하) PFM 제어 방식으로 동작할 때, DPSS 기능을 사용한 경우와 사용하지 않은 경우의 효율을 비교하여 나타낸 그래프이다. 부하 전류가 작아질수록 DPSS 기능을 사용함으로써 효율이 향상되는 것을 확인할 수 있다. 1mA의 부하전류에서 변환기의 효율은 78.1%로 DPSS를 적용하지 않은 경우의 효율인 59.2%에 비해 18.9%의 효율 향상을 보인다.

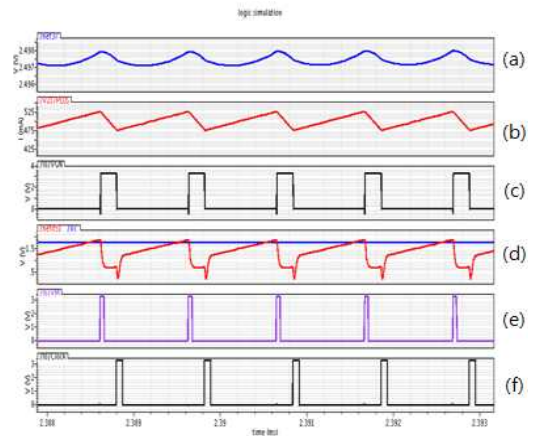


Fig. 8. PWM simulation results
(a) Output voltage (b) Inductor current
(c) NMOS gate voltage
(d) Error-amp output and current adder output
(e) modulator output (f) clock signal
그림 8. PWM 시뮬레이션 결과

- (a) 출력전압
- (b) 인덕터 전류
- (c) NMOS 게이트 전압
- (d) 오차 증폭기 출력과 전류 덧셈기 출력
- (e) 변조기 출력
- (f) 클럭 파형

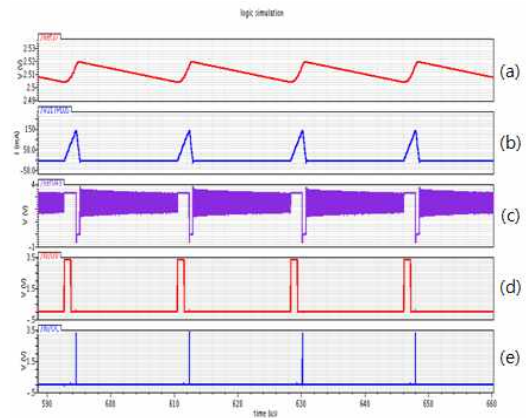


Fig. 9. PFM simulation results
(a) Output voltage (b) Inductor current
(c) V_x voltage (d) UVD output
(e) OCD output

- 그림 9. PFM Mode 시뮬레이션 파형
- (a) 출력전압
 - (b) 인덕터 전류
 - (c) V_x 전압
 - (d) UVD 출력
 - (e) OCD 출력

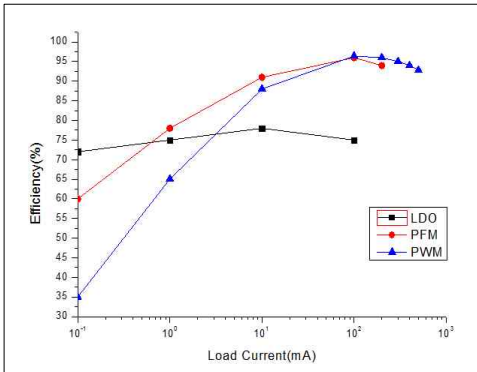


Fig. 10. Efficiency graph of the designed converter

그림 10. 설계된 변환기의 효율 그래프

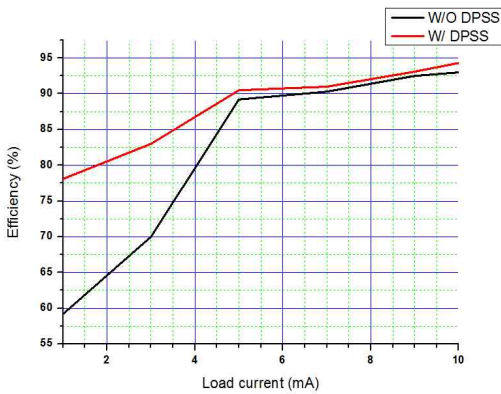


Fig. 11. Efficiency comparison bet. w/o and w/ DPSS

그림 11. DPSS 기능 유무 경우 효율 비교

Table 3. Performance comparison of the DC-DC buck converters

표 3. DC-DC buck 변환기의 성능 비교

Parameters	[1]	[2]	[3]	[4]	[5]	[6]	[7]	[10]	This Work
Technology(um)	0.6	0.35	0.6	0.35	0.35	0.35	0.35	-	0.18
Operating Mode	PWM	PWM /PFM	PWM /PFM	PWM	Hysteresis	PWM	PWM /PFM	PWM	PWM/PFM /LDO
Feedback Mode	Current	Current	Current	Current	Current	Voltage	Voltage	-	Current
Input Voltage(V)	3~5.2	5	2.2~6	2.5~5	3~6	1.8~3.3	2.7~5	2.5~6.0	3.3
Output Voltage(v)	2.8~5	3.3	0.6~5.8	-	5.6	0.7~2.4	1	0.7~6.0	2.5
Frequency(MHz)	0.3~1	0.75	1.1	1	1.9	1	0.1~0.6	1.25	1
Output Ripple(mV)	20	-	3	-	18	35	20/36	-	2/15
Load Current(mA)	<450	<500	<1000	<200	<750	<800	<460	<400	<500
Max Efficiency(%)	89.5	-	96.7	93.4	89.1	96	94	95	96.4
Chip Area(mm ²)	2.87	2.25	1.35	-	2.157	1.815	3.57	-	0.755
Year	2004	2009	2007	2007	2008	2007	2008	-	2010

설계된 회로의 레이아웃 도면을 그림 12에 보였다. 칩의 크기는 1100um × 1150um이며, PAD를 제외한 크기는 910um × 830um이다. 표 3은 본 논문에서 설계된 변환기와 기존 연구 결과와의 성능 비교표이다. 기존 회로와 비교시 본 논문에서 설계된 변환기는 부하 조건에 따라 세 가지 동작모드(PWM/PFM/LDO)를 사용함으로써 넓은 부하 전류 범위에서 높은 효율을 얻을 수 있으며, 낮은 리플 전압을 갖는다. 본 설계에서는 0.18um 공정을 사용하였기 때문에 다른 결과에 비해 작은 칩 면적을 갖는다.

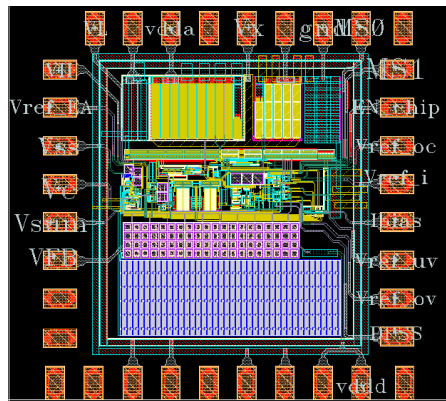


Fig. 12. Top Layout

그림 12. 전체 레이아웃 도면

IV 결론

본 논문에서는 3중 모드 DC-DC buck 변환기를

0.18 μ m CMOS 공정을 이용하여 설계하였다. 넓은 부하 전류 범위에서 높은 효율을 얻기 위하여, 부하 조건에 따라 세 가지 동작모드(PWM/PFM/LDO)에서 동작하도록 설계하였다. 또한, PFM 모드에서 부하 전류가 작은 경우 효율을 증가시키기 위해 DPSS 기법을 사용하였다. 모의실험 결과 입력과 출력 전압이 각각 3.3V와 2.5V일 때 설계된 벡 변환기의 효율은 부하 전류가 10mA 이상일 때는 90% 이상이며, 1mA~10mA 사이에서는 70% 이상이고 최대 효율은 96.4%이다. 그리고 PFM 모드에서 DPSS 기능을 사용한 경우 사용하지 않은 경우에 비해 최대 18.9%의 효율 향상을 얻을 수 있었다. 설계된 회로의 칩 크기는 PAD를 포함하여 1.15mm x 1.10mm이다.

참고문헌

- [1] C. F. Lee, P. K. T. Mok, "A Monolithic Current-Mode CMOS DC-DC converter with on-chip current-sensing technique," *IEEE JSSC*, vol. 39, no. 1, pp 3-14, Jan. 2004.
- [2] Y. T. Chen, C. H. Chen, "A DC-DC buck converter chip with integrated PWM/PFM hybrid-mode control circuit," *International Conference on PEDS 2009*, pp. 181-186, Nov. 2009.
- [3] F. F. Ma, W. Z. Chen, J. C. Wu, "A Monolithic Current-Mode Buck Converter With Advanced Control and Protection Circuits," *IEEE Transactions on Power Electronics*, vol. 22, no. 5, pp 1836-1846, 2007.
- [4] C. J. Hsu, Y. S. Lee, "Current Mode Control Integrated Circuit with High Accuracy Current Sensing Circuit for Buck Converter," *IECON*, pp 1924-1929, 2007.
- [5] J. J. Chen, F. C. Yang, C. C. Chen, "A New Monolithic Fast-Response Buck Converter Using Spike-Reduction Current-Sensing Circuits," *IEEE Transactions on Industrial Electronics*, vol. 55, no. 3, pp 1101-1111, 2008.
- [6] P. Y. Wu, P. K. T. Mok, "A Monolithic Buck Converter With Near-Optimum Reference Tracking Response Using Adaptive-Output-Feedback," *IEEE Journal of Solid-State Circuits*, vol. 42, no. 11, pp 2441-2450, 2007.
- [7] W. R. Liou, M. L. Yeh, Y. L. Kuo, "A High Efficiency Dual-Mode Buck Converter IC For Portable Applications," *IEEE Transactions on Power Electronics*, vol. 23, no. 2, pp 667-677, 2008.
- [8] R. Modak, and M. S. Baghini, "A Generic Analytical Model of Switching Characteristics for Efficiency-Oriented Design and Optimization of CMOS Integrated Buck Converters," *IEEE ICIT*, pp. 1-6, 2009.
- [9] K. H. Cheng, C. W. Su, H. H. Ko, "A High-Accuracy and High-Efficiency on-Chip Current Sensing for Current-Mode Control CMOS DC-DC Buck Converter," *Electronics, Circuits and Systems*, pp 458-461, 2008.
- [10] TPS62220DDCR, 400mA, 1.25-MHz, High-Efficiency, Step-down converter, TI, <http://www.devicemart.co.kr/mart7/mall.php?cat=001014005&query=view&no=38681>

저 자 소 개

유 성 목 (학생회원)



2010년 2월 : 인천대학교 전자공학과 졸업 (공학사)
2010년 3월 ~ 현재 : 인천대학교 대학원 전자공학과 석사과정
<주관심분야> 고효율 DC-DC 변환기 설계

박 준 호 (학생회원)



2010년 2월 : 인천대학교 전자공학과 졸업 (공학사)
2010년 3월~현재 : 인천대학교 대학원 전자공학과 석사과정
<주관심분야> 고효율 DC-DC 변환기 설계

박 종 태 (정회원)

1981년 2월 : 경북대학교 전자공학과 졸업 (공학사)

1983년 8월 : 연세대학교 대학원 전자공학과 (공학석사)

1987년 2월 : 연세대학교 대학원 전자공학과 (공학박사)

1983년 8월 ~ 1985년 8월 : 금성반도체(주) 연구소 연구원

1991년 1월 ~ 1991년 12월 : MIT Post Doc.

2000년 7월 ~ 2001년 8월 : UC Davis 방문교수

1987년 3월 ~ 현재 : 인천대학교 전자공학과 교수

<주관심분야> CMOS Reliability, Nano-scale

CMOS, SOI/MOSFET, RF-CMOS

유 종 근 (정회원)

1985년 2월 : 연세대학교 전자공학과 졸업 (공학사)

1987년 2월 : 연세대학교 대학원 전자공학과 (공학석사)

1993년 2월 : Iowa State University 전기 및 컴퓨터공학과 Ph.D.

2009년 8월 ~ 2010년 7월 : UC Davis 방문교수

1994년 3월 ~ 현재 : 인천대학교 전자공학과 교수

<주관심분야> CMOS Analog/Mixed-mode IC 설계, RFIC 설계, Energy harvesting system 설계