

# 고내압 BCD 소자의 제작 및 전기적 특성에 관한 연구

## A Study on the Fabrication and Electrical Characteristics of High-Voltage BCD Devices

김 광 수\*, 구 용 서\*\*  
 Kwang-soo Kim\*, Yong-Seo Koo\*\*

### Abstract

In this paper, the high-voltage novel devices have been fabricated by 0.35 um BCD (Bipolar-CMOS-DMOS) process. Electrical characteristics of 20 V level BJT device, 30/60 V HV-CMOS, and 40/60 V LDMOS are analyzed. Also, the vertical/lateral BJT with the high-current gain and LIGBT with the high-voltage are proposed. In the experimental results, vertical/lateral BJT has breakdown voltage of 15 V and current gain of 100. The proposed LIGBT with the high-voltage has breakdown voltage of 195 V, threshold voltage of 1.5 V, and  $V_{ce,sat}$  of 1.65 V.

### 요 약

본 논문에서는 0.35 um BCD 공정을 통한 고내압 BCD 소자와 새로운 구조의 BCD 소자를 제작하여 전기적 특성을 분석하였다. 20 V급 BJT 소자, 30/60 V급 HV-CMOS, 40/60 V급 LDMOS 소자의 전기적 특성을 분석하고, 동일 공정을 통해 높은 전류 이득을 갖는 수직/수평형 NPN BJT와 고내압 특성의 LIGBT 소자를 제안하였다. 제안된 수직/수평형 NPN BJT의 항복전압은 15 V, 전류이득은 100으로 측정되었으며, 고내압 특성의 LIGBT의 항복전압은 195 V, 문턱전압은 1.5 V,  $V_{ce,sat}$ 은 1.65 V로 측정 되었다.

*Key words* : BCD, RESURF, LDMOS, BJT, LIGBT

## 1. 서론

최근 LCD TV, 컴퓨터, 모바일 기기 등이 소형화 되고 있지만, 여전히 높은 전력을 요구 한다. 따라서 이와 같은 요구를 충족시키기 위해 고내압 전력 소자와 이를 제어하는 제어회로를 하나의 칩 위에 구현하는 전력 IC (Power Integrated Circuits)가 중요시 되고 있다. 하지만 전력 소자와 제어회로를 집적시킴으로써 전력 스위치 소자에서 발생하는 잡음과 열 등이 제어회로에 영향을 미치기 때문에 이를 구현하기 위한 공정이 매우 까다롭고 제조비용이 높다.

과거에는 전력소자와 제어회로를 On-Chip화하기 위해 BJT 기술이 주로 사용되었으나, 논리 회로 설계의 복잡성과 높은 전압소비 및 공정 스케일 축소 등의 문제로 인해 한계를 드러냈다. 따라서 이를 해결하고

\* 西江大學校 西江未來技術院  
 (Sogang Institute of Advanced Technology, Sogang University)

\*\* 檀國大學校 電子電氣工學部  
 (School of Electrical and Electronics Engineering, Dankook University)

\* 교신저자 (Corresponding author)

※ 감사의 글 (Acknowledgment)

본 연구는 지식경제부와 한국산업기술진흥원의 지역산업기술개발 사업과 지식경제부 및 한국산업기술평가관리원의 산업원천기술개발 사업(정보통신)의 일환으로 수행하였음[K10030521, 디스플레이 및 모바일용 PMIC 및 BMC 개발], [10035171, BLDC 모터용 고전압/대전류 파워모듈 및 ESD 기술개발]

接受日: 2011年 3月 5日, 修正完了日: 2011年 3月 29日

자 BJT (Bipolar Junction Transistor), CMOS (Complementary MOS), DMOS (Double diffused MOS) 소자를 모두 하나의 칩에 구현하는 BCD (Bipolar-CMOS-DMOS)공정이 개발 되었다[1-2]. BCD 공정의 BJT 소자는 아날로그 회로를 위해 주로 적용되며 CMOS 소자는 디지털 로직 회로에 주로 응용되고 DMOS 소자는 고내압 전력 소자로 사용된다 [3]. 그러므로 BCD 공정은 Power management IC와 Motor drive IC등의 전력 IC 제조에 가장 적합한 공정이라 할 수 있다[4].

전력 IC는 자동차, TV 및 모바일 기기의 디스플레이 등에 핵심 부품으로써 폭넓게 사용 되고 있다[5]. 최근 전력 IC적용 분야가 점차 광범위해짐 으로서 다양한 반도체 설계를 하기 위해 BCD 공정 기반의 고내압 소자의 설계가 요구 되고 있다.

따라서 본 논문에서는 0.35 um BCD 공정을 통하여 20 V급 BJT, 30/60 V급 HV-CMOS, 40/60 V급 LDMOS (Lateral double diffused MOS)의 제작 및 전기적 특성을 평가하였다. 또한, BJT의 구조적 변경을 통해 수직/수평 두 방향의 전류 경로 (Path)를 갖는 수직/수평형 NPN BJT (Vertical/Lateral NPN Bipolar) 와 LIGBT (Lateral Insulated Gate Bipolar Transistor)의 RESURF (Reduce Surface Field) 구조를 적용한 새로운 구조의 BCD 소자를 제안하였다. 제안된 소자는 370 커브 트레이서 (370 Curve Tracer)와 4145B 반도체 파라미터 분석기 (4145B Semiconductor Parameter Analyzer)를 이용하여 전기적 특성을 분석 하였다.

## II. 본론

### 1. BCD 공정 소자

본 논문에서는 0.35 um BCD 공정을 통하여 BCD

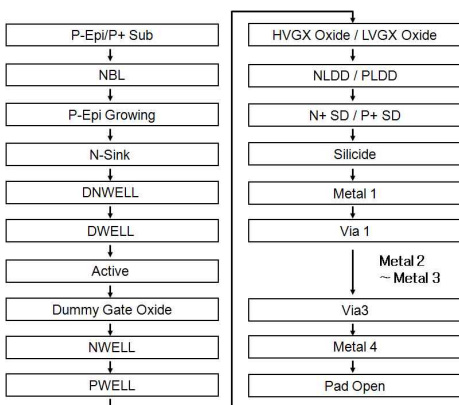


Fig1. Process flow of 0.35 um BCD

그림1. 0.35 um BCD 공정 흐름소자의 제작 및 전기적 특성을 분석하였으며, 새로운 구조의 BJT, LIGBT를 제안하였다. 그림1에 0.35 um BCD 공정 흐름도를 나타내었다.

0.35 um BCD 공정을 통하여 20 V급 BJT, 30/60 V급 HV-CMOS, 40/60 V 급 LDMOS를 제작하여 370 커브 트레이서와 4145B 반도체 파라미터 분석기를 이용하여 전기적 특성을 측정하였으며, 측정된 전기적 특성은 표1.에 나타내었다.

Table.1 Electrical characteristics of LDMOS, HV-CMOS, and BJT

표1. LDMOS, HV-CMOS, BJT의 전기적 특성

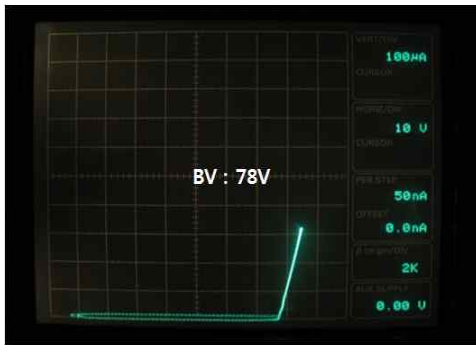
LDMOS	BV[V]	$V_T$ [V]	Rsp[mΩ-cm <sup>2</sup> ]
40V LDMOS	60	1	0.6
60V LDMOS	94	1.2	1
HV-CMOS	BV[V]	$V_T$ [V]	Rsp[mΩ-cm <sup>2</sup> ]
30V HV-CMOS	53	0.65	1.5
60V HV-CMOS	78	0.68	1.5
BJT	$BV_{CEO}$	hFE	$J_C$ [uA/um <sup>2</sup> ]
Vertical NPN	31	15	100
Lateral PNP	-33	10	-1

### 2. 0.35 um BCD 소자 성능 평가

LDMOS는 Drift 길이의 증가에 의해 항복전압은 향상되지만 반면 Rsp는 증가하기 때문에 제작 시 절충을 통해 Drift 길이를 적용하여 제작하였다. 그림 2는 40/60 V 급 LDMOS의  $V_{DS}-I_{DS}$ 의 특징을 나타내었다. 고전압 (40~60 V)을 위하여 Drift 영역에 Deep-Well을 사용하였다. 40 V급 LDMOS는 60 V의 항복전압과 0.6 mΩ-cm<sup>2</sup>의 온-저항을 확인하였고, 60 V급 LDMOS는 94 V의 항복전압과 1 mΩ-cm<sup>2</sup>의 온-저항을 확인하였다.



(a)



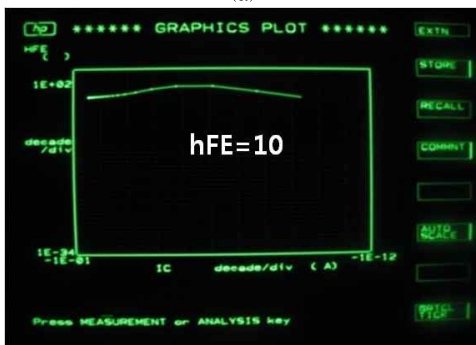
(b)

Fig3. Measured breakdown voltage of (a) 30 V and (b) 60 V HV-CMOS  
그림3. (a) 30 V, (b) 60 V HV-CMOS의 항복전압

HV-CMOS는 Drift 길이가 증가함에 따라 온-저항이 증가하고, 드레인 전류가 감소하기 때문에 이를 적용한 제작을 하였다.  
30 V급 HV-CMOS는 53 V의 항복전압과 0.65 V의 문턱전압을 확인하였고, 60 V급 HV-CMOS는 78 V의 항복전압과 0.68 V의 문턱전압을 확인하였다.



(a)



(b)

Fig4. Measured hFE of (a) Vertical NPN and (b) Lateral PNP Bipolar  
그림4. (a) Vertical NPN과 (b) Lateral PNP BJT의 전류이득

BJT의 전기적 특성 요소인 높은 전류이득 (Beta: hFE)을 얻기 위하여 작은 Base 길이와 높은 Emitter 주입효율을 적용하여 제작 하였으며, 전류이득은 출력 전류 대비 입력 전류의 비로 얻을 수 있다.  
20 V급 수직형 NPN BJT는 31 V의 항복전압과 15의 전류이득을 확인하였고, 20 V급 수평형 PNP BJT는 -33 V의 항복전압과 10의 전류이득을 확인하였다.

### 3. 새로운 구조의 0.35 um BCD 소자

가. 수직/수평형 NPN BJT (Vertical/Lateral NPN Bipolar)

(1) 동작원리

BCD공정에서 지원하는 NBL 과 N-Sink를 이용한 수직형 NPN BJT의 Base 인 P-Well 내부의 N+ Collector를 추가로 삼입함으로써 NBL과 N-Sink로 구성되는 수직형 NPN BJT와 P-Well 내부에 형성되는 수평형 NPN BJT를 동시에 형성하는 구조이다. 수직/수평형 NPN BJT는 기존 수직형 NPN BJT 보다 전류 구동이 향상 되어 높은 전류 이득 값을 얻을 수 있다. 하지만 기존의 수직형 NPN BJT가 Deep-NWell과 P-Well 간 항복에 의해 항복전압이 결정되는 것 과 달리 수직/수평형 NPN BJT는 P-Well 내부에 추가된 Collector N+ 간에 항복이 일어나기 때문에 기존 수직형 NPN BJT보다 낮은 항복 전압을 나타 내었다.

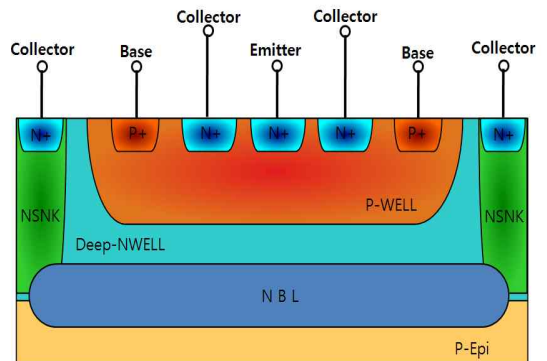


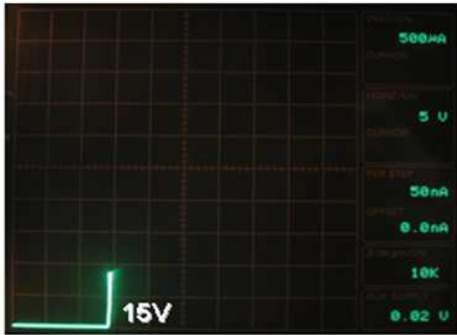
Fig5. Cross section view of Vertical / Lateral NPN Bipolar

그림5. 수직/수평형 NPN BJT의 단면도

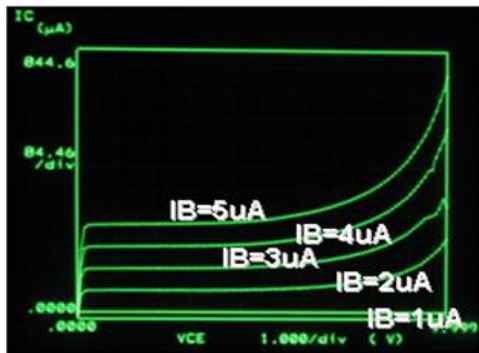
(2) 측정

370 커브 트레이서를 이용한 항복 전압과 4145B 반

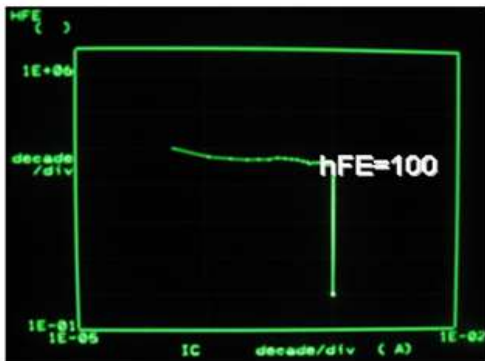
도체 파라미터 분석기를 이용한 전류이득 값을 측정 하였다.



(a)



(b)



(c)

Fig6. Measured (a) Breakdown voltage, (b) I-V curve, and (c) hFE of vertical / lateral NPN Bipolar

그림6. Vertical/Lateral NPN BJT의 (a) 항복전압 (b) I-V 특성 곡선 (c) 전류이득

Table2. Electrical characteristics of vertical / lateral NPN Bipolar

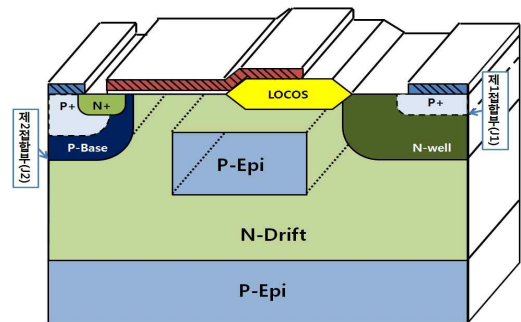
표2. 수직/수평형 NPN BJT의 전기적 특성

Parameter	Value
BV	15 V
hFE	100

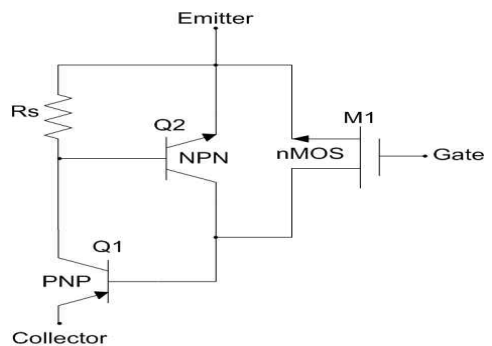
수직형/수평형 NPN BJT의 전기적 특성을 측정 한 결과 항복전압은 15 V, 전류이득은 100으로 측정되었다. 측정 결과 기존 수직형 NPN BJT의 전류이득 값 보다 높은 전류이득 값을 확인 하였다.

나. RESURF LIGHT

(1) 동작원리



(a)



(b)

Fig7. (a) The Cross-section of the LIGHT with RESURF structure

(b) The equivalent circuit of LIGHT

그림 7. (a) RESURF LIGHT 구조의 단면도

(b) LIGHT 구조의 등가 회로

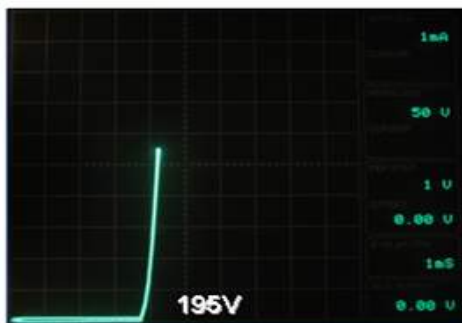
그림7을 통해 RESURF LIGBT를 턴-온 동작과 턴-오프 동작으로 나누어 설명하면 턴-온 동작은 Gate 전압에 의해 p-Base 내에 형성된 n-채널(n-Channel)을 통해 N-Drift 영역으로 전자전류가 주입 된다. 주입된 전자전류는 Q1 (PNP Bipolar)의 Base 바이어스로 작용 하여 Q1을 턴-온 시킨다. 따라서 턴-온된 Q1의 Collector로부터 양의 전압이 인가 될 때 P+과 접합된 N-Drift 영역으로 정공전류가 주입되고 P-Base를 통해 Emitter 전극으로 빠져 나가며 턴-온 동작을 하게 된다.

턴-오프 동작은 게이트에 전압이 인가되지 않은 상태로 순방향 저지모드와 역방향 저지모드로 나누어진다. 순방향 저지모드는 Emitter에 대해 양의 전압이 Collector로 인가 된 경우로, M1의 채널이 유도 되지 않기 때문에 제2접합부 (J2)에서 역바이어스 되어 턴-오프 동작을 한다. 역방향 저지모드는 Emitter에 대해 음의 전압이 Collector로 인가되어 제1접합부 (J1)가 역바이어스 되기 때문에 턴-오프 동작 한다.

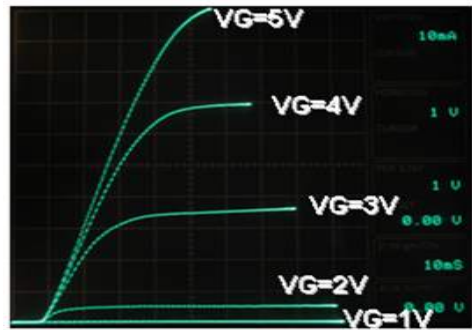
LIGBT의 N-Drift 영역에 삽입된 플로팅 (Floating) P-EPI 영역을 두어 N-Drift의 주입 효율 (Injection efficiency)을 증가시킴에 따라 온-저항을 감소시키고, 턴-오프 지연시간을 단축시킴으로써 향상된 특성을 가진다[6-8].

(2) 측정

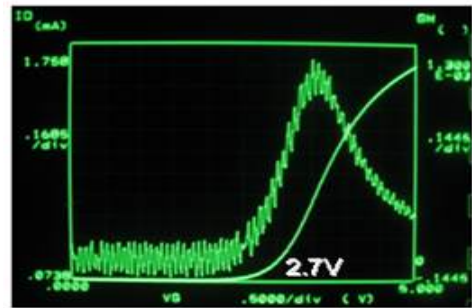
N-Drift 영역의 플로팅 P-EPI 영역을 삽입한 구조를 제작하여 370 커브 트레이서를 이용한 항복 전압 및 온-저항을, 4145B 반도체 파라미터 분석기를 이용한 문턱전압과 순방향 전도 특성을 판단하는 지표인  $V_{ce,sat}$ 을 측정하였다.  $V_{ce,sat}$ 은 턴-온된 LIGBT의 동작전류밀도가 100 A/cm<sup>2</sup>가 되는 지점을 말한다.



(a)



(b)



(c)

Fig8. Measured (a) Breakdown voltage (b) I-V curve (c)  $V_t$  of RESURF LIGBT

그림8. RESURF LIGBT의 (a) 항복전압 측정 (b) I-V특성 곡선 (c) 문턱전압

Table3. Electrical characteristics of RESURF LIGBT

표3. RESURF LIGBT의 전기적 특성

Parameter	Value
$BV_{DSS}$	195 V
$V_{ce,sat}$	1.25 V
$V_T$	2.7 V
$R_{on,sp}$	0.571 mohm-cm <sup>2</sup>

측정된 결과 RESURF LIGBT의 항복전압은 195 V, 문턱전압은 1.5 V,  $V_{ce,sat}$ 은 1.65 V로 측정 되었다.

IV 결론

본 논문에서는 0.35 um BCD공정을 통한 고내압 20 V급 BJT, 30/60 V급 HV-CMOS, 40/60 V급 LDMOS와 새로운 구조의 수직/수평형 BJT와 RESURF LIGBT를 제작한 후 전기적 특성을 분석하였다. 제작된 0.35 um BCD 소자들의 항복전압은 100

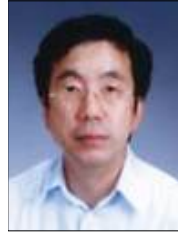
V 이하 급으로 새로운 구조의 수직/수평형 NPN BJT의 항복전압은 15 V, 전류이득은 100으로 측정되었으며, RESURF LIGBT의 항복전압은 195 V, 문턱전압은 1.5 V,  $V_{ce,sat}$ 은 1.65 V로 확인 되었다. 새로운 구조의 BJT는 0.35  $\mu\text{m}$  BCD BJT보다 높은 전류이득을 가짐으로써, 수십 GHz이상의 고속/고성능 아날로그 회로 구현과 파워 소자의 게이트 구동부로 사용 시 고효율/고성능의 스위칭 회로를 구현할 수 있을 것으로 예상된다. 또한 새로운 구조의 RESURF LIGBT는 0.35  $\mu\text{m}$  BCD 공정을 통하여 제작된 BCD 소자들보다 높은 항복전압을 나타내었으며, 이로 인해 Power management IC와 Motor drive IC등의 전력 IC 에 고내압 소자로써 더 높은 활용성을 지닐 것으로 기대된다.

### 참고문헌

- [1] D. Riccardi et al., "BCD8 form 7V to 70V: a new 0.18  $\mu\text{m}$  technology platform to address the evolution of applications towards smart power ICs with high logic contents," *ISPSD*, pp.73-76, 2007
- [2] A. Moscatelli et al., "LDMOS implementation in a 0.35  $\mu\text{m}$  BCD technology(BCD6)," *ISPSD*, pp.419-422, 2004
- [3] A. Andreini, C. Contiero, and P.Galbiati, "A new integrated silicon gate technology combining bipolar linear, CMOS logic, and DMOS power parts," *IEEE Trans. Electron Devices*, Vol.33, pp.2025-2030, 1996
- [4] Chen Zhiyong, Huang Qiyu, Gong Dawei, "Introduction of BCD Process," *Semiconductor Technology*, Vol.31, No.9, pp.641-644, 2006
- [5] Udre, F., "Advanced 3D RESURF devices for power integrated circuits," *Semiconductor Conference, CAS 2002 Proceedings. International*, Vol.2, pp.229-238, 2002
- [6] J. Appels, H. Vaes, J. Verhoeven, "HV thin-layer devices (Resurf devices)," *IEDM*, pp.238-241, 1979
- [7] J. Appels, M. collet, P. Hart, H. Vaes, J. Verhoeven, "Thin-layer HV-devices," *Philips Journal Research*, 35, pp.1-13, 1980
- [8] Adriaan W., Ludikhuizen, "A Review of RESURF Technology," *ISPSD*, pp.11-18, 2000

### 저 자 소 개

#### 김 광 수 (정회원)



1983년 ~1998년 : 한국전자통신  
연구원 책임연구원  
1999년 ~2005년 : 정보통신연구  
진흥원 책임연구원  
2005년 ~2008년 : 대구경북과학  
기술원 책임연구원  
2008년 9월~현재 : 서강대학교  
서강미래기술원 교수  
<주관심분야> 차세대 반도체 소자 및 공정

#### 구 용 서 (정회원)

전기 전자 학회 논문지

(Journal of IKEEE) Vol. 8, No. 1 참조