

WLAN 응용을 위한 DAC를 이용한 Digitally Controlled LC Oscillator 설계

Design of a Digitally Controlled LC Oscillator Using DAC for WLAN Applications

서 희 택*, 박 준 호*, 권 덕 기**, 박 종 태*, 유 중 근**
 Hee-Teak Seo*, Jun-Ho Park*, Duck-Ki Kwon**, Jong-Tae Park*, Chong-Gun Yu**

Abstract

Dithering scheme has been widely used to improve the resolution of DCO(Digitally Controlled Oscillator) in conventional ADPLLs(All Digital Phase Locked Loop). In this paper a new resolution improvement scheme is proposed where a simple DAC is employed to overcome the problems of dithering scheme. A 2.4GHz LC-based DCO has been designed in a 0.13μm CMOS process with an enhanced frequency resolution for wireless local area network applications. It has a frequency tuning range of 900MHz and a resolution of 58.8Hz. The frequencies are controlled by varactors in coarse, fine, and DAC bank. The DAC bank consists of an inversion mode NMOS varactor. The other varactor banks consist of PMOS varactors. Each varactor bank is controlled by 8bit digital signal. The designed DCO exhibits a phase noise of -123.8dBc/Hz at 1MHz frequency offset. The DCO core consumes 4.2mA from 1.2V supply.

요 약

기존에 ADPLL(All Digital Phase Locked Loop)에서는 DCO(Digitally Controlled Oscillator)의 해상도를 향상시키기 위해 주로 dithering 기법이 사용되었다. 본 논문에서는 dithering 방식에서 발생하는 문제점을 보완하고자 DAC를 이용한 DCO의 해상도 확보 방법을 제안하였다. 0.13μm CMOS 공정을 이용하여 고해상도의 2.4GHz LC DCO를 무선 로컬 네트워크 통신에 적용 가능하도록 설계하였다. 설계된 DCO는 900MHz의 주파수 튜닝 범위를 가지고 발전하며 58.8Hz의 해상도를 보여준다. 주파수 컨트롤은 coarse, fine, DAC 배랙터 bank에 의해서 이루어지며, coarse와 fine bank는 PMOS 배랙터로, DAC bank는 NMOS 배랙터로 구성되었다. 각 배랙터 bank는 8비트의 디지털 입력으로 컨트롤된다. 설계된 DCO의 위상잡음은 1MHz 오프셋에서 -123.8dBc/Hz이다. 설계된 DCO는 공급전압 1.2V에서 4.2mA의 전류를 소모한다.

Key words : LC DCO, ADPLL, DAC, WLAN

1. 서론

* 仁川大學校 電子工學科
 (Dept. of Electronics Engineering, University of Incheon)

** 페어차일드 코리아(Fairchild Korea)

★ 교신저자: 유중근 (chong@incheon.ac.kr)

※ 이 논문은 인천대학교 2009년도 자체연구비 지원에 의하여 연구되었으며 IDEC 지원에 의해서도 일부 수행되었음.

接受日:2011年 3月 4日, 修正完了日: 2011年 3月 30日

집적회로 기술의 발달로 CMOS의 최소 게이트 길이가 deep-submicron 영역으로 작아짐에 따라 기존 송·수신 단에 필수적으로 사용되던 전하펌프(charge-pump) PLL(Phase-Locked Loop)의 성능에 영향을 미치는 여러 단점들이 나타나게 되었다. 게이트 길이가 줄어들어 따라 회로에 공급 전압이 낮아지고, 공급 전압강하로 인해 전하펌프 PLL의 핵심 블록인 VCO(Voltage Controlled Oscillator)는 전압 컨트롤 범위가 줄어들어 주파수 튜닝 범위가 줄어들게 된다. 또한 공급 전압 대비 전원잡음(power supply noise)과

기판잡음(substrate noise) 비율이 증가하여 회로에 미치는 영향이 커지게 된다. 마지막으로 수동소자인 진하펄프 PLL의 루프필터(loop filter)를 집적화하는데 한계가 있고, 커패시터의 누설전류가 증가하는 단점을 가지게 된다.[1] 그림 1은 deep-submicron 공정에서 발생하는 PLL 단점들을 나타낸 것이다.

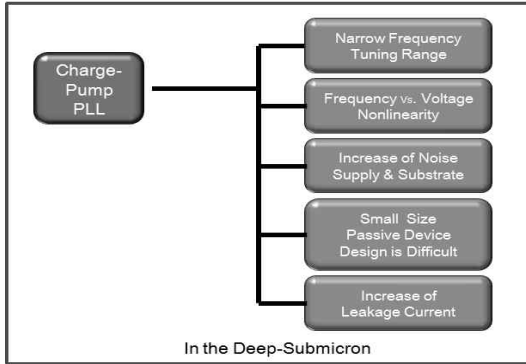


Fig. 1. Drawbacks of PLL in deep-submicron process
그림 1. Deep-submicron 공정에서 발생하는 PLL의 단점들

이러한 단점을 개선하기 위해 디지털 비트로 주파수 컨트롤 하는 ADPLL 기술이 연구되어 왔다.[1,2]

본 논문에서는 ADPLL의 핵심 블록인 DCO의 기존 해상도 확보방법인 dithering 방식의 문제점을 분석하고, DAC(Digital-to-Analog Converter)와 NMOS 배랙터(varactor)를 이용한 새로운 해상도 확보방법을 제안하였다. 제안된 DCO는 WLAN에 적용할 수 있도록 2.3GHz~3.2GHz의 대역폭을 가지고 발전하며 0.13μm CMOS 공정을 이용하여 설계되었다.

II. 본론

1. 기존 DCO의 해상도 확보 방법

가. VCO와 DCO의 차이점

그림 2에 DCO와 VCO의 출력 주파수 선형도 비교를 나타내었다. DCO가 기존의 VCO에 비해 선형도가 우수한 것을 알 수 있다. 그러나 ADPLL에 쓰이는 DCO는 VCO와는 달리 주파수 컨트롤 범위의 모든 주파수를 발전시킬 수가 없다는 단점이 있다. 따라서 원하는 주파수와 DCO의 출력 주파수 간의 부정합(mismatch)이 발생하게 되는데, 이러한 부정합을 줄이기 위해서는 DCO 주파수의 해상도를 높여야 한다. DCO의 해상도를 높이기 위해서는 배랙터 bank의 커패시턴스 값을 최소값으로 설계해야 하지만, 공정상 구현

할 수 있는 최소 커패시턴스 값은 제한되어 있다. 따라서 높은 해상도 확보를 위해 커패시턴스 값을 줄이는 방식으로 dithering 기법이 널리 사용되어 왔다.[2]

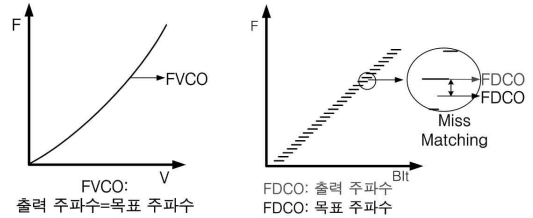


Fig. 2. Frequency linearity comparison between VCO and DCO

그림 2. VCO와 DCO 출력 주파수 선형도 비교

나. Dithering 기법

Dithering이란 배랙터의 on, off를 빠르게 하여 전체 시간동안의 평균값을 배랙터의 값으로 인식하게 만드는 기법이다. 그림 3과 같은 파형을 배랙터에 입력시키면 식 (1)에서 나타낸 것과 같이 1/6만큼의 배랙터값을 구현할 수가 있다.

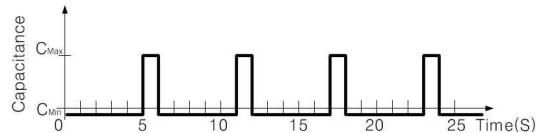


Fig. 3. An example of the input signal to the varactor
그림 3. 배랙터 입력신호 예

$$(C_{Max} - C_{Min}) \times \frac{1}{6} + C_{Min} = C_{tot} \quad (1)$$

Dithering을 사용하기 위해서는 입력 값에 따른 랜덤신호를 발생시키는 DSM(Digital Sigma-Delta Modulator)블록이 필요하다. 주기적인 신호는 in-band에 큰 spur를 발생시키기 때문에 랜덤신호를 이용하여 out-band로 spur를 옮겨야 한다.

DSM 블록이 동작하기 위해선 수 백MHz, 수 십 MHz의 다른 주파수를 가진 두 클럭(clock)이 필요하다. 이중 수 백 MHz의 클럭은 DCO 출력 주파수를 분주해서 사용하게 된다. 따라서 주파수 분주기에서 큰 전류소모가 발생하고, 회로의 면적이 커지게 된다. 또한 수 십 MHz 클럭 입력이 필요하기 때문에 별도의 외부 신호발생기가 필요하다. 높은 해상도를 얻기 위해서는 높은 클럭 주파수가 필요하다. 하지만, 클럭 주파수가 높으면 높을수록 고속 랜덤신호의 영향으로 spur가 크게 나타나게 되고, DSM 회로에서 더 많은

전력을 소모하게 된다. 마지막으로 DSM의 영향으로 out-band로 옮겨진 커다란 spur는 필터로 제거해야 각 채널 간섭을 줄일 수 있어 정교한 필터 설계가 요구된다.

따라서 본 논문에서는 dithering 방식에서 발생하는 단점을 보완하고자 DAC를 이용한 DCO설계 방법을 제안한다.

2. 제안된 DAC를 이용한 설계

DCO의 구조는 기존의 LC VCO와 비슷하게 LC의 공진을 이용하여 주파수를 발생시킨다. 부정저항을 생성하는 NP-core를 사용하여 LC소자 내의 저항성분에 의해 발진이 멈추는 것을 방지하게 설계하였다. 여러 개의 배렉터를 병렬로 연결하여 각각의 배렉터를 on, off시켜서 주파수를 조정하게 된다. Coarse tune의 배렉터는 넓은 주파수 범위를 fine tune의 배렉터는 좁은 간격의 주파수 범위를 컨트롤하게 된다. 최소로 컨트롤 할 수 있는 주파수 간격이 DCO의 해상도이고 DCO의 성능을 결정하게 된다. 그림 4는 DCO의 기본 구조이다.

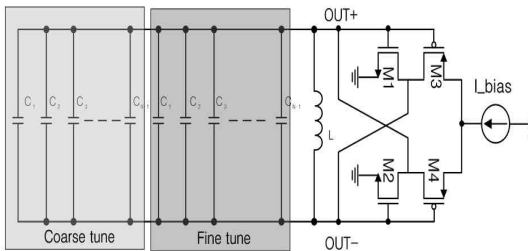


Fig. 4. DCO block diagram
그림 4. DCO 기본 구조 블록도

기존의 DAC를 적용한 DCO는 NMOS 배렉터만으로 배렉터 bank를 구성하였기 때문에 디지털 입력에 대해서 출력되는 주파수의 안정도가 떨어지는 문제점이 발생하였다.[3] 하지만 본 논문에서는 DCO의 배렉터 bank를 PMOS와 NMOS 배렉터를 함께 사용하여 각각의 배렉터 특성에 따라 디지털 입력과 DAC 출력을 적용시켜 주파수 안정도와 높은 해상도를 확보하도록 설계하였다.

설계된 DCO는 coarse 배렉터 bank, fine 배렉터 bank, DAC 배렉터로 구성되어있다. Coarse 배렉터 bank와 fine 배렉터 bank는 디지털 입력에 안정도가 높은 PMOS 배렉터로 설계하였고, DAC 배렉터는 아날로그 신호에 대해 특성이 좋은 NMOS 배렉터로 설계하였다. 그림 5는 제안된 DCO의 블록도이다.

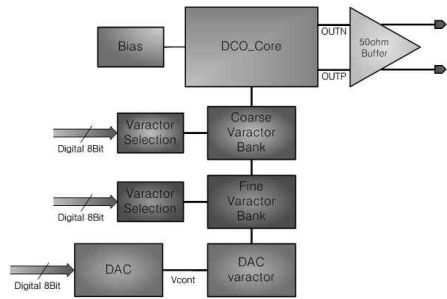


Fig. 5. Proposed DCO block diagram
그림 5. 제안된 DCO 블록도

PMOS 배렉터로 구성된 coarse tune단이 큰 폭의 주파수를 결정해주면 같은 PMOS 배렉터로 구성된 fine tune단이 그 대역을 나누어서 주파수를 결정하게 되고, NMOS 배렉터로 구성된 DAC tune은 DCO의 최종 출력 주파수를 결정하게 된다. 2.4GHz대역에서 coarse tune은 약 2.6MHz씩, fine tune은 margin을 고려해 12KHz씩, 마지막으로 DAC tune은 58.6Hz (15KHz/2⁸) 만큼의 해상도를 가지도록 설계하였다. 그림 6은 DCO의 각 배렉터 bank 주파수 선택 과정을 나타낸 것이다.

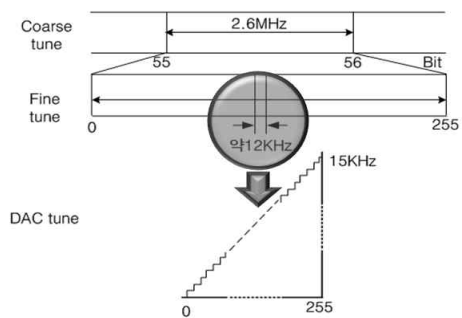


Fig. 6. Determination process of the frequency band of each varactor bank
그림 6. 각 배렉터 bank의 주파수 대역 결정 과정

가. Coarse & fine 배렉터 bank

입력된 디지털 비트에 따라 주파수를 조정해주는 배렉터 bank는 0과 1의 전압 레벨로만 제어되기 때문에 두 레벨에 따른 커패시턴스 값을 일정하게 나타내주는 특성이 필요하다. 큰 커패시턴스 값의 변화는 위상잡음에 나쁜 영향을 미치므로 PMOS 배렉터의 특성이 디지털 입력에 더 알맞다. PMOS 배렉터의 C-V 특성 곡선은 그림 7의 그래프에서 볼 수 있듯이 off 상태와

on 상태같이 전압에 따른 커패시턴스 특성이 평평한 두 지점이 있다. 이 두 지점의 제어전압을 디지털 비트 0, 1 값에 매칭시켜 스위칭 해주면 입력 전압의 잡음으로 인해 입력전압이 흔들려도 거의 일정한 커패시턴스 값을 얻을 수 있다.

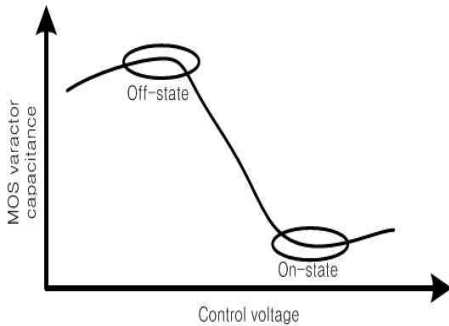


Fig. 7. C-V characteristic curve of PMOS varactor
그림 7. PMOS 배랙터의 C-V 특성 곡선

실제된 coarse, fine 배랙터 bank는 각각 8비트 신호에 따라 주파수를 선택하게 된다. Binary weight 방식은 디지털 입력에 따라 2개 이상의 비트가 동시에 바뀌면서 잡음과 비선형성 특성이 생긴다. 따라서 binary-to-thermometer 디코더를 사용하여 8비트의 입력을 thermometer 코드로 변환하고 열과 행으로 나누어 OR-NAND 게이트에 입력하면, 총 255개의 배랙터를 각각 on-off를 시켜 잡음과 비선형성 특성을 개선할 수 있다. 그림 8은 배랙터 selection 구조를 나타낸 것이다.

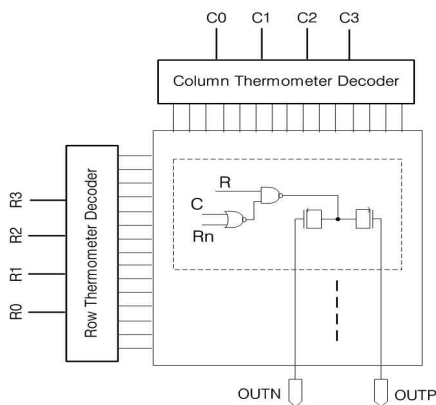


Fig. 8. Varactor selection block diagram
그림 8. 배랙터 selection 블록도

나. DAC 배랙터

입력 전압에 따라 선형적으로 작은 커패시턴스 변화량을 가지는 NMOS 배랙터의 특성은 디지털 입력이 DAC를 통해 아날로그 신호로 변환될 때 높은 해상도를 구현할 수 있다. 그림 9에 NMOS 배랙터의 C-V 특성을 나타내었다.

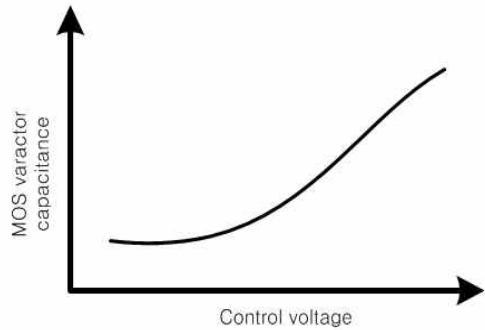


Fig. 9. C-V characteristic curve of NMOS varactor
그림 9. NMOS 배랙터의 C-V 특성 곡선

NMOS 배랙터는 DAC 출력전압으로 커패시턴스 값이 정해진다. DAC 출력에 글리치가 발생하면 출력 주파수에 잡음이 발생하기 때문에 thermometer 디코더를 사용하여 글리치 발생을 줄였다. 따라서 DAC는 배랙터 selection 구조와 같이 총 255개의 전류 셀 (current cell)을 각각 on-off를 시키게 된다. 각 전류 셀에 흐르는 전류가 합쳐져 외부저항에 흐르고 외부 저항의 전압이 NMOS 배랙터로 입력된다.

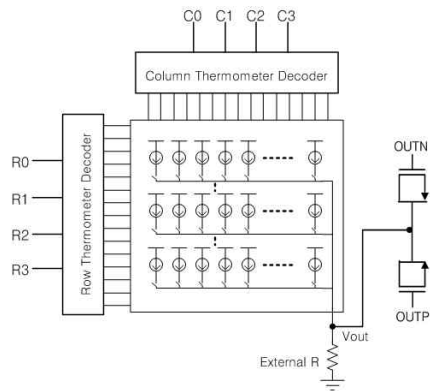


Fig. 10. DAC & DAC varactor block diagram
그림 10. DAC & DAC 배랙터 블록도

다. 선형성 확보를 위한 매칭 방법

배랙터 bank와 DAC의 전류 셀은 8비트 입력에 대한

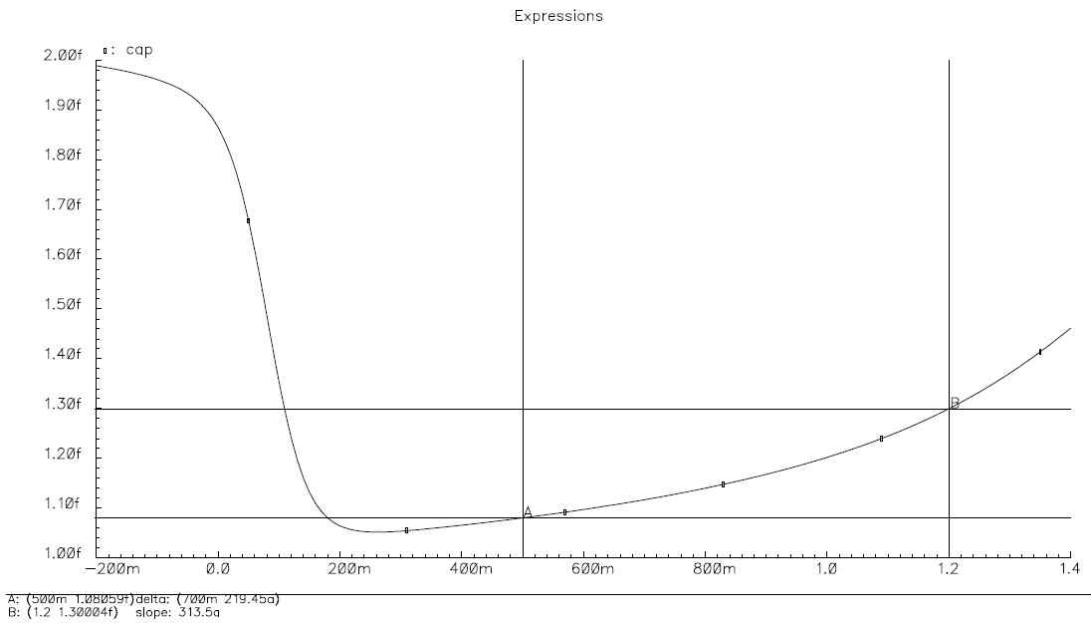


Fig. 17. Designed C-V characteristic of NMOS varactor
 그림 17. 설계된 NMOS 배랙터 C-V 특성

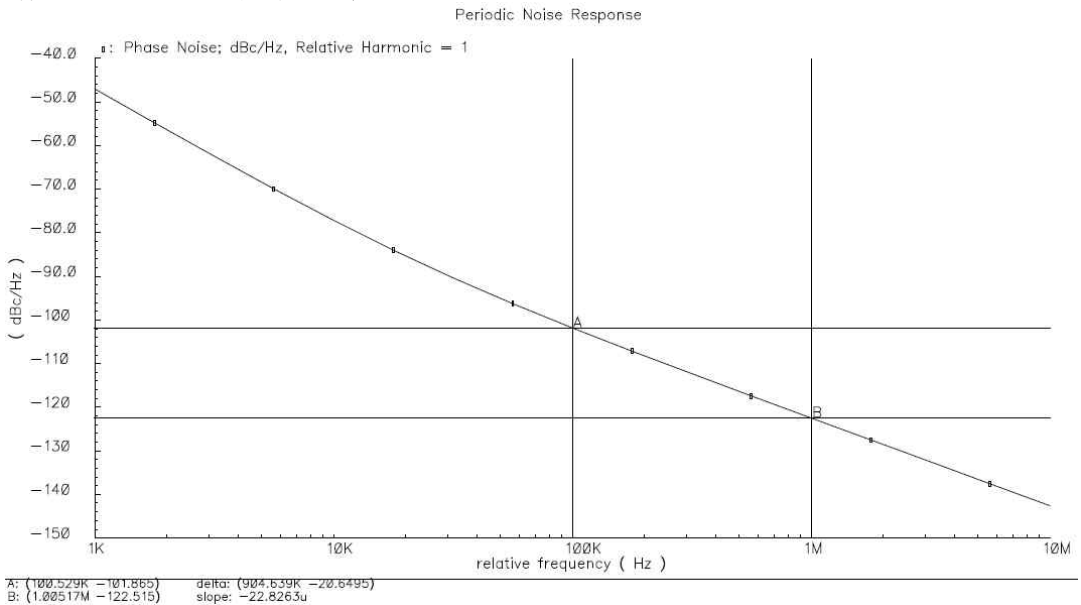


Fig. 18. DCO phase noise simulation result
 그림 18. DCO phase noise 모의실험 결과

본 설계에서 coarse bank에 사용된 배랙터의 크기는 37.26fF (1.8um x 1.8um)이며 fine bank에 사용

된 배랙터의 크기는 224.25aF (150nm x 130nm)이다.

Table 1. Performance comparison of the DCO

표 1. DCO 성능 비교

Reference	[5]	[6]	[7]	[3]	This Work
Supply Voltage	1.2V	1.2V	1.2V	1.8V	1.2V
Process	90nm	65nm	90nm	65nm	130nm
Center Frequency	3.3GHz	2.4GHz	5.4GHz	2.95GHz	2.85GHz
Tuning Range	600MHz	200MHz	1.15GHz	780MHz	900MHz
Resolution	5KHz	1KHz	8.59KHz	150Hz	58.6Hz
Phase noise(dBc/Hz)	-118@1M	-125@1M	-132@3M	-127.5@1M	-123.8@1M
Core Current(mA)	2mA	4.8mA	6.5mA	16mA	4.2mA
Control Bit	11bit	-	-	8bit	8bit
Type	Dither	Dither	Dither	DAC	DAC
Year	2007	2007	2008	2010	2010

2.4GHz에서의 DCO 위상잡음 특성을 그림 18에 나타내었다. 100KHz 오프셋 주파수에서 -103dBc/Hz , 1MHz 오프셋 주파수에서 -123.8dBc/Hz 의 특성을 나타낸다.

그림 19는 설계된 회로의 레이아웃(layout) 도면이다. 설계된 DTV 튜너용 주파수합성기 회로는 동부 $0.13\mu\text{m}$ 공정으로 레이아웃 하였다. 최대한 기생(parasitic) 성분이 적도록 모든 회로를 compact하게 레이아웃 하였고, 차동 구조의 경우 최대한 대칭성을 유지하도록 하였다. 핵심(core) 회로의 크기는 $0.8\text{mm}\times 0.8\text{mm}$ 이고, PAD를 포함한 전체 칩 크기는 $1.3\text{mm}\times 1.3\text{mm}$ 이다.

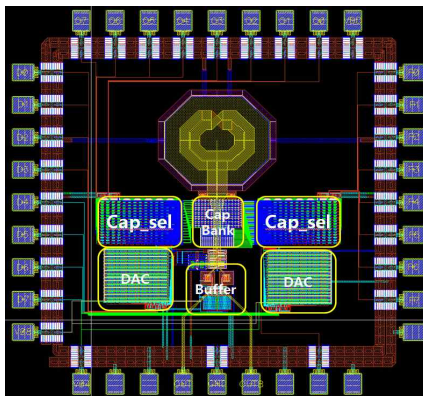


Fig. 19. DCO layout

그림 19. DCO layout 도면

표 1은 본 논문에서 설계된 DCO와 기존의 DCO 특성을 비교한 것이다. 본 논문에서 설계한 DCO는 기존 DAC로 설계된 DCO보다 저 전력으로 설계가

되었고, dithering 기법을 적용한 DCO보다 높은 해상도를 얻을 수 있었다.

IV 결론

설계된 DCO는 2.3GHz~3.2GHz에서 발진하고 각 bank에 따라 다른 대역폭과 해상도를 가지고 있다. Coarse bank에서는 8비트에 따라 2.4GHz대역에서 약 2.6MHz씩 증가하고, fine bank에서는 평균 12KHz씩, DAC bank에서는 평균 58.6Hz의 간격을 가지고 발진한다. 따라서 최종 DCO의 해상도는 58.6Hz이다. 공급 전압은 1.2V, 위상잡음 특성은 1MHz 오프셋 주파수에서 -123.8dBc/Hz 이고, 전류소모는 4.2mA이다.

참고문헌

- [1] J. Dunning et al., "An All-Digital Phase Locked Loop with 50-cycle Lock Time Suitable for High performance Microprocessors," IEEE J. Solid State Circuits, vol. 30, pp. 312-422, Apr. 1995
- [2] R. B. Staszewski et al., "A first multigigahertz digitally controlled oscillator for wireless applications," IEEE Transactions on Microwave theory and techniques, vol. 51, no. 11, pp. 2154-2164, Nov. 2003
- [3] Luca Fanori et al., "3.3GHz DCO with a Frequency Resolution of 150Hz for All-Digital PLL," IEEE International Solid-State Circuits Conference, pp. 48-49, Feb. 2010
- [4] Jurgen Deveugele et al., "A Gradient-Error and Edge-Effect Tolerant Switching Scheme for a High-Accuracy DAC," IEEE Transactions on Circuits and Systems vol. 51, no. 1, pp. 191-195, Jan. 2004

- [5] Jingcheng Zhuang, Qingjin Du, Tad Kwasniewski, "A 3.3 GHz LC-Based Digitally Controlled Oscillator with 5kHz Frequency Resolution," IEEE Asian Solid State Circuits, pp. 428 - 431, Nov. 2007
- [6] Liangge Xu, Saska Lindfors, "A Digitally Controlled 2.4-GHz Oscillator in 65-nm CMOS," IEEE Digital Object Identifier, Norchip, pp. 1-4, Nov. 2007
- [7] Ping Lu and Henrik Sjoland, "A 5.4GHz 90-nm CMOS Digitally Controlled LC Oscillator with 21% Tuning Range, 1.1MHz resolution, and 180dB FOM," IEEE Norchip, pp. 223-226, Nov. 2008

저 자 소 개

서 회택 (학생회원)



2009년 2월 : 인천대학교 전자공학과 (공학사)
 2011년 2월 : 인천대학교 대학원 전자공학과 (공학석사)
 2011년 3월 ~ 현재 : C&S Technology 연구원
 <주관심분야> 고성능 DCO, ADPLL 설계

박 준호 (학생회원)



2010년 2월 : 인천대학교 전자공학과 졸업 (공학사)
 2010년 3월 ~ 현재 : 인천대학교 대학원 전자공학과 석사과정
 <주관심분야> 고성능 TDC 설계, PMIC 설계

권 덕기 (정회원)



1998년 2월 : 인천대학교 전자공학과 졸업 (공학사)
 2000년 2월 : 인천대학교 대학원 전자공학과 (공학석사)
 2005년 8월 : 인천대학교 대학원 전자공학과 (공학박사)
 2005년 8월 ~ 현재 : 페어차일드 코리아

<주관심분야> Analog IC, Power IC 설계

박 중태 (정회원)



1981년 2월 : 경북대학교 전자공학과 (공학사)
 1983년 8월 : 연세대학교 대학원 전자공학과 (공학석사)
 1987년 2월 : 연세대학교 대학원 전자공학과 (공학박사)
 1983년 8월 ~ 1985년 8월 : 금성반도체(주) 연구소 연구원

1991년 1월 ~ 1991년 12월 : MIT Post Doc.
 2000년 7월 ~ 2001년 8월 : UC Davis 방문교수
 1987년 3월 ~ 현재 : 인천대학교 전자공학과 교수
 <주관심분야> CMOS Reliability, Nano-scale CMOS, SOI/MOSFET, RF-CMOS

유 종근 (정회원)



1985년 2월 : 연세대학교 전자공학과 (공학사)
 1987년 2월 : 연세대학교 대학원 전자공학과 (공학석사)
 1993년 2월 : Iowa State University 전기 및 컴퓨터공학과 Ph.D.
 2009년 8월 ~ 2010년 7월 : UC Davis 방문교수

1994년 3월 ~ 현재 : 인천대학교 전자공학과 교수
 <주관심분야> CMOS Analog/Mixed-mode IC 설계, RFIC 설계, Energy harvesting system 설계