

DLL을 이용한 다중 변조 비율 확산대역클럭 발생기

Spread Spectrum Clock Generator with Multi Modulation Rate Using DLL (Delay Locked Loop)

신 대 중*, 유 병 재**, 김 태 진*, 조 현 목***
 Dae-jung Shin*, Byeong-Jae Yu**, Tae-jin Kim*, Hyun-Mook Cho***

Abstract

This paper describes design and implementation of a spread spectrum clock generator(SSCG). The proposed architecture generates the spread spectrum clock controlling a input voltage signal for VCDL(Voltage Controlled Delay Line). Spread charge pump is controlled by the SSC modulation logic block provides a control signal to VCDL through LPF in DLL. By using this architecture, chip area and power consumption can be reduced because it is not necessary additional circuit to control modulation rate. This circuit has been designed and fabricated using the UMC 0.25um CMOS technology. The chip occupies an area of 290×120um².

요 약

본 논문에서는 CMOS 회로를 이용한 스프레드 스펙트럼 클럭 발생기(SSCG)를 제안하고 구현하였다. 지연고정루프(DLL)의 저역통과필터(LPF)에 스프레드 스펙트럼 클럭 변조 로직에 의해 조절되는 전하펌프를 연결하여 전압 제어지연로직(VCDL)에 가해지는 제어전압을 조절함으로써 주파수의 변화를 유도하는 방법을 사용하였다. 이와 같은 구조에서는 변조 비율을 조절하기 위한 추가적인 회로가 필요없기 때문에 레이아웃 면적이 작아지게 되고 전력소모가 작아지는 장점을 갖는다. 스프레드 스펙트럼 클럭 발생기는 UMC 0.25um 공정을 이용하여 시뮬레이션 및 레이아웃을 수행하였으며 전체 면적은 290um×120um² 이다.

Key words : Spread Spectrum Clock, SSCG, DLL, modulation rate, VCDL

1. 서론

최근의 컴퓨터 시스템은 보다 높은 정확성과 성능을 요구한다. 동작주파수가 증가함에 따라서, 신호의 흐름에 존재하는 전류와 전압은 더 큰 전자기방해(EMI) 레벨을 야기하게 된다. 전자기방해는 전원 회로와 인접한 장비의 동작에 영향을 미치게 된다. 많은 조건하에서, 클럭발생기, 메모리 및 마이크로프로

세서는 전자기방해를 발생시키는 중요한 요소가 된다. 전자기방해를 감소시키기 위해 차폐, 펄스 웨이핑, 슬루-레이트 조절, 저-전압 차동 클럭킹, 특별한 레이아웃 기법과 확산 대역 클럭킹(Spread-spectrum clocking) 등의 다양한 방법이 사용되었다. 이 중 확산 대역 기법이 가장 간단하면서도 효과적인 방법이다. 또한 이 방법은 제조 공정 변화에 가장 영향을 덜 받으며 기본적인 클럭 주파수 전자기방해를 감소시킬 뿐 아니라 고차에서의 고조파 성분을 줄임으로써 결과적으로 전체 시스템의 전자기파방해 방사를 감소시킨다. 확산 대역 클럭 생성기를 구현하는 방법으로는 크게 3가지가 있다. 첫 번째 방법은 위상고정루프(PLL)에서 분주기를 변조하는 방식[1]이고, 두 번째 방법은 직접 전압제어발진기(VCO)를 변조하는 방식[2]이다. 마지막으로 클럭 소스의 다중 위상 출력과

* DOESTEK Co., Ltd.

** 公州大學校 電氣電子制御 工學部
 (School of Electrical, Electronics, and Control Engineering, Kongju University)

★ 교신저자 (Corresponding author)

接受日:2011年 3月 4日, 修正完了日: 2011年 3月 29日

확산-대역 동작을 위한 디지털 처리회로를 조합하는 방식[3]이 있다. 본 논문에서는 지연고정루프(DLL)의 저역통과필터(LPF)에 확산대역클럭 변조 로직에 의해 조절되는 전하펌프를 연결하는 구조를 제안한다. 이와 같은 구조에서는 변조 비율을 조절하기 위한 부가적인 회로가 필요 없기 때문에 레이아웃 면적이 작아지게 되고 전력소모가 작아지는 장점을 갖는다. 대역 확산 클럭 발생기는 umc 0.25um를 이용하여 시뮬레이션 및 레이아웃을 수행하였다. 본 논문의 구성은 II 장 본문에서 제안한 대역 확산 클럭 발생기의 구조 및 동작에 대해서 설명하고, III 장에서 시뮬레이션 및 레이아웃에 대해서 기술하고, 마지막 IV 장에서 결론을 맺는다.

II. 본론

1. 확산대역클럭생성기(SSCG)

확산대역클럭생성기(SSCG)는 출력 신호의 중심주파수를 주기적으로 변화시켜 주파수별 출력 전력을 낮추어 줌으로써 효과적으로 전자기 간섭(EMI)현상을 줄여주는 방법이다. 즉 특정 주파수를 갖는 입력 클럭을 기준으로 일정 범위의 주파수로 변화를 주는 것이다. 스프레드 스펙트럼 클럭 발생기의 성능을 평가하는 주요 지표로는 주파수 확산 범위, 변조 종류, 확산 비율, 변조 파형, 변조율 및 전력 감쇄량 등이 있다. 스프레드 스펙트럼 클럭 발생기는 일정한 주기를 가지고 주파수를 변환시켜주게 된다 출력되는 클럭의 주파수가 주파수 확산비율만큼 변조된 다음 원래의 주파수로 돌아오기까지의 시간을 변조 주기라고 하며 이의 역수가 바로 변조율이다. 출력되는 클럭의 주파수 변동 곡선을 시간의 관점에서 관찰 하는 곡선을 변조 파형이라고 하고 그림1에서 처럼 보통 톱니모양(sawtooth)을 보인다. 그림 1은 변조율(변조주파수)과 변조파형과의 관계를 보여준다.

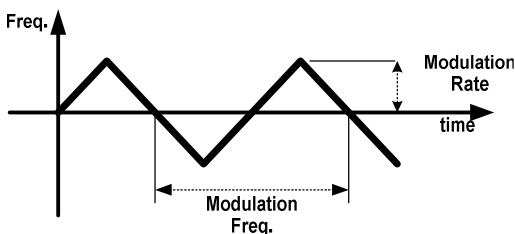


Fig. 1. Modulation rate and frequency of SSCG
그림 1. SSCG의 변조 비율과 주파수

2. 일반적인 SSCG

일반적으로 사용되는 SSCG의 경우에는 대부분 시그마-델타(Sigma-delta modulator)와 분수형 분주기를 사용하여 주기적으로 분주 비를 변화시켜 줌으로써 출력 주파수의 스펙트럼을 확산시켜 주는 분주기 방식의 스프레드 스펙트럼 클럭 발생기이다[2][4][5]. 이러한 구조를 가지는 분주기를 사용한 스프레드 스펙트럼 클럭 발생기는 시그마-델타 변조기와 분수형 분주기를 이용하여 분주 비를 조절하는 것만으로도 쉽게 확산 비율과 변조파형을 조절할 수 있다는 큰 장점을 가지게 된다. 그러나 스펙트럼을 확산시켜주기 위해 사용되는 시그마-델타 변조기와 분수형 분주기가 매우 복잡한 디지털 회로들이기 때문에, 실제로 칩을 제작할 때 스프레드 스펙트럼 클럭 발생기의 전체면적을 증가시키는 주원인이 된다. 이와 같은 분주기 변조 방식의 스프레드 스펙트럼 클럭 발생기 이외에도 여러 가지 변조 방식의 스프레드 스펙트럼 클럭 발생기가 연구되어지고 있다[6]. 전하 펌프 변조 방식의 스프레드 스펙트럼 클럭 발생기도 그 중 하나로 이 방식은 일반적인 위상 고정 루프(PLL)의 구조에 추가적인 전하 펌프만을 더해지는 구조로써 기존의 다른 스프레드 스펙트럼 클럭 발생기에 비하여 구조가 매우 간단하여 스프레드 스펙트럼 클럭 발생기의 면적 문제를 해결할 수 있다고 생각한다. 그러나 그림 2에 나타낸 전하펌프 방식의 스프레드 스펙트럼 클럭 발생기는 PLL의 VCO에 가해지는 제어전압을 프로그램된 특정 패턴에 의해 조절함으로써 SSCG를 구성한다. 따라서 이와 같은 방법은 세밀한 변조 비율을 생성하기 어렵고, 또한 변조 비율에 따른 SSCG 모양도 설계자의 의도대로 생성하기 어려운 단점이 있다. 또한 변조 비율을 제어하기 위하여 부가적인 전하 펌프 2에 보다 다양한 옵션을 추가해야 하기 때문에, 전체적인 SSCG의 안정적인 동작을 유지하기 어렵고 이에 따른 레이아웃의 추가 면적이 요구된다. 뿐만 아니라 다양한 종류의 전하 펌프는 PVT(Power, Voltage, Temperature) 변화에 따른 안정적인 동작을 구현하기 어렵고, 레이아웃 설계에도 많은 제약을 갖게 된다.

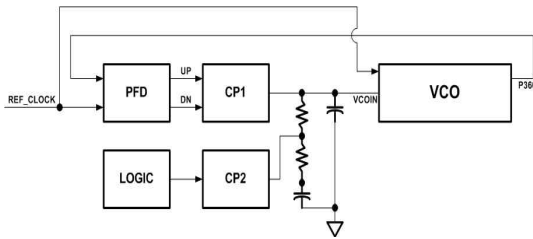


Fig. 2. SSCG with charge pump modulation method
 그림 2. 기존의 전하펌프 변조방식의 SSCG

3. 제안한 SSCG

기본적인 DLL의 경우 그림 3과 같은 구조를 갖는다. 기본적인 DLL의 구조는 위상주파수차이검출기, 전하펌프, 저주파 필터 그리고 VCDL(Voltage Control Delay Line)로 구성되어 PLL과 유사한 구조를 갖는다. PLL과의 가장 큰 차이는 multi-phase를 생성하는 부분인데, PLL의 경우는 오실레이터 구조의 VCO를 사용하는 반면, DLL은 그림 4와 같이 단순 delay control buffer 구조 (VCO와는 달리 feed-back이 없음)를 갖는 VCDL을 사용한다. 그림 4에서의 VCDL unit의 구조는 가장 일반적인 전압조절에 의한 delay 회로를 나타낸다. 그림의 PBIAS와 NBIAS의 전압을 VCDL unit의 지연 시간을 결정하게 되고, 이는 결국 전체 VCDL의 지연 시간을 결정한다.

일반적으로 DLL의 경우 PLL에 비해 보다 안정적인 동작을 유지할 수 있고, 보다 짧은 락킹타임(locking time : PLL이나 DLL이 안정적인 동작을 하는데 소요되는 시간)을 갖는 장점이 있다.

본 논문에서는 PLL 구조를 사용하는 일반적인 SSCG 구조와 달리 DLL을 이용하여 SSCG를 구현한다. 제안된 SSCG의 블록도는 그림 5와 같이 구현하였다.

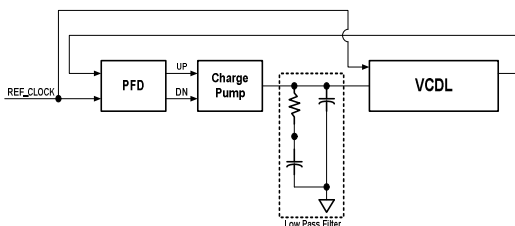


Fig. 3. General DLL block diagram
 그림 3. 일반적인 DLL의 블록도

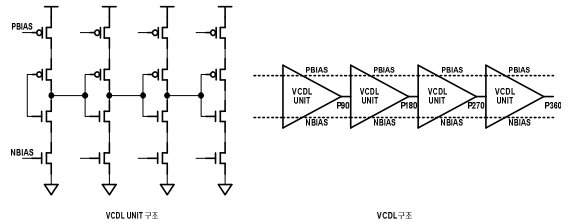


Fig. 4. Structure of VCDL(Voltage Control Delay Line)
 그림 4. VCDL(Voltage Control Delay Line)의 구조

일반적인 DLL에서 사용하는 전하펌프 외에 control voltage를 조절 가능하도록 spread charge pump를 추가하였다. spread charge pump의 출력은 저주파 필터의 저항에 연결하여 기존 charge pump와의 충돌을 방지하였고 VCOIN 전압은 결국 VCDL의 delay 시간을 조절하는 신호로 사용되게 된다. spread charge pump의 능력치는 전체 SSCG의 변조 비율을 결정하게 된다. 또한 SSCG의 변조 주파수를 조절하고 modulation shape을 생성하는 SSC(Spread Spectrum Clocking) modulation logic을 사용하여 spread charge pump를 조절하도록 구성하였다. 따라서 SSC modulation logic은 외부 신호에 의해 변조 주파수를 조절할 수 있다. 그림 5와 같이 일반적인 DLL의 동작을 구현하는 부분을 그대로 유지하고, SSCG를 생성하는 블록을 추가함으로써 본 논문에서 제안한 구조의 SSCG는 입력 주파수를 안정적으로 유지하는 SSCG를 구현 하였다.

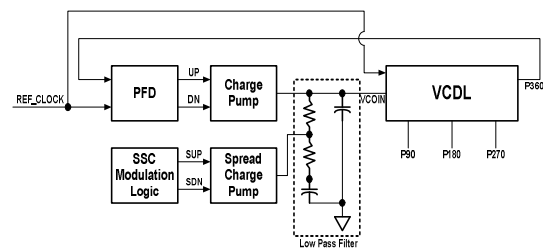


Fig. 5. Suggested SSCG Block Diagram
 그림 5. 제안된 SSCG의 블록도

그림 6은 DLL의 control voltage(VCOIN)를 나타낸다. DLL 기본적인 동작을 할 경우에는 control voltage(VCOIN)가 특정 전압에서 안정적인 모습을 유지한다. 하지만 그림 6의 경우에는 특정 주파수를

유지할 수 있도록 하는 특정 전압을 중심으로 일정한 주기로 흔들리고 있는 모습을 볼 수 있다. 이는 spread charge pump에서 전압을 조절하기 때문에 나타나는 현상으로 출력 주파수를 조절할 수 있다. 또한 그림 6의 modulation shape은 삼각파로 표현되었지만 SSC modulation logic의 구현에 따라 변경이 가능하다. SSC Modulation Logic에서는 program된 code에 의하여 SUP신호와 SDN신호를 생성한다.

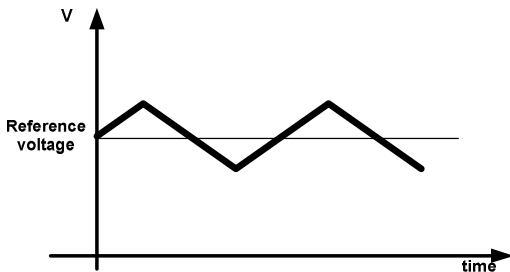


Fig. 6. VCOIN Waveform that controlled by SSC modulation logic
그림 6. SSC modulation logic에 의해 제어된 VCOIN의 파형

SSC Modulation Logic에서는 프로그램된 코드에 의하여 SUP신호와 SDN신호를 생성한다. 따라서 저주파 필터의 전압은 기준 전압을 중심으로 일정 전압만큼 변화하게 된다. 그 전압의 변화는 곧 P360 신호의 주파수를 변화 시킨다. 이러한 변화는 PLL을 사용한 일반적인 SSCG에서와 같은 현상이다. 하지만 DLL VCDL의 multi-phase들(P90, P180, P270)은 P360과는 다른 변조 비율을 갖는다. VCDL의 경우 오실레이션 구조가 아니기 때문에, PFD의 입력으로 사용되는 feedback 신호를 제외한 나머지 multi-phase 신호들은 서로 다른 주파수를 갖게 된다. 이는 feedback 신호만이 PFD로 입력되고 중간에 존재하는 multi-phase 신호들은 위상비교가 이루어 지지 않기 때문에 나타나는 현상이다. VCDL의 reference clock을 기준으로 P90 신호는 P180 신호에 비해 최대 1/4만큼의 delay를 덜 갖게 된다(최대 modulation rate에서의 reference clock과 P360 신호의 시간 차 기준). 또한 P180 신호는 P270 신호에 비해 최대 1/4만큼의 delay를 덜 갖게 된다. 이와 같이 각 VCDL의 multi-phase가 차이가 존재하는 delay 시간을 갖게 되고, 결국 P360 신호는 reference clock 신호와 P90 신호의

delay 신호에 비해 4배나 큰 delay 신호를 갖게 된다. 그 이유는 P360 신호가 4개의 VCDL unit을 지난 후에 생성된 신호이기 때문이다. 이 delay 시간이 누적되어 P360 신호에 도달하기 때문에 VCDL 각 신호는 동일한 클럭 주파수로 나누어 나타나게 된다. 따라서 reference clock을 기준으로 이들 multi-phase들의 서로 다른 주파수를 이용하여 다양한 변조 비율을 갖는 신호를 별도의 회로 없이 추출할 수 있다. 그림 7은 다양한 변조 비율을 갖는 multi-phase 신호들을 나타낸 그림이다.

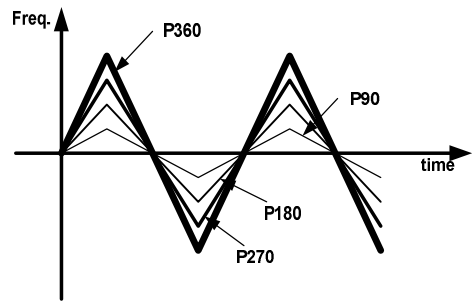


Fig. 7. Output waveform using proposed SSCG
그림 7. 제안된 SSCG를 사용할 경우의 출력

P360신호는 최대 변조 비율을 갖는 신호가 되고, 각 1/4(VCDL이 4단으로 이루어져 있기 때문에, 각 1/4만큼의 변조 비율이 존재)만큼의 주파수 차를 갖고 출력 되게 된다. 하지만 PLL의 VCO를 사용한 일반적인 SSCG의 경우 각 multi-phase들이 동일한 주파수를 갖고 있다. 따라서 변조 비율을 변경하기 위해서는 별도의 블록을 필요로 하게 된다.

III. 시뮬레이션 결과 및 레이아웃

위의 방법을 사용하여 100MHz 기준 클럭을 사용하여 시뮬레이션 한 결과를 그림8 과 같이 확인 할 수 있다. 본 논문에서는 총 4단으로 이루어진 VCDL을 사용하였기 때문에 그림 8에서와 같이 4개의 서로 다른 변조 비율을 갖는 신호를 추출할 수 있다. 시뮬레이션 결과는 $\pm 0.25\%$, 0.5% , 0.75% 그리고 1% 의 변조 비율을 갖는 신호를 구현하였고, 변조 주파수는 2MHz를 사용하였다.

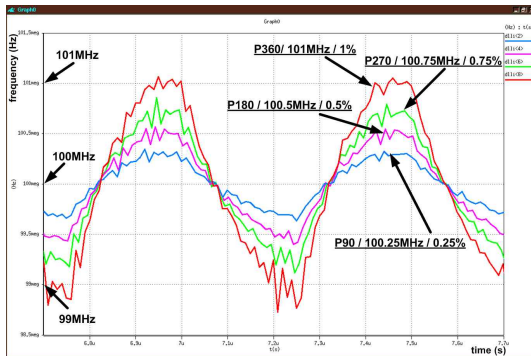


Fig. 8. Simulation Results
 그림 8. 시뮬레이션 결과

그림9는 레이아웃 결과를 나타낸다. SSC modulation block의 경우 spread charge pump를 조절해야 하고, spread charge pump의 출력은 VCDL과 연결되어야 하기 때문에, 그림9와 같은 레이아웃 구조를 사용하고 있다. 또한 DLL의 원활한 동작을 구현하기 위하여 저주파 필터 커패시턴스가 사용되었다. 레이아웃은 UMC 0.25um 공정을 사용하였고, 총 면적은 290um×120um가 사용되었다.

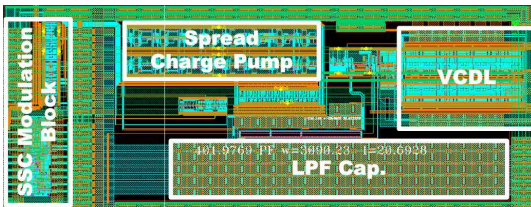


Fig. 9. Layout Result of the UMC 0.25um process
 그림 9. UMC 0.25um 공정으로 구현한 레이아웃 결과

IV. 결론

본 연구에서는 DLL의 저주파 필터에 SSC modulation logic에 의해서 조절되는 spread charge pump를 연결하여 VCDL에 가해지는 제어전압을 조절하여 주파수의 변화를 유도하는 새로운 구조의 SSCG를 제안하고 구현하였다. 이 회로는 기존의 PLL을 이용한 SSCG와는 달리 별도의 추가적인 회로 없이 다양한 주파수의 변조 비율을 갖는 회로를 얻을 수 있다. 따라서, 레이아웃 면적과 전력소모를 줄일

수 있는 장점이 있다. 레이아웃은 UMC 0.25um 공정을 사용하였고, 총 면적은 290umX120um가 사용되었다. 구현이 비교적 용이하고 다양한 주파수의 변조 비율 획득의 편리성으로 인해 다양한 어플리케이션에 적용 가능할 것으로 기대된다.

참고문헌

[1] M. Sugawara *et al.*, "1.5-Gb/s 5150-ppm spread-spectrum SerDes PHY with a 0.3-mW 1.5-Gb/s level detector for serial ATA," in *Symp. VLSI Circuits Dig. Tech. Papers*, June 2002, pp. 60-63

[2] H. S. Li, Y. C. Cheng, and D. Puar, "Dual-loop spread-spectrum clock generator," in *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, 1999, pp. 184-185.

[3] Y. Moon, D. K. Jeong, and G. Kim, "Clock dithering for electromagnetic compliance using spread-spectrum phase modulation," in *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, 1999, pp. 186-187.

[4] Wei-Ta chen, Jen-Chien Hsu, "A Spread Spectrum Clock Generator for SATA-II," *IEEE International Symposium on Circuits and Systems*, vol. 3, pp. 2643-2646, May. 2005.

[5] H. S. Li, Y. C. Cheng, and D. Puar, "Dual-loop spread-spectrum clock generator," *IEEE International Solid-State Circuits Conference. Dig. Tech. Papers*, pp. 184-185. 1999.

[6] Deok Soo Kim, "A Spread Spectrum Clock Generation PLL with Dual tone Modulation Profile," *IEEE Symposium on VLSI Circuit Digest of Technical papers*, pp. 96-99, Jun., 2005

 저 자 소 개

신 대 중 (정회원)

2002년 : 공주대학교 전자공학과
졸업 (공학사)
2008년 : 고려대학교 전자공학과
대학원 (석사과정)
2002년 2월~현재 : DOESTEK
Co., Ltd.
<주관심분야> Tranceiver, High
Speed I/O, CDR

조 현 목 (정회원)

1989년 : 고려대학교 전자공학과
졸업 (공학사)
1991년 : 고려대학교 전자공학과
대학원 (공학석사)
1995년 : 고려대학교 전자공학과
대학원 (공학박사)
2008년 2월 ~ 2009년 7월 :
Georgia Tech. 방문교수
1995년 ~ 현재 : 공주대학교 전기전자제어공학부 교수
<주관심분야> VLSI, Analog/Mixed-Signal IC

유 병 재 (학생회원)

2008년 : 공주대학교 전기전자정
보공학과 (공학사)
2010년 3월~현재 : 공주대학교
정보통신공학과 (석사과정)
<주관심분야> VLSI, Analog IC

김 태 진 (정회원)

1989년 : 고려대학교 전자공학과
졸업 (공학사)
1989년~1995년 : 삼성전자
1997년:DOESTEK Co., Ltd. 설립
1997년 ~ 현재 : DOESTEK Co.,
Ltd.
<주관심분야> Fields of High

Speed Analog CMOS Interface, High Performance
Timing Controller for Flat Panel Displays