

MHEMT 소자의 DC/RF 특성에 대한 시뮬레이션 연구

손명식*

순천대학교 전자공학과, 순천 540-742

(2011년 6월 24일 받음, 2011년 8월 30일 수정, 2011년 9월 20일 확정)

GaAs나 InP 기반의 high electron mobility transistor (HEMT) 소자들은 우수한 마이크로파 및 밀리미터파 주파수 특성 및 이에 따른 우수한 저잡음 특성을 가지고 있다. GaAs 기판 위에 점진적으로 성장된 메타몰픽(Metamorphic) HEMTs (MHEMTs)는 InP 기판 위에 성장한 HEMT에 비해 비용 측면에서 커다란 장점을 가지고 있다. 본 논문에서는 이러한 MHEMT의 DC/RF 소신호 특성을 예측하기 위하여 InAlAs/InGaAs/GaAs MHEMT 소자들의 DC/RF 소신호 주파수 특성을 시뮬레이션하였다. 2차원 소자 시뮬레이터의 hydrodynamic 전송 모델을 사용하여 In_{0.52}Al_{0.48}As/In_{0.53}Ga_{0.47}As 이중접합 구조를 갖는 제작된 0.1- μ m Γ -게이트 MHEMT 소자에 대하여 파라미터 보정 작업을 수행한 후, MHEMT 소자들에 대해 DC 특성 및 RF 소신호 주파수 특성을 시뮬레이션하고 실험 데이터와 비교 분석하였다. 또한, 게이트 리세스 구조에 따른 MHEMT 소자들의 DC/RF 특성을 시뮬레이션하고 비교 분석하였다.

주제어 : 고전자이동도 트랜지스터(HEMT), 메타몰픽 HEMT (MHEMT), InGaAs, InAlAs, 소자 시뮬레이션, RF, 소신호, 차단주파수, 최대공진주파수

I. 서 론

수백 GHz에 이르는 밀리미터파 주파수 대역은 현재의 무선통신 및 미래의 광대역 무선 통신의 소중한 주파수 자원이다. 차세대 밀리미터파 통신 분야 및 이동 통신 분야에서 기술 선진국과의 기술력 격차를 줄이고 도약을 이루기 위해서는 다양한 통신 시스템의 핵심 소자개발이 필수적이다.

이러한 주파수 대역용 InP 기반 HEMT 소자는 우수한 주파수 특성을 보여 주고 있지만 몇 가지 문제점을 가지고 있다. 이 소자의 가장 큰 문제로 아직은 비용이 GaAs 기반 소자에 비해 비싸며, 4인치 이상의 에피웨이퍼 생산이 어렵고, 제작시 깨지기 쉬워 취급하기 어렵다는 문제점을 안고 있다. 이에 대한 대안으로 InP 에피구조를 GaAs기판 위에 성장시킨 MHEMT (Metamorphic HEMT)에 대한 연구들이 많이 시도되고 진행되어 왔으며 위에서 언급한 InP 기반 MIMIC제작시의 단점을 극복할 수 있는 뛰어난 주파수 특성을 갖는 HEMT 소자로 자리 매김하고 있다.

실험 연구 논문들의 단점은 소자 특성에 영향을 주는 관련 요인들을 정량적으로 파악 이해하는 데는 한계가 있는 것이 사실이고, 이를 극복하기 위한 대안 연구가 소자 시뮬레이션을 통한 소자 분석이다.

소자 시뮬레이션의 신뢰성을 확보하고 이를 통해 실제 소자 특성을 분석한다면 상호 관련성을 좀 더 면밀히 파악할 수 있고 이를 통해 소자 특성을 개선할 수 있는 소자 구조를 제안 설계할 수 있을 것이다.

본 논문에서는 제작된 0.1 μ m Γ -게이트 MHEMT 소자 특성 [1]에 대해 ISE사의 DESSIS소자 시뮬레이터의 2차원 hydrodynamic 전송 모델 [2]을 이용해 시뮬레이션을 수행하였고, DC/RF 특성에 영향을 주는 요인들에 대한 파라미터 변화 및 게이트 리세스 구조에 따른 시뮬레이션 결과들을 비교하여 보이고 이를 통해 그 영향 정도를 분석 상술하였다. 또한 발표된 소자들의 DC/RF 특성 [3-12] 경향과 비교 분석하였다.

II. Hydrodynamic HEMT 소자 시뮬레이션

Fig. 1에서의 에피구조를 갖는 0.1 μ m Γ -게이트 MHEMT 소자는 이중 델타 도핑된 에피구조 및 항복 전압을 높이기 위해 소스 측으로 치우쳐진 Γ -게이트 구조이다. 소스-드레인 간격은 2 μ m이며 게이트는 Γ -게이트 구조를 가지고 있다. 게이트는 Ti/Au 금속 증착된 쇼트키 접합을 이루며,

* [전자우편] sonms@sunchon.ac.kr

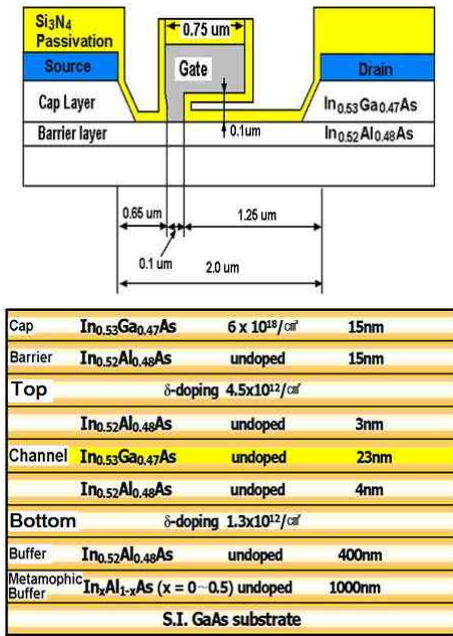


Figure 1. The device structure for simulation.

게이트 장벽층은 15 nm의 In_{0.52}Al_{0.48}As 층이 사용되었다. 소오스 및 드레인 오믹 접합(AuGe/Ni/Au)을 위해 캡(cap) 층은 6×10¹⁸/cm³의 농도로 n형 도핑되었다. 게이트 폭 70 μm인 핑거 수 2개를 갖는 소자 레이아웃 구조를 가지고 있다 [1].

계산의 효율성과 정확성을 고려하여 ISE사의 소자 시뮬레이터 DESSIS의 hydrodynamic 전송 모델을 사용하여 HEMT소자 시뮬레이션을 수행하였고, 제작된 소자에 대해 시뮬레이션 파라미터 보정 작업을 수행하였다. HEMT 소자 시뮬레이션을 위해 고려된 기본적인 중요한 모델들을 아래에 정리하여 나타내었다.

- Hydrodynamic 전송 모델
- 고전계 이동도 감소 모델
- Si₃N₄ 보호층/InAlAs 장벽층 계면의 표면 거칠기로 인한 이동도 감소 모델

Table 1. Hydrodynamic Simulation parameters.

Schottky barrier height (eV)		0.585			
In _x Ga _{1-x} As	Mole fraction	x=0		x=1	
		e	h	e	h
	Constant mobility, μ _{max} (cm ² /V · s)	3,936.21	250.0	14,830.15	402.83
Saturation velocity, v _{sat} (cm/s)	1.2341×10 ⁷	1.0×10 ⁶	4.0×10 ⁷	4.8×10 ⁶	
In _x Al _{1-x} As	Mole fraction	x=0		x=1	
		e	h	e	h
	Constant mobility, μ _{max} (cm ² /V · s)	294.0	75.0	7,855.54	100.0
Saturation velocity, v _{sat} (cm/s)	8.5×10 ⁶	1.0×10 ⁵	2.233×10 ⁷	5.0×10 ⁶	
Delta Doping (cm ³)		Top		Bottom	
		2.25×10 ¹⁹		2.6×10 ¹⁸	
Si ₃ N ₄ /InAlAs interface	Traps type	Acceptor			
	Density (cm ²)	3.00×10 ¹²			
	Surface SRH	S0 (cm/sec)		Sref (cm/sec)	
		1×10 ⁴		0	
InAlAs buffer layer	Traps type	Acceptor		Donor	
	Density (cm ³)	2.0×10 ¹³		6.0×10 ¹⁶	
Meta-morphic buffer layer	Traps type	Top area		Bottom area	
		Acceptor	Donor	Acceptor	Donor
	Density (cm ³)	8.0×10 ¹⁶	6.0×10 ¹⁶	2×10 ¹⁷	6×10 ¹⁶

- 오믹 접합시 AuGe 확산 도핑 모델
- 쇼트키 게이트 및 이중접합 경계면에서의 터널링 현상 및 열전자 방출 효과
- SRH (Shockley-Read Hall), Auger 및 Radiative (Direct) 재결합 모델
- Si₃N₄ 보호층/InAlAs 장벽층 계면의 표면 SRH 재결합 모델

위 기본적인 모델들 이외에 게이트 싱크(sink) 및 Si₃N₄/InAlAs 계면에 형성되는 깊은 준위 억셉터 트랩, 400 nm InAlAs 버퍼층 및 메타몰픽 버퍼층의 도너 트랩을 포함하여 시뮬레이션을 수행하였다.

본 논문에서는 시뮬레이션 결과의 타당성을 확보하기 위하여 시뮬레이션 파라미터 보정 결과를 아래 분석을 다루는 장에서 보이고, 이전 연구 논문 [1]에서 설정되었던 파라미터와 다른 부분들만을 모아서 Table 1 및 Table 2에 정리하여 나타내었다.

Hydrodynamic 시뮬레이션에서 애벌런치(avalanche) 생성에 의한 전류 증가를 통해 항복 특성을 분석하기 위해 DESSIS 시뮬레이터의 충돌 이온화 모델 중 van Overstraeten-de Man 모델 [2]을 사용하였다.

애벌런치 생성 전류를 생성하기 위한 충돌 이온화 계수 α 은 구동 전계력 F 에 의해 식 (1)과 같이 표현된다.

$$\alpha(F) = \gamma a e^{-\frac{\gamma b}{F}} \quad (1)$$

여기서, $a = a \times \lambda_n$, $b = b \times \lambda_p$ 이며, $\gamma = \tanh(\frac{h\omega_{op}}{2kT_0}) / \tanh(\frac{h\omega_{op}}{2kT})$

이다. a 는 증폭 보정 계수, b 는 전계에 대한 보정 계수이며, $h\omega_{op}$ 는 광학 포논 에너지, T 는 기판 온도, $T_0=300K$ 를 나타낸다. λ_n 및 λ_p 는 전계 효과를 고려한 0과 1 사이의 보정 계수이다.

애벌런치 항복 특성 시뮬레이션에서는 다른 열 싱크(heat sink) 모델을 고려하지는 않았다. 위 관련식에서 사용되는 파라미터 값들을 물질에 따라 각각 설정하였으며 아래 Table 2에 각 물질에 따라 결정된 충돌 이온화 모델 파라미터들을 정리하여 나타내었다.

HEMT 소자의 RF 특성을 나타내는 차단 주파수(cutoff frequency) f_T 및 최대공진주파수 f_{max} 는 각각 식 (2) 및 식 (3)과 같이 표현된다 [8].

$$f_T = \frac{g_m}{2\pi C_g} \quad (2)$$

여기서, $C_g = C_{gs} + C_{gd}$ 로 표현된다. g_m 은 게이트에 의한 전달전도도, C_{gs} 는 게이트-소스간 커패시턴스, C_{gd} 는 게이트-드레인간 커패시턴스이다.

$$f_{max} = \frac{f_T}{\sqrt{4 \frac{g_{ds}}{g_m} A + \frac{4}{5} \frac{C_{gd}}{C_{gs}} BC^2}} \quad (3)$$

여기서, $A = (g_m R_i + \frac{R_s + R_g}{1/g_m + R_i})$, $B = (1 + 2.5 \frac{C_{gd}}{C_{gs}})$, $C = (1 + g_m R_s)$ 이고, R_i 는 게이트 신호에 따른 증방전시의 저항 성분이며, g_{ds} 는 드레인-소스간 전달전도도를 나타낸다.

Table 2. The parameters of Impact ionization model.

	Mole fraction	x=0		x=1	
	Carrier	e	h	e	h
In _x Ga _{1-x} As	a (1/cm)	8.6×10 ⁵	2.3×10 ⁵	5.5×10 ⁵	3×10 ⁴
	b (V/cm)	1.0×10 ⁶	4.5×10 ⁶	8.115×10 ⁵	6.4×10 ⁵
	λ_n (1)	0.25			
	λ_p (1)	0.80			
	Mole fraction	x=0		x=1	
	Carrier	e	h	e	h
In _x Al _{1-x} As	a (1/cm)	8.6×10 ⁶	2.3×10 ⁷	3.0×10 ⁴	3.0×10 ⁴
	b (V/cm)	3.5×10 ⁶	4.5×10 ⁶	6.4×10 ⁵	6.4×10 ⁵
	λ_n (1)	1.0			
	λ_p (1)	1.0			

HEMT 소자의 소신호 등가회로 모델에서 단자 패드 저항인 $R_g=1.82 \Omega$, $R_d=6.59 \Omega$, $R_s=2.57 \Omega$ 로 실험 데이터를 사용하였으며, 단자의 직렬 인덕턴스 성분은 각 단자에 대해 $L_g=0H$, $L_d=0H$, $L_s=0H$ 로 가정하여 시뮬레이션을 수행하여 C_g 를 추출하였다.

결국 C_g 성분을 줄이고 g_m 을 증가시킨다면 f_T 및 f_{max} 주파수 특성을 개선할 수 있다. RF 소신호 해석 시뮬레이션이 정확한 신뢰성을 얻기 위해서는 C_g 및 g_m 성분의 계산이 정확해야 한다. RF 소신호 회로 시뮬레이션에서는 두 가지 방법으로 f_T 와 f_{max} 를 구하였다. f_T 는 $|h_{21}|/20$ dB 기울기로 측정하였을 때 주파수축과 만나는 점을 읽은 값과 직접 계산한 $|h_{21}|=1$ 에서의 값으로 구하였고, f_{max} 또한 MUG/20 dB 기울기로 측정하였을 때 주파수축과 만나는 점을 읽은 값과 직접 계산한 MUG=1에서의 계산 값을 구하였다.

III. MHEMT 시뮬레이션 결과 및 분석

제작된 MHEMT 소자의 I-V 특성에 대해 파라미터 보정 시뮬레이션을 수행하였으며, 이전 연구 논문 [1]과의 차이점을 나타낸 파라미터 보정 결과를 아래 절들에서 상술하였다. 시뮬레이션 파라미터 보정 결과인 Table 1 및 Table 2에 나타낸 각 에피층 물질들의 파라미터를 사용하여 제작된 MHEMT 소자의 DC/RF 특성 측정치와 비교 분석하였고, 게이트 리세스 구조에 따른 DC/RF 특성을 분석하였다.

1. 시뮬레이션 파라미터 보정 결과

제작된 MHEMT 소자의 I-V 특성 [3] 및 RF 특성 [4]에 대해 파라미터 보정 시뮬레이션을 수행하였으며, 델타 도핑 효율 및 게이트 헤드 전계 효과, InAlAs 장벽층 표면 효과($Si_3N_4/InAlAs$ 계면 효과), 그리고 버퍼층에서의 깊은 준위 트랩 효과를 분석하였다. 항복 특성에 대하여서는 Table 2의 충돌 이온화 파라미터를 제안 사용하였으며, 충돌이온화 애벌런치 생성 전류가 나타나기 시작한 점들을 V_{gs} 변화에 따라 빨간 실선으로 이어서 나타내었다.

Fig. 2에서 보는 바와 같이 On-state 항복 특성을 보면 애벌런치 항복이 나타나기 전 $V_{ds}=2.5 \sim 3.5V$ 구간에서는 충돌이온화에 의해 생성된 초기 생성 전류는 $Si_3N_4/InAlAs$ 계면에 전자 및 정공을 공급하여 표면 재결합에 의한 계면

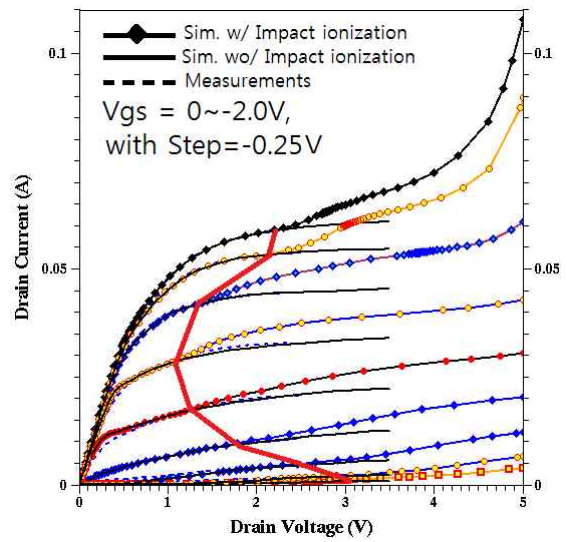


Figure 2. Calibrated simulation results of the DC characteristics in the MHEMT [3].

에서의 전자 트랩에 의한 공간 전하를 줄이고(공핍층의 감소) 이는 채널 포텐셜 변화로 나타나 전류가 증가하는 킥(kink) 전류를 [7] 형성하며, 이후 급격한 애벌런치 생성 전류가 나타나는 것으로 보인다. $V_{gs}=-1.25V$ 이하의 Off-state 항복 특성은 $V_{ds}=5V$ 까지 급격한 전류 증가가 나타나지는 않으나 $V_{ds}=3.0V$ 이상부터는 작은 전류 증가가 나타나고 있음을 보여주고 있다.

1.1. 델타 도핑 효율 효과

Hydrodynamic 시뮬레이션 파라미터 보정을 하기 위해서 초가에 참고문헌 [6]의 물질 파라미터들을 사용하였으나 Fig. 3에서 보인 바와 같이 전류 레벨에 가장 큰 변화를 야기하는 것은 델타 도핑 효율이었다 [10].

Fig. 1의 에피구조에서 델타 도핑 1 (top) 및 델타 도핑 2 (bottom)의 면적은 20 \AA 의 두께를 가정하여 면농도를 체적농도로 바꾸었고, 도핑 효율을 고려하기 위하여 델타 도핑 1 및 델타 도핑 2 모두 75% 체적(두께 15 \AA 에만 도핑 가정)만을 고려하고 일정한 균일 분포로 시뮬레이션을 수행하였을 때 검은색 굵은 실선의 결과(델타 도핑 효율 100% 표시)로 전류 수준이 측정치에 비해 크게 나타났다. 이 결과에서는 실험 데이터에 비해 큰 전류가 나타나서 파라미터 보정을 제대로 수행할 수가 없었다.

델타 도핑 1 효율을 100%로 두고 델타 도핑 2를 변화시켰을 때 전류 측정치와 유사한 결과를 보였는데, 델타 도핑 2 효율을 40%로 하였을 때 가장 근접한 실험 측정치와의

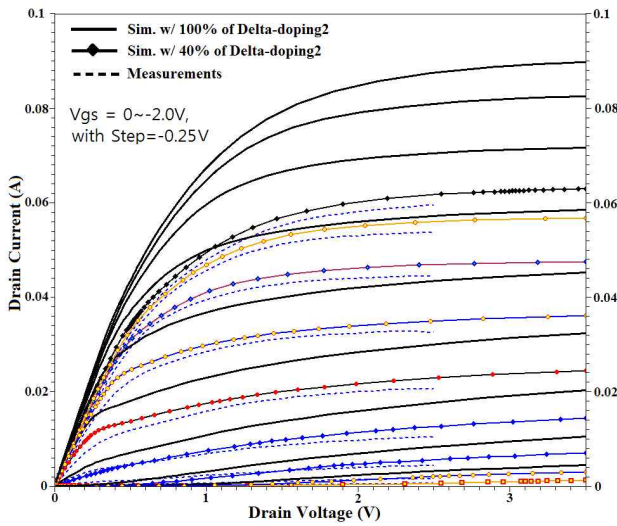


Figure 3. Delta-doping efficiency of the MHEMT.

결과를 보였다. 그 결과를 비교해서 Fig. 3에 보였다. 이는 실제 성장된 에피의 델타 도핑 효율이 이상적인 설계 효율과는 다르다는 것을 보이며, 공정 시의 확산에 의해서도 분포가 달라짐을 의미한다 [10]. 시뮬레이션 결과는 델타 도핑 2(bottom)의 효율이 40% 정도 됨을 보였다.

1.2. Γ-게이트 헤드 전계 효과

Fig. 1의 소자 구조에서 Γ-게이트 헤드 높이는 0.1 μm이고 게이트 저항을 줄이기 위하여 게이트 헤드 길이를 0.75 μm로 크게 가져갔는데 이 게이트 헤드는 게이트 역전압이 증가할수록 Si₃N₄/InAlAs 계면의 억셉터형 전자 트랩에 의한 음의 공간전하에 더해져 InAlAs 장벽층의 공핍 영역(전자 공핍)을 확대시키고, 이는 채널의 전자 공핍을 확대시켜 전류 감소를 일으키게 된다. 또한, 게이트-드레인간 항복 유효전압을 증가시켜 항복전압을 낮추는 요인으로 작용한다. 이를 Fig. 4에 보였다. 게이트 헤드 부분을 없애고 게이트 풋 부분만을 두고 시뮬레이션한 Fig. 4의 결과는 전류가 증가하였는데 [1] 이는 Si₃N₄/InAlAs 계면의 억셉터형 전자 트랩에 의해 생성되는 음의 고정전하량에서 게이트 헤드 전계에 의한 음전하량의 기여분을 뺀 결과로 게이트 헤드 아래 Si₃N₄/InAlAs 계면에 나타나는 공핍 영역이 줄면서 채널층의 공핍 영향도 줄게 되어 전류가 증가하였다고 [1] 분석할 수 있다. 전류가 증가하더라도 애벌런치 생성 전류는 보다 높은 드레인 전압에서 나타나고 있는데 이는 전류가 증가하더라도 계면에 형성된 음의 고정전하가 줄면서 충돌이온화 유효 전계가 낮아진 결과로 해석된다. 달리 말하면 소

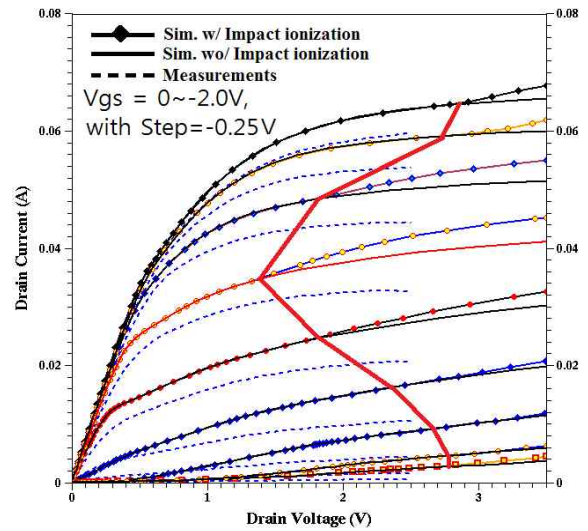


Figure 4. Effect of the Γ-gate head field.

스 및 드레인 사이에 놓인 게이트 헤드에 의한 전계가 InAlAs 장벽층 표면으로 더 많은 전자를 모이게 하고 소스 및 드레인 사이의 Si₃N₄/InAlAs 계면의 전자 포획을 더욱 증가시켜 생성된 음의 공간전하량이 채널 전위를 변화, 즉 채널을 더욱 공핍되게 함으로써 전류를 줄이고, 게이트와 드레인간의 항복 유효 전계를 증가시킨다는 것을 의미한다.

넓은 리세스 구조(소스-드레인 간 InGaAs 캡층을 모두 제거한 구조; Full-wide recess)에서 항복전압 특성을 개선하기 위해서는 게이트 풋과 게이트 헤드 간 높이를 더 높여 게이트 헤드 전계 영향을 낮추어야 한다. 또는 이것에 더해 헤드 길이를 줄이고 Y자 게이트 구조로 게이트를 만드는 것이 항복 전압을 보다 증가시킬 수 있을 것으로 판단된다.

1.3. InAlAs 장벽층 표면 및 버퍼층 트랩 효과

Fig. 5(a)에서는 Si₃N₄/InAlAs 장벽층 계면에서의 억셉터형 트랩 밀도를 감소시켰을 때의 전류 변화를 동시에 보였다. Si₃N₄/InAlAs 장벽층 계면에서의 측정치와 일치하는 억셉터형 트랩 밀도는 3×10¹²/cm²이었는데, 이것을 3×10¹¹/cm²로 낮추었을 때의 전류 레벨을 비교하여 나타내었다. InAlAs 장벽층에 형성되는 억셉터형 트랩 밀도가 감소하면 표면에 형성되는 전자 포획에 의한 공핍 영역이 줄고, 이는 채널 전위의 변화를 야기해 채널 공핍이 줄게 됨으로 채널 전류가 증가하게 됨을 보여 주고 있다. Fig. 5(b)에서는 3.1×10¹²/cm²으로 1×10¹¹/cm² 만큼 억셉터형 트랩 밀도를 증가시켰을 때의 전류 변화를 보였다. 억셉터형 트랩 밀도가 증가됨으로써 위 논의의 반대적인 영향으로 채널이

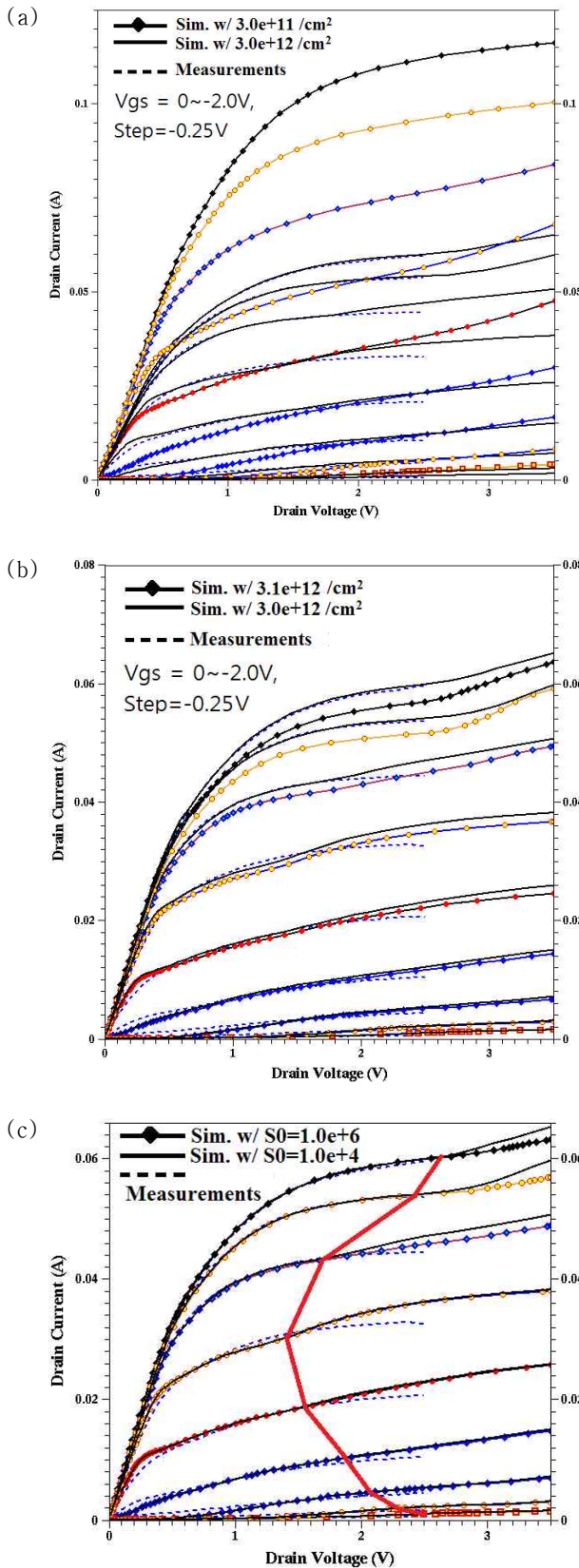


Figure 5. The effect of the surface of InAlAs barrier layer.

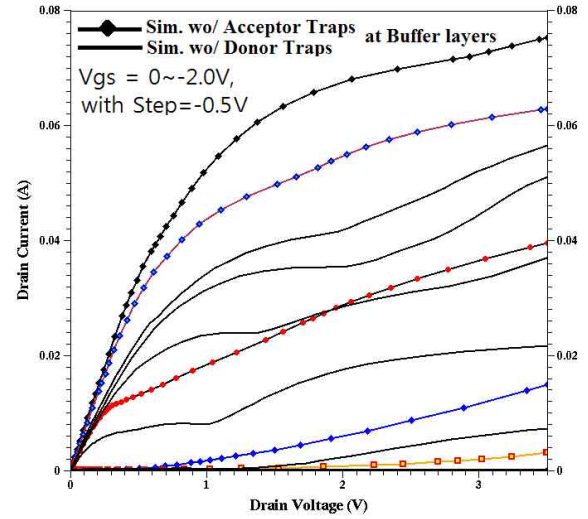


Figure 6. The effect of the traps in buffer layers.

더욱 공핍되어 전류가 감소하는 현상을 보이고 있으며, 게이트 역전압 V_{gs} 가 작을수록 채널 공핍 영향이 크게 나타나고 전류가 감소하는 현상을 보이고 있다. InAlAs 장벽층에 형성되는 억셉터형 트랩이 심각하게 전류 변화를 야기한다는 것을 보이고 있다.

Fig. 5(c)에서는 $\text{Si}_3\text{N}_4/\text{InAlAs}$ 장벽층 계면 사이의 표면 SRH 파라미터 값인 표면 재결합 속도 S_0 의 값을 1×10^6 [cm/sec]으로 변경하였을 때의 결과를 비교하여 나타내었으며, 이때 비교한 두 경우 모두 충돌이온화 파라미터 λ_n 은 0.275로 설정되었다. 본 논문의 모든 결과는 $S_0=1 \times 10^4$ 로 시뮬레이션하였다. S_0 값을 1×10^6 으로 변경하였을 때 충돌이온화 에벌런치 생성 전류가 줄어들을 알 수 있는데 이는 충돌이온화에 의해 공급된 전자가 $\text{Si}_3\text{N}_4/\text{InAlAs}$ 계면에 공급되어 억셉터형 트랩에 포획됨으로써 채널층을 더 공핍시켜 감소한 현상으로 해석된다 [1,6].

Fig. 6에서는 Fig. 1 에피구조에서 400 nm의 긴 InAlAs 버퍼층 및 1.0 μm 의 계단-성장된 $\text{In}_x\text{Al}_{1-x}\text{As}$ ($x=0 \sim 0.5$) 메탈물푹 버퍼층에서 억셉터형 트랩만을 없애고 시뮬레이션한 경우와 도너형 트랩만을 없애고 시뮬레이션한 결과를 비교하여 나타낸 결과 그림이다. 충돌이온화 파라미터 $\lambda_n = 0.275$ 이다. 버퍼의 도너형 트랩은 정공을 포획하여 버퍼층을 양의 공간전하 상태로 만들고 이는 채널층 전위 변화, 즉 채널 공핍을 감소시켜 채널의 에너지 밴드를 페르미 에너지 준위 쪽으로 기울어지게 함으로써 채널 전류가 증가되는 현상을 보이게 된다 [1,6]. 이와는 반대로 버퍼층에서의 억셉터형 트랩들은 전자를 포획하여 음전하를 띤 공

간전하를 형성하고 위 논의와 마찬가지로 채널의 전위 변화, 즉 채널 공핍을 증대시켜 채널의 에너지 밴드를 페르미 에너지 준위로부터 멀어지게 함으로써 채널 전류가 감소하게 되는 현상을 보이게 된다 [1,6].

1.4 RF 특성 시뮬레이션 결과 비교

Fig. 7 및 Table 3에서는 RF 소신호 회로 시뮬레이션 결과들을 정리하여 나타내었다.

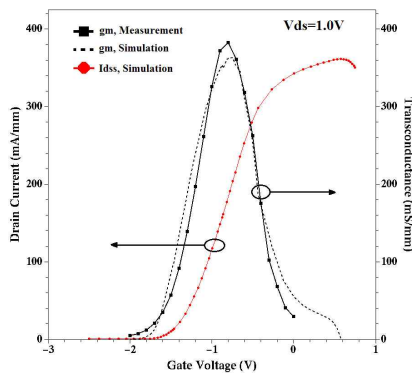
Fig. 7(a)는 $V_{ds}=1.0$ V에서 $V_{gs}=+0.5 \sim -2.5$ V로 변화시키면서 g_m 및 I_{dss} 계산값을 동시에 표시하였다. Fig. 7(b)는 $V_{ds}=1.5$ V에서 $V_{gs}=0 \sim -1.5$ V까지 변화시키면서 50 GHz에서 추출한 커패시턴스 성분 C 값들을 나타내었다. Fig. 7(c)는 f_T 시뮬레이션에서 $f_T@|h_{21}|/20$ dB 기울기로 읽은 결과 값을 $V_{ds}=1.5$ V, $V_{gs}=+0.5 \sim -1.5$ V로 바이어스 포인트 변화에 대해 계산하여 동시에 나타내었다. Fig. 7(d)는 f_{max} 시뮬레이션에서 $f_{max}@MUG=1$ 의 계산 값의 결과 값을 $V_{ds}=1.5$ V, $V_{gs}=+0.5 \sim -1.5$ V로 바이어스 포인트 변화에 대해 계산하여 나타내었다.

RF 주파수 특성 시뮬레이션 결과로서의 f_T 와 f_{max} 는 $f_T@$

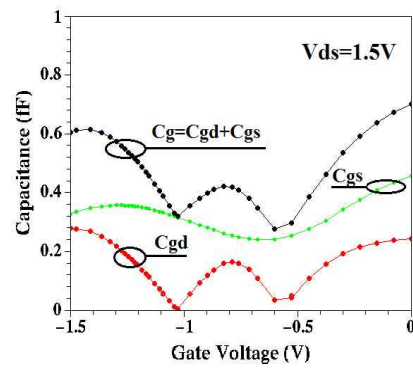
$|h_{21}|/20$ dB 및 $f_T@|h_{21}|=1$, 그리고 $f_{max}@MUG/20$ dB 및 $f_{max}@MUG=1$ 을 각각 시뮬레이션하여 결과 중 측정 데이터와 [3,4] 차이가 적은 값을 읽어 Table 3에 표시하고 비교하여 나타내었다. Table 3에서는 RF 소신호 주파수 특성 f_T , f_{max} 및 DC 특성인 I_{dss} , g_m 의 시뮬레이션 결과를 측정 데이터와 비교하여 나타내었으며, 비교적 일관성 있게 일치하는 결과를 보였다.

Table 3. Comparative simulations with measurements [6,7].

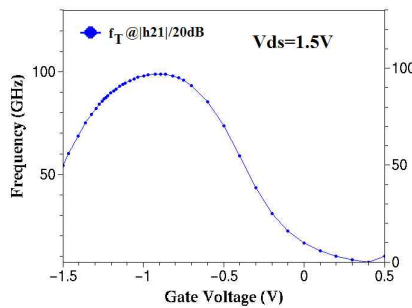
In _{0.53} Ga _{0.47} As	Simulation	Measurement
$I_{dss}@V_g=0.0, V_d=2.5$ V [mA]	59.75	59.64
$g_{m,max}@V_d=1.0$ V [mS/mm]	362.95 @ $V_g=-0.78$	382.75 @ $V_g=-0.8$
$f_T@ h_{21} /20$ dB [GHz]	98.48 @ $V_g=-0.7, V_d=1.5$ V	123 @ $V_g=-0.7, V_d=1.5$ V
$f_{max}@MUG=1$ [GHz]	361.97 @ $V_g=-0.7, V_d=1.5$ V	433 @ $V_g=-0.7, V_d=1.5$ V
$BV_{on}@V_{gs}=0$ [V]	≈ 2.5	≈ 3.0
$BV_{off}@V_{gs}=-2$ [V]	≥ 5.0	≥ 4.5



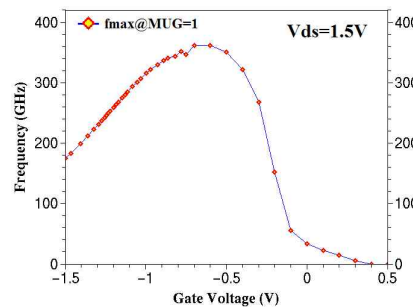
(a) g_m



(b) Capacitances@50 GHz



(c) f_T



(d) f_{max}

Figure 7. The RF small-signal frequency simulation results.

Fig. 7에서 f_T 및 f_{max} 의 경우에는 발표된 측정 데이터는 [3,4] 50 GHz에서 각각 $|h_{21}|$ 및 MSG로부터 외삽하여 얻은 데이터로서 외삽 측정된 결과에 대해서 시뮬레이션 결과는 $f_T@|h_{21}|/20$ dB 기울기로 읽은 값이 측정값의 80.0%로 나타났고, $f_{max}@MUG=1$ 에서 계산된 값이 측정값의 83.6%에 해당하는 결과로 외삽 측정된 데이터보다 작게 나타났다. 하지만, 오차가 일관성을 유지하는 것으로 보아 RF 소신호 주파수 시뮬레이션 결과가 f_T 및 f_{max} 에 대한 예측성을 보이고 있다고 판단된다.

2. 게이트 리세스 구조 비교 분석

Fig. 8 및 Table 4에서는 게이트 리세스 구조에 따른 DC/RF 소신호 주파수 특성 시뮬레이션 결과를 비교하여 나타내었다. 소스-드레인 간 InGaAs 캡층을 모두 제거한 넓게 리세스한 구조(Full-wide recess), InGaAs 캡층을 Fig. 1 구조에서 소스 측 및 드레인 측에 대해 정확히 반만 제거한 구조(Half-wide recess) 및 InGaAs 캡층을 게이트 쪽 부분만 제거한 구조(Full-narrow recess)에 대해 시뮬

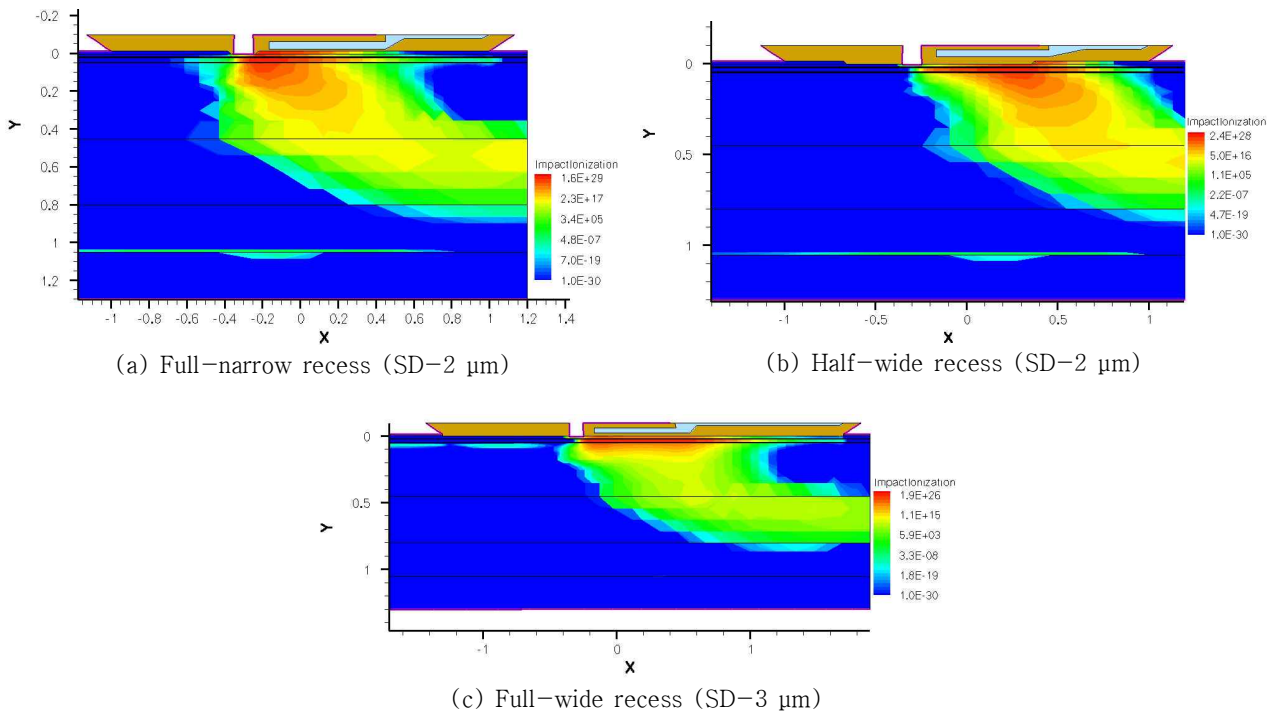


Figure 8. The Impact ionization rates of gate-recessed structures.

Table 4. DC/RF small-signal simulation results of gate recess structures.

Recess structure	Full-Wide (SD=3 μm)	Full-Wide (SD=2 μm)	Half-Wide (SD=2 μm)	Full-Narrow (SD=2 μm)
I_{dss} @ $V_g=0.0$, $V_d=2.5$ V [mA]	53.25	59.75	74.88	117.58
$g_{m,max}$ @ $V_d=1.0$ V [mS/mm]	342.94 @ $V_{gs}=-1.10$	377.67 @ $V_g=-0.73$	456.99 @ $V_{gs}=-0.70$	661.61 @ $V_{gs}=-0.62$
$f_{T,max}$ @ $ h_{21} /20$ dB [GHz]	103.13 @ $V_{gs}=-1.21$, $V_{ds}=1.0$ V	107.72 @ $V_g=-0.92$, $V_d=1.0$ V	121.14 @ $V_{gs}=-0.88$, $V_{ds}=1.0$ V	140.30 @ $V_{gs}=-0.77$, $V_{ds}=1.0$ V
$f_{max,max}$ @MUG=1 [GHz]	231.61 @ $V_{gs}=-1.08$, $V_{ds}=1.0$ V	305.20 @ $V_g=-0.81$, $V_d=1.5$ V	313.80 @ $V_{gs}=-0.88$, $V_{ds}=1.0$ V	353.32 @ $V_{gs}=-0.86$, $V_{ds}=1.0$ V
$BV_{on}@V_{gs}=0$ [V]	≥ 3.0	≥ 2.5	≥ 1.63	≥ 2.0
$BV_{off}@V_{gs}=-2$ [V]	≥ 5.0	≥ 5.0	≥ 5.0	≥ 3.0

레이션을 수행하고 비교 분석하였다.

Fig. 8(a)~(c)에서는 각 리세스 구조에서 나타난 충돌 이온화 생성 전류 분포를 비교하여 나타내었다. Fig. 8(a)에서 보는 바와 같이 좁게 리세스된 구조에서는 다수 캐리어인 전자의 이동 통로가 채널층 및 InGaAs 캡층이 되어 On-상태 전류가 넓게 리세스된 Fig. 2의 결과보다 크게 증가하여 나타났으며 InGaAs 캡층의 길이가 증가함에 따라 전류가 증가하고 이로 인해 충돌 이온화 생성 전류가 증가하였으며, 항복 전압도 낮은 전압에서 나타났다. 충돌 이온화 애벌런치 생성 전류 증가 경향도 넓게 리세스된 구조에 비해 보다 급격하게 증가했다. 이는 넓게 리세스된 구조에서는 충돌이온화 애벌런치 생성 전류가 증가하는 $V_{ds}=1.6$ V 이상에서는 InAlAs 표면이나 버퍼 쪽으로 충돌이온화 생성 전류가 공급되면서 충돌이온화에 의한 킥 현상 [7]이 일어나는 것으로 보이며 그 이상의 V_{ds} 전압에서는 급격하게 충돌이온화 생성 전류가 채널을 통해 증가하여 애벌런치 항복에 이르는 것으로 해석된다. 좁게 리세스된 구조에서는 넓게 리세스된 구조에서의 $V_{ds}=1.6\sim 3.0$ V 사이에서 일어나는 킥 현상 없이 급격하게 생성 충돌이온화 생성 전류가 나타났다. 이는 InAlAs 표면의 역셉터형 트랩이 없는 구조가 되었기 때문에 InAlAs 표면 효과 없이 바로 채널 및 InGaAs 캡층에서의 애벌런치 생성 전류가 급증한 결과로 분석된다. Fig. 8(a)는 $V_{gs}=-0.75$, $V_{ds}=5.0$ V에서의 충돌이온화에 의한 2차원 생성 전류 농도 분포를 나타내었다. 게이트 바로 밑 드레인 측으로 InGaAs 캡층 및 채널층에서 최대 애벌런치 생성 전류가 나타남을 2차원적으로 보여 주고 있다.

Fig. 8(b)는 소오스-드레인 간격 2 μm 일 때 소스 측 및 드레인 측 InGaAs 캡층 길이의 반을 정확히 리세스시켰을 때의 구조에서 시뮬레이션한 결과이다. 전류도 넓게 리세스한 구조에 비해 증가하고 애벌런치 충돌이온화 생성 전류도 더 낮은 V_{ds} 전압으로 이동하는 경향을 잘 보여주고 있다. Fig. 8(c)는 소스-드레인 간격을 3 μm 로 늘려 시뮬레이션한 결과이다. 애벌런치 충돌이온화 생성 전류가 상당히 감소하였음을 알 수 있으며, 게이트-드레인간 간격이 멀어짐으로써 충돌이온화 유효 전계가 감소하여 나타난 현상이다. 따라서 소오스-드레인 간격을 넓게 가져가는 것이 항복 특성을 개선함을 보여주고 있다.

Table 4에서 보는 바와 같이 InGaAs 캡층의 길이가 길어질수록 즉 좁게 리세스한 구조로 갈수록 I_{dss} , g_m , f_T 및

f_{max} 가 증가함을 보여 주고 있다. 반면에 On-상태 및 Off-상태 항복 전압은 낮아지는 경향을 보였다.

IV. 결 론

제작된 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}/\text{GaAs}$ MHEMT 소자의 DC/RF 특성을 시뮬레이션하고 측정 데이터와 비교하여 비교적 일관성 있게 일치하는 결과를 얻었다. 또한 RF 소신호 주파수 특성 및 이를 제한하는 항복 특성을 시뮬레이션하고 분석하였다. 델타 도핑 효율, Γ -게이트 헤드 전계, InAlAs 표면 트랩 및 버퍼층들의 트랩 효과를 시뮬레이션하고 전류 영향을 분석하였다. 또한 게이트 리세스 구조에 따른 DC/RF 특성 및 항복 특성을 게이트 리세스 구조에 따라서 비교 분석하였다.

제작된 MHEMT 소자의 델타 도핑 효율이 설계시와 다름을 시뮬레이션을 통해 확인하였고, 특히 델타 도핑 2의 효율이 40% 정도임을 보였다. InAlAs 게이트 장벽층의 표면 트랩 효과 및 버퍼층들의 트랩이 심각하게 MHEMT 소자의 DC 특성에 심각한 영향을 끼침을 비교 분석하였다.

게이트 리세스 구조에서 InGaAs 캡층의 길이가 길어질수록, 즉 좁게 리세스한 구조로 갈수록, I_{dss} , g_m , f_T 및 f_{max} 가 증가함을 보였다. 반면에 On-상태 및 Off-상태 항복 전압은 낮아지는 경향을 보였다.

항복 특성 분석을 통해 게이트 아래 표면에 Γ -게이트 전계 영향을 줄이기 위하여 게이트 헤드 높이를 높게 하거나 Y-게이트 구조로 가는 것, 소스-드레인 간격을 크게 가져가는 것이 항복 전압 특성을 개선할 수 있음을 보였다. 또한, InAlAs 표면에서의 전자 포획 역셉터형 트랩에 의해 충돌이온화 유효 전계가 증가하고 항복 전압이 더 낮아짐도 확인할 수 있었다.

향후 이러한 결과를 토대로 주파수 특성 및 항복 특성을 동시에 개선할 수 있는 에피구조 및 소자 레이아웃 구조에 대한 최적화 연구를 진행할 예정이다.

감사의 글

본 연구는 2011년도 순천대학교 연구지원사업에 의해 수행되었음.

참고문헌

- [1] M. -S. Son, Journal of the Semiconductor & Display Technology **10**, 63 (2011).
- [2] User's manual of ISE-DESSIS, Ver. 9.5.
- [3] M. -S. Son, B. -H. Lee, M. -R. Kim, S. -D. Kim, and J. -K. Rhee, Journal of the Korean Physical Society **44**, 408 (2004).
- [4] M. Han, S. -D. Kim, and J. -K. Rhee, Journal of the Institute of Electronic Engineers of Korea-SD **42**, 1 (2005).
- [5] C. S. Whelan, P. F. Marsh, W. E. Hoke, R. A. McTaggart, C. P. McCarroll, and T. E. Kazior, Proceedings of 2000 International Conference on Indium Phosphide and Related Materials 337 (2000).
- [6] T. Suemitsu, T. Enoki, N. Sano, M. Tomizawa, and Y. Ishii, IEEE Trans. Electron Devices **45**, 2390 (1998).
- [7] M. H. Somerville, A. Ernst, and J. A. del Alamo, IEEE Transactions on Electron Devices **47**, 922 (2000).
- [8] Y. -H. Baek, J. -H. Oh, S. -G. Choi, W. -S. Sul, and J. -K. Rhee, Journal of the Korean Physical Society **54**, 1868 (2009).
- [9] F. Schwierz and J. J. Liou, *Modern Microwave Transistors: Theory, Design, and Performance*, (Wiley-interscience Publication, Hoboken, 2003), pp.4-60.
- [10] H. Sugiyama, H. YokoYama, and T. Kobayashi, Japanese Journal of Applied Physics **43**, 534 (2004).
- [11] H. Y. Kim, H. J. Oh, S. W. Ahn, M. -Y. Ryu, J. Y. Lim, S. H. Shin, S. Y. Kim, and J. D. Song, J. Korean Vacuum Soc. **19**, 211 (2010).
- [12] Y. -D. Woo and M. -D. Kim, J. Korean Vacuum Soc. **12**, 251 (2003).

Simulation Study on the DC/RF Characteristics of MHEMTs

Myung-Sik Son*

Department of Electronic Engineering, Sunchon National University, Suncheon 540-742

(Received June 24, 2011, Revised August 30, 2011, Accepted September 20, 2011)

GaAs-based metamorphic high electron mobility transistors (MHEMTs) and InP-based high electron mobility transistors (HEMTs) have good microwave and millimeter-wave frequency performance with lower minimum noise figure. MHEMTs have some advantages, especially for cost, compared with InP-based ones. In this paper, InAlAs/In_xGa_{1-x}As/GaAs MHEMTs are simulated for DC/RF small-signal analysis. The hydrodynamic simulation parameters are calibrated to a fabricated 0.1- μm Γ -gate MHEMT device having the modulation-doped In_{0.52}Al_{0.48}As/In_{0.53}Ga_{0.47}As heterostructure on the GaAs substrate, and the simulations for RF small-signal characteristics are performed, compared with the measured data, and analyzed for the devices. In addition, the simulations for the DC/RF characteristics of the MHEMTs with different gate-recess structures are performed, compared and analyzed.

Keywords : High electron mobility transistor (HEMT), Metamorphic high electron mobility transistor (MHEMT), InGaAs, InAlAs, Device simulation, RF, Small signal, Cutoff frequency, Maximum oscillation frequency

* [E-mail] sonms@sunchon.ac.kr