
DAC를 이용한 고해상도 DCO 설계

서희택* · 박준호** · 박종태*** · 유종근****

Design of a High-Resolution DCO Using a DAC

Seung-o Ko* · Hee-teak Seo** · Duck-ki Kwon*** · Chong-gun Yu****

본 논문은 지식경제부 출연금으로 ETRI, 시스템반도체진흥센터에서 수행한 IT SoC 핵심설계인력양성사업의 연구결과이며, IDEC 지원에 의해서도 일부 수행되었음.

요 약

기존에 ADPLL(All Digital Phase Locked Loop)에서는 DCO(Digitally Controlled Oscillator)의 해상도를 향상시키기 위해 주로 디더링(dithering) 기법이 사용되었다. 본 논문에서는 디더링 방식에서 발생하는 문제점을 보완하고자 DAC(Digital-to-Analog Converter)를 이용한 DCO의 해상도 확보 방법을 제안하였다. 주파수 컨트롤은 coarse와 fine 바랙터(varactor) bank 그리고 DAC 바랙터에 의해서 이루어지며, coarse와 fine bank는 PMOS 바랙터로, DAC 바랙터는 NMOS 바랙터로 구현하였다. 각 바랙터 bank는 8비트의 디지털 입력으로 컨트롤된다. 0.13 μ m CMOS 공정을 이용하여 설계된 DCO는 약 2.8GHz~3.5GHz의 주파수 범위에서 발진하며 660MHz의 대역폭을 갖는다. DCO의 출력 주파수를 측정할 결과 해상도는 2.8GHz대역에서 73Hz이다. 설계된 DCO는 1M 오프셋(offset)에서 -119dBc/Hz의 위상 잡음 특성을 보이며, 1.2V 전원에서 4.2mA의 전류를 소모한다. 칩 면적은 PAD를 포함하여 1.3mm \times 1.3mm이다.

ABSTRACT

Dithering scheme has been widely used to improve the resolution of DCO(Digitally Controlled Oscillator) in conventional ADPLLs(All Digital Phase Locked Loop). In this paper a new resolution improvement scheme is proposed where a simple DAC(Digital-to-Analog Converter) is employed to overcome the problems of dithering scheme. The frequencies are controlled by varactors in coarse, fine, and DAC bank. The DAC bank consists of an inversion mode NMOS varactor. The other varactor banks consist of PMOS varactors. Each varactor bank is controlled by 8bit digital signal. The proposed DCO has been designed in a 0.13 μ m CMOS process. Measurement results shows that the designed DCO oscillates in 2.8GHz~3.5GHz and has a frequency tuning range of 660MHz and a resolution of 73Hz at 2.8GHz band. The designed DCO exhibits a phase noise of -119dBc/Hz at 1MHz frequency offset. The DCO core consumes 4.2mA from 1.2V supply. The chip area is 1.3mm \times 1.3mm including pads.

키워드

ADPLL, DCO, PLL, DAC

Key word

ADPLL, DCO, PLL, DAC

* 준회원 : C&S Technology

** 준회원 : 인천대학교

*** 정회원 : 인천대학교

**** 중신회원 : 인천대학교 (교신저자, chong@incheon.ac.kr)

접수일자 : 2011. 02. 13

심사완료일자 : 2011. 03. 04

I. 서 론

집적회로 기술의 발달로 CMOS의 최소 게이트 길이가 deep-submicron 영역으로 작아짐에 따라 기존 송·수신단에 필수적으로 사용되던 charge-pump PLL(Phase-Locked Loop)의 성능에 영향을 미치는 여러 단점들이 나타나게 되었다.

게이트 길이가 줄어들어 따라 회로에 공급 전압이 낮아지고, 공급 전압강하로 인해 charge-pump PLL의 핵심 블록인 VCO(Voltage Controlled Oscillator)는 전압 컨트롤 범위가 줄어들어 주파수 튜닝 범위가 줄어들게 된다. 또한 공급 전압 대비 power supply noise와 substrate noise 비율이 증가하여 회로에 미치는 영향이 커지게 된다. 마지막으로 수동소자인 charge-pump PLL의 loop filter를 집적화에 한계가 있고, 커패시터의 누설전류가 증가하는 단점을 가지게 된다[1]. 이러한 단점을 개선하기 위해 디지털 비트로 주파수 컨트롤 하는 ADPLL(All Digital PLL) 기술이 연구되어 왔다 [1,2].

본 논문에서는 ADPLL의 핵심 블록인 DCO(Digitally Controlled Oscillator)의 기존 해상도 확보 방법인 디더링(dithering) 방식의 문제점을 분석하고, DAC(Digital-to-Analog Converter)와 NMOS 바랙터(varactor)를 이용한 새로운 해상도 확보 방법을 제안하였다. 제안된 해상도 확보 기법을 적용한 DCO는 0.13um CMOS 공정을 사용하여 설계 및 제작되었다.

II. 기존 DCO의 해상도 확보 방법

2.1. VCO와 DCO의 차이점

그림 1에 DCO와 VCO의 출력 주파수 선형도 비교를 나타내었다. DCO가 기존의 VCO에 비해 선형도가 우수한 것을 알 수 있다. 그러나 ADPLL에 사용되는 DCO는 VCO와는 달리 주파수 컨트롤 범위안의 모든 주파수를 발진시킬 수가 없다는 단점이 있다.

따라서 원하는 주파수와 DCO의 출력 주파수 간의 부정합(mismatch)이 발생하게 되는데, 이러한 부정합을 줄이기 위해서는 DCO 주파수의 해상도를 높여야 한다. DCO의 해상도를 높이기 위해서는 바랙터 bank

의 커패시턴스 값을 최소값으로 설계해야 하지만, 공정상 구현할 수 있는 최소 커패시턴스 값은 제한되어 있다. 따라서 높은 해상도 확보를 위해 커패시턴스 값을 줄이는 방식으로 디더링 기법이 널리 사용되어 왔다[2].

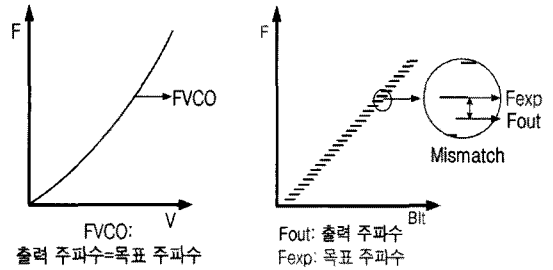


그림 1. VCO와 DCO 출력 주파수 선형도 비교
Fig. 1 Linearity comparison between VCO and DCO

2.2. 디더링 기법

디더링이란 바랙터의 on, off를 빠르게 하여 전체 시간동안의 평균값을 바랙터의 값으로 인식하게 만드는 기법이다. 그림 2와 같은 파형을 바랙터에 입력시키면 식 (1)에서 나타낸 것과 같이 1/6만큼의 바랙터 값을 구현할 수가 있다.

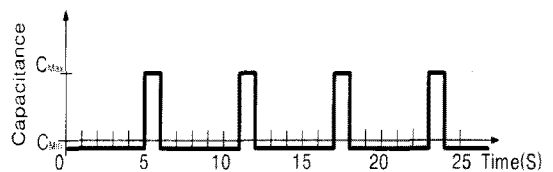


그림 2. 바랙터 입력신호 예
Fig. 2 An example of the varactor input signal

$$(C_{Max} - C_{Min}) \times \frac{1}{6} + C_{Min} = C_{tot} \quad (1)$$

디더링을 사용하기 위해서는 입력 값에 따른 랜덤 신호를 발생시키는 DSM(Digital Sigma-Delta Modulator) 블록이 필요하다. 주기적인 신호는 in-band에 큰 spur를 발생시키기 때문에 랜덤신호를 이용하여 out-band로 spur를 옮겨야 한다.

DSM 블록이 동작하기 위해선 수 백 MHz, 수십 MHz의 다른 주파수를 가진 두 클럭(clock)이 필요하다. 이 중 수 백 MHz의 클럭은 DCO 출력 주파수를 분주해서 사용하게 된다.

따라서 주파수 분주기에서 큰 전류소모가 발생하고, 회로의 면적이 커지게 된다. 또한 수십 MHz 클럭 입력이 필요하기 때문에 별도의 외부 클럭발생기가 필요하다. 높은 해상도를 얻기 위해서는 높은 클럭 주파수가 필요하다. 그러나 클럭 주파수가 높으면 높을수록 고속 랜덤신호의 영향으로 spur가 크게 나타나게 되고, DSM 회로에서 더 많은 전력을 소모하게 된다. 마지막으로 DSM의 영향으로 out-band로 옮겨진 커다란 spur는 필터로 제거해야 채널간 간섭을 줄일 수 있다. 따라서 정교한 필터 설계가 요구된다.

본 논문에서는 디더링 방식에서 발생하는 단점을 보완하고자 DAC를 이용한 DCO 설계 방법을 제안한다.

III. DAC를 이용한 DCO 설계

DCO의 기본 구조는 그림 3과 같이 기존의 LC VCO와 유사하며 LC의 공진을 이용하여 주파수를 발생시킨다. 여러 개의 바랙터를 병렬로 연결하고 각각의 바랙터를 on, off시켜서 주파수를 조정하게 된다. Coarse tune의 바랙터는 넓은 주파수 범위를 fine tune의 바랙터는 좁은 간격의 주파수 범위를 컨트롤하게 된다. 최소로 컨트롤 할 수 있는 주파수 간격이 DCO의 해상도이고 DCO의 성능을 결정하게 된다.

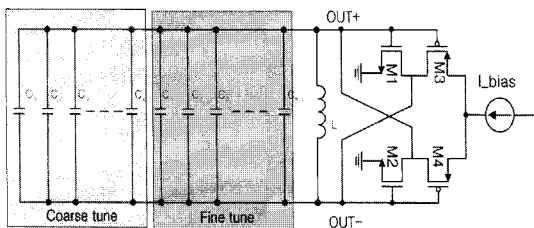


그림 3. DCO 기본 구조
Fig. 3 Basic DCO structure

기존의 DAC를 적용한 DCO는 NMOS 바랙터 만으로 모든 바랙터 bank를 구성하였기 때문에 디지털 입력에 대해서 출력되는 주파수의 안정도가 떨어지는 문제점이 발생하였다[3].

본 논문에서는 DCO의 바랙터 bank를 PMOS와 NMOS 바랙터를 함께 사용하여 각각의 바랙터 특성에 따라 디지털 입력과 DAC 출력이 적용시켜 주파수 안정도를 높이고 높은 해상도를 얻도록 설계하였다.

그림 4는 제안된 DCO의 블록도이다. 설계된 DCO는 coarse 바랙터 bank, fine 바랙터 bank, DAC 바랙터로 구성되어 있다. Coarse 바랙터 bank와 fine 바랙터 bank는 디지털 입력에 안정도가 높은 PMOS 바랙터로 설계하였고, DAC 바랙터는 아날로그 신호에 대해 특성이 좋은 NMOS 바랙터로 설계하였다.

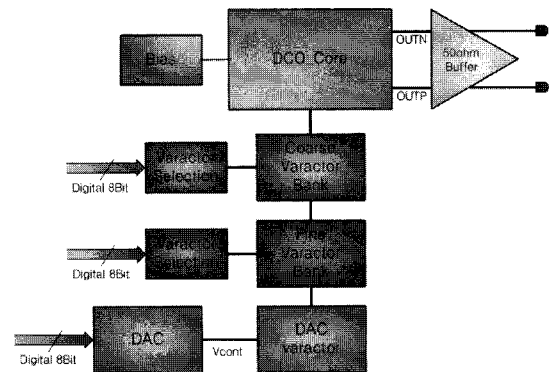


그림 4. 제안된 DCO 블록도
Fig. 4 Proposed DCO block diagram

PMOS 바랙터로 구성된 coarse tune단이 큰 폭의 주파수를 결정해주면 같은 PMOS 바랙터로 구성된 fine tune 단이 그 대역을 나누어서 주파수를 결정하게 되고, NMOS 바랙터로 구성된 DAC tune은 DCO의 최종 출력 주파수를 결정하게 된다. 2.4GHz대역에서 coarse tune은 약 2.6MHz, fine tune은 15KHz, 마지막으로 DAC tune은 58.6Hz (15KHz/28) 만큼의 해상도를 가지도록 설계하였다. 그림 5는 DCO의 각 바랙터 bank 주파수 선택 과정을 나타낸 것이다.

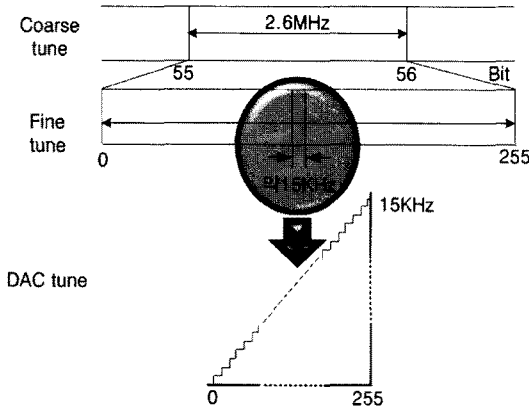


그림 5. 각 바랙터 bank의 주파수 대역 결정 과정
Fig. 5 Determination process of the frequency band of each varactor bank

3.1. Coarse와 fine 바랙터 bank

입력된 디지털 비트에 따라 주파수를 조정해주는 바랙터 bank는 '0'과 '1'의 전압 레벨로만 제어되기 때문에 두 레벨에 따른 커패시턴스 값을 일정하게 나타내주는 특성이 필요하다. 큰 커패시턴스 값의 변화는 위상잡음에 나쁜 영향을 미치므로 PMOS 바랙터의 특성이 디지털 입력에 더 알맞다. PMOS 바랙터의 C-V 특성곡선은 그림 6의 off-state와 on-state에서 볼 수 있듯이 전압에 따른 커패시턴스 특성이 평평한 두 지점이 있다. 이 두 지점의 제어전압을 디지털 비트 '0'과 '1'의 값에 정합시켜 스위칭 해주면, 잡음으로 인해 입력전압이 흔들려도 거의 일정한 커패시턴스 값을 얻을 수 있다.

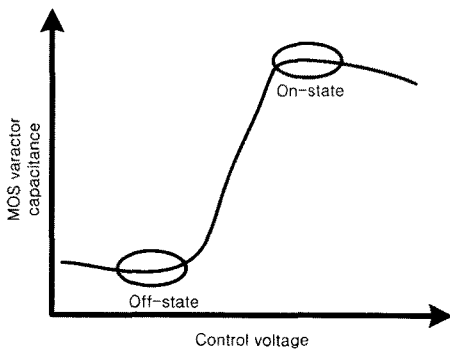


그림 6. PMOS 바랙터의 C-V 특성 곡선
Fig. 6 C-V characteristic curve of PMOS varactor

설계된 coarse와 fine 바랙터 bank는 각각 8비트 신호에 따라 주파수를 선택하게 된다. Binary weight 방식은 디지털 입력에 따라 2개 이상의 비트가 동시에 바뀌면서 잡음과 비선형성 특성이 생긴다. 따라서 binary-to-thermometer 디코더(decoder)를 사용하여 8비트의 입력을 thermometer 코드로 변환하고 열과 행으로 나누어 OR-NAND gate에 입력하면, 총 255개의 바랙터를 각각 on-off시켜 잡음과 비선형성 특성을 개선할 수 있다. 그림 7은 바랙터 selection 블록의 구조를 나타낸 것이다.

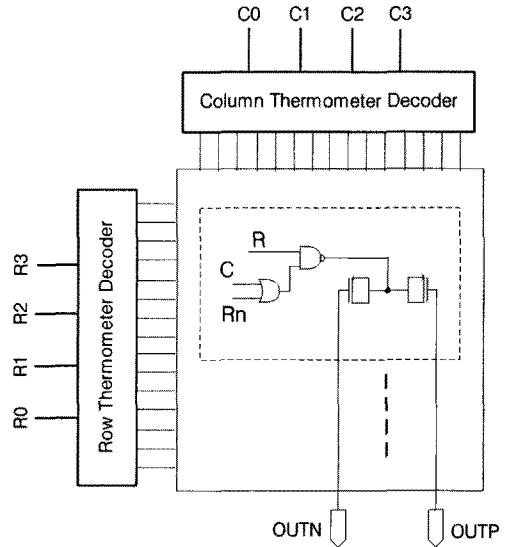


그림 7. 바랙터 selection 블록도
Fig. 7 Varactor selection block diagram

3.2. DAC 바랙터

그림 8에서와 같이 입력 전압에 따라 선형적으로 작은 커패시턴스 변화량을 가지는 NMOS 바랙터의 특성은 디지털 입력이 DAC를 통해 아날로그 신호로 변환될 때 높은 해상도를 얻을 수 있도록 해준다. NMOS 바랙터의 커패시턴스 값은 DAC 출력전압에 의해 결정된다.

DAC 출력에 glitch가 발생하면 출력 주파수에 잡음이 발생하기 때문에 thermometer 디코더를 사용하여 glitch 발생을 줄였다. 따라서 DAC는 바랙터 selection 구조와 같이 총 255개의 전류셀(current cell)을 각각 on-off를 시키게 된다. 각 전류셀에 흐르는 전류가 합쳐

저 외부저항에 흐르고 외부저항의 전압이 NMOS 바랙터로 입력된다. 그림 9에 DAC와 DAC 바랙터의 블록도를 나타내었다.

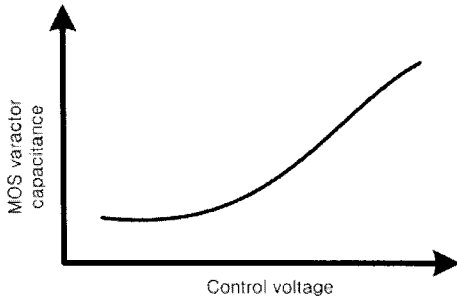


그림 8. NMOS 바랙터의 C-V 특성 곡선
Fig. 8 C-V characteristic curve of NMOS varactor

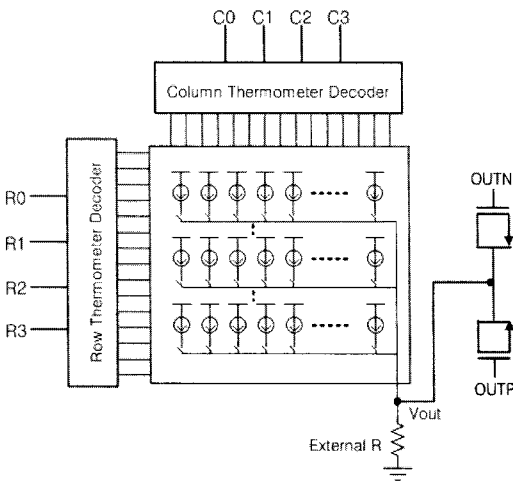


그림 9. DAC & DAC 바랙터 블록도
Fig. 9 DAC & DAC varactor block diagram

3.3. 선형성 확보를 위한 정합 방법

바랙터 bank와 DAC의 전류셀은 8비트 입력에 대한 총 256개의 바랙터와 전류셀로 이루어져 있다. 이것을 순차적으로 배열하게 되면 공정상 발생하는 부정합 때문에 주파수와 출력전압의 선형성이 나빠지게 된다. 따라서 선형성을 개선하기 위한 매칭 설계가 필요하다. 정확히 8-b unary 디코딩을 부정합을 줄이기 위해서 각각의 행과 열에 한가지씩의 요소를 배치하고 대칭 구조로

설계하여 부정합을 개선하려면 총 256×256=65536 가지의 경우의 수가 필요하다. 그러나 이 경우는 사용되는 게이트 숫자가 너무 많아 설계가 불가능하다. 따라서 4-b unary 디코딩을 이용하여 8-b unary 디코딩을 그림 10과 같이 구성하였다.

15	12	10	11	13	14	7	9	2	5	1	6	0	3	8	4
5	0	4	8	3	2	6	1	12	13	9	14	7	15	11	10
1	6	2	3	8	4	0	5	10	11	15	7	14	9	13	12
9	7	14	13	11	10	12	15	4	8	3	0	6	1	5	2
13	14	7	9	15	12	10	11	3	51	131	67	2	5	1	6
3	2	6	1	5	0	4	8	0	3	8	4	12	13	9	14
8	4	0	5	1	6	2	3	7	15	11	10	10	11	15	7
11	10	12	15	9	7	14	13	6	1	5	2	4	8	3	0
2	5	1	6	0	3	8	1	15	12	10	11	13	14	7	9
12	13	9	14	7	15	11	10	5	0	4	8	3	2	6	1
10	11	15	7	14	9	13	12	1	6	2	3	8	4	0	5
4	8	3	0	6	1	5	2	9	7	14	13	11	10	12	15
0	3	8	4	2	5	1	6	13	14	7	9	15	12	10	11
7	15	11	10	12	13	9	14	3	2	6	1	5	0	4	8
14	9	13	12	10	11	15	7	8	4	0	5	1	6	2	3
6	1	5	2	4	8	3	0	11	10	12	16	9	7	14	13

그림 10. 4-b unary 디코딩의 스위칭 구성
Fig. 10 Switching scheme for 4-b unary decoding

각각의 행과 열에는 0~15까지의 요소들을 각각 한 개씩 사용하여 구성하고 256개를 총 16개의 파트로 구분하였다. 각각의 파트는 이웃하는 파트와 정반대로 대칭을 이루도록 하여 공정에서 발생하는 부정합을 서로 상쇄시켜 선형성을 개선할 수 있다[4]. 4-b unary 디코딩을 8-b에 적용시키기 위해서 식 (2)를 이용하여 8-b unary 디코딩으로 변환하였다.

$$Nvalue = 16 \times value + offset \quad (2)$$

이때 사용되는 오프셋(offset) 값은 수학적으로 INL (Integral Non-Linearity)을 최소화 할 수 있는 값인 [12, 5, 9, 14, 3, 0, 2, 8, 13, 4, 1, 11, 15, 6, 10, 7] 순으로 입력하여 설계하였다[5]. 설계된 8-b unary 디코딩의 스위칭 구성을 그림 11에 나타내었다.

dum	dum	dum	dum	dum	dum	dum	dum	dum	dum	dum	dum	dum	dum	dum	dum	dum	dum	dum	dum	dum
my	my	my	my	my	my	my	my	my	my	my	my	my	my	my	my	my	my	my	my	my
252	204	172	188	220	236	124	156	44	92	28	108	12	60	140	76					
85	5	89	133	53	37	101	21	197	213	148	229	117	245	181	165					
29	105	41	57	137	73	9	89	169	185	249	121	233	153	217	201					
158	126	238	222	190	174	206	254	78	142	62	14	110	30	94	46					
211	227	115	147	243	185	153	179	3	51	131	67	35	83	19	99					
48	32	96	16	80	0	64	128	112	240	176	160	192	208	144	224					
130	66	2	82	18	98	34	50	226	146	210	184	102	178	242	114					
184	188	200	248	152	120	232	216	104	24	88	40	72	136	56	8					
45	93	29	109	13	61	141	77	253	205	173	189	221	237	125	157					
196	212	148	228	116	244	180	164	84	4	68	132	52	36	100	23					
161	177	241	113	225	145	209	193	17	97	33	49	129	85	1	81					
75	138	58	11	107	27	91	43	155	123	235	219	187	171	203	251					
15	63	143	79	47	95	31	111	223	239	127	159	255	207	175	191					
118	246	182	166	186	214	150	238	54	38	102	22	86	6	70	134					
234	154	218	202	170	186	250	122	138	74	10	90	28	106	42	58					
103	23	87	39	71	135	53	7	183	167	199	247	151	119	231	215					
dum	dum	dum	dum	dum	dum	dum	dum	dum	dum	dum	dum	dum	dum	dum	dum	dum	dum	dum	dum	dum
my	my	my	my	my	my	my	my	my	my	my	my	my	my	my	my	my	my	my	my	my

그림 11. 8-b unary 디코딩의 스위칭 구성
Fig. 11 Switching scheme for 8-b unary decoding

IV. 측정결과

그림 12는 설계된 회로의 layout 도면이다. 설계된 DCO 회로는 0.13μm CMOS 공정으로 layout 하였다. Core 회로의 크기는 0.8mm×0.8mm이고, PAD를 포함한 전체 칩 크기는 1.3mm×1.3mm이다

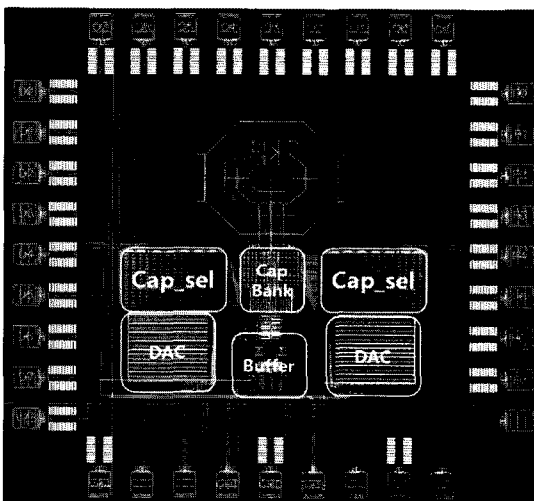


그림 12. DCO layout 도면
Fig. 12 DCO layout

제작된 칩의 성능을 측정한 결과 설계된 DCO는 coarse 바랙터 bank의 8비트 입력신호에 따라 약 2.84557GHz~3.51313GHz의 주파수 범위에서 발진을 하였으며 660MHz의 대역폭을 갖는다. 제작된 DCO의 coarse tuning 특성 및 step linearity 특성을 그림 13과 14에 나타내었다. Coarse 바랙터 bank의 해상도의 평균치는 약 2.6MHz이다.

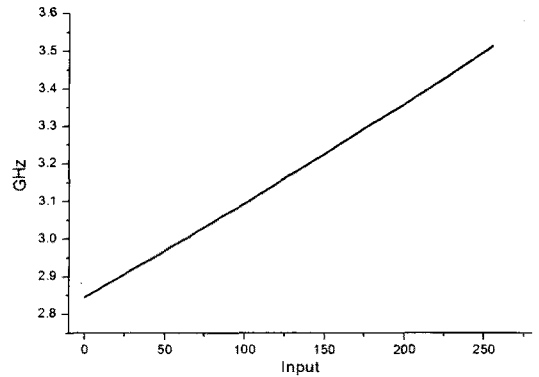


그림 13. Coarse 바랙터 bank 측정 결과
Fig. 13 Measured tuning range of coarse bank

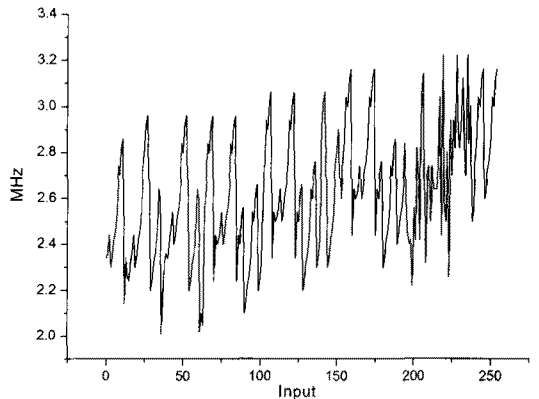


그림 14. Coarse 바랙터 bank 선형성 측정결과
Fig. 14 Measured step linearity of coarse bank

2.8GHz 대역(coarse bit: 11111111)에서 측정된 fine 바랙터 bank의 주파수 특성과 step linearity 특성을 그림 15와 16에 각각 보였다. 8비트 입력 신호에 따른 fine 바랙터 bank의 주파수 범위는 2.8563GHz~2.85041GHz이고 대역폭은 4.77MHz이며 해상도의 평균치는 약

18.7kHz이다. 3.5GHz 대역(coarse bit: 00000000)에서 측정된 fine 바랙터 bank의 주파수 범위는 3.51336GHz~3.52294GHz이고 대역폭은 9.58MHz이며 해상도의 평균치는 약 36kHz이다.

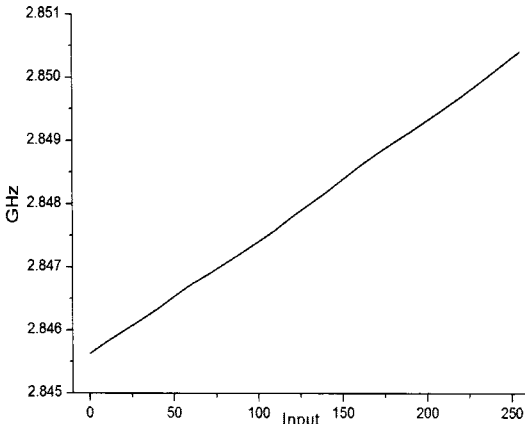


그림 15. Fine 바랙터 bank 측정 결과
Fig. 15 Measured tuning range of fine bank

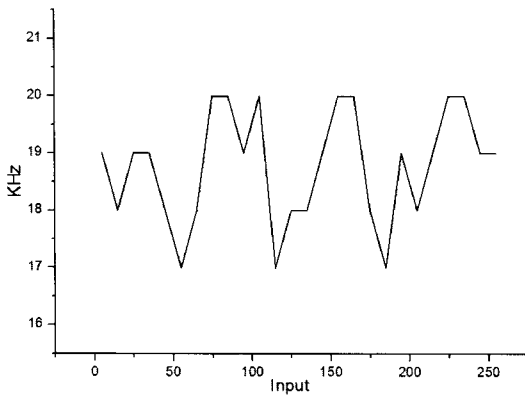


그림 16. fine 바랙터 bank 선형성 측정결과
Fig. 16 Measured step linearity of fine bank

설계된 DAC의 8비트 디지털 입력에 따른 출력 전압 측정결과를 그림 17에 나타내었다. DAC의 출력 전압 범위는 0.513V~1.187V로 DAC 바랙터의 선형 범위에 적합하다.

그림 18은 DCO의 위상잡음(phase noise)을 측정된 결과이다. 3.5GHz 대역에서 측정된 위상잡음은 100kHz 옵셋에서 -76.2dBc/Hz, 1MHz 옵셋에서 -119dBc/Hz이다.

디더링 기법을 사용한 DCO에서 흔히 발생하는 out-band spur가 제안된 DAC를 사용한 DCO에서는 나타나지 않는 것을 그림 18에서 확인할 수 있다.

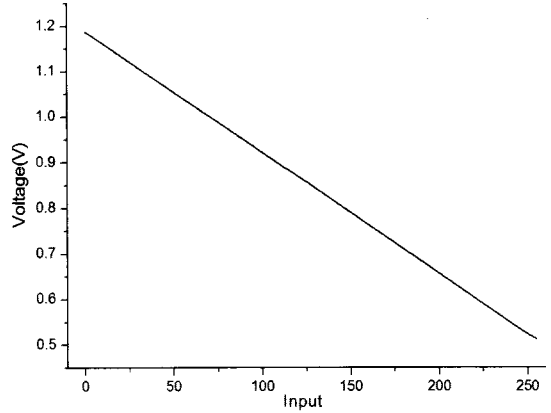


그림 17. 측정된 DAC 출력 전압
Fig. 17 Measured DAC output voltage

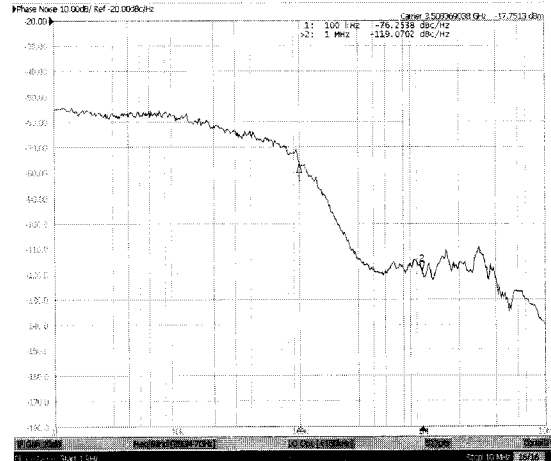


그림 18. 3.5GHz에서의 위상잡음
Fig. 18 Phase noise at 3.5GHz

표 1은 본 논문에서 설계된 DCO와 기존의 DCO 특성을 비교한 것이다. 본 논문에서 설계한 DCO는 기존 DAC를 이용한 DCO보다 저 전력 특성을 보이며, 디더링 기법을 적용한 DCO보다는 높은 해상도 특성을 갖는다.

표 1. DCO 성능 비교
Table. 1 Performance comparison of the DCO

Parameters	[6]	[7]	[8]	[3]	This Work
Supply Voltage	1.2V	1.2V	1.2V	1.8V	1.2V
Process	90nm	65nm	90nm	65nm	130nm
Center Frequency	3.3GHz	2.4GHz	5.4GHz	2.95GHz	3.17GHz
Tuning Range	600MHz	200MHz	1.15GHz	780MHz	660MHz
Resolution	5KHz	1KHz	8.59KHz	150Hz	73Hz
Phase noise(dBc/Hz)	-118@1M	-125@1M	-132@3M	-127.5@1M	-119@1M
Core Current(mA)	2mA	4.8mA	6.5mA	16mA	4.2mA
Control Bit	11bit	-	-	8bit	8bit
Type	Dither	Dither	Dither	DAC	DAC
Year	2007	2007	2008	2010	2011

V. 결 론

본 논문에서는 DAC를 이용하여 DCO의 해상도 향상 방법을 제안하고, 제안된 DCO를 0.13um CMOS 공정으로 설계 및 구현하였다. 측정결과 설계된 DCO는 2.84557GHz~3.51313GHz의 주파수 범위에서 발견하였으며 660MHz의 대역폭을 갖는다. 2.8GHz 대역에서 DCO의 출력 주파수를 측정한 결과, 8비트 제어 신호에 따라 coarse bank에서는 약 2.4MHz씩, fine bank에서는 약 18.7kHz씩 증가한다.

DAC 바랙터에서는 73Hz(18.7KHz/28)의 주파수 간격을 확보할 수 있기 때문에, DCO의 해상도는 2.8GHz 대역에서 73Hz이다. 설계된 DCO는 1M 옴셋에서 -119dBc/Hz의 위상잡음 특성을 보이며, 1.2V 전원에서 4.2mA의 전류를 소모한다. 칩 면적은 PAD를 포함하여 1.3mm×1.3mm이다.

참고문헌

[1] J. Dunning et al., "An All-Digital Phase Locked Loop with 50-cycle Lock Time Suitable for High performance Microprocessors," *IEEE J. Solid State Circuits*, vol. 30, pp. 312-422, Apr. 1995.
 [2] R. B. Staszewski et al., "A first multi gigahertz digitally

controlled oscillator for wireless applications," *IEEE Transactions on Microwave theory and techniques*, vol. 51, no. 11, pp. 2154-2164, Nov. 2003.

[3] L. Fanori et al., "3.3GHz DCO with a Frequency Resolution of 150Hz for All-Digital PLL," *IEEE International Solid-State Circuits Conference*, pp. 48-49, Feb. 2010.
 [4] J. Deveugele et al., "A Gradient-Error and Edge-Effect Tolerant Switching Scheme for a High-Accuracy DAC," *IEEE Transactions on Circuits and Systems*, vol. 51, no. 1, pp. 191-195, Jan. 2004.
 [5] G. Van der Plas et al., "A 14-bit intrinsic accuracy random walk CMOS DAC," *IEEE J. Solid-State Circuits*, vol. 34, pp. 1708 - 1718, Dec. 1999.
 [6] J. Zhuang, Q. Du, T. Kwasniewski, "A 3.3 GHz LC-Based Digitally Controlled Oscillator with 5kHz Frequency Resolution," *IEEE Asian Solid State Circuits*, pp. 428-431, Nov. 2007.
 [7] L. Xu, S. Lindfors, "A Digitally Controlled 2.4-GHz Oscillator in 65-nm CMOS," *IEEE Digital Object Identifier*, Norchip, pp. 1-4, Nov. 2007.
 [8] P. Lu and H. Sjolund, "A 5.4GHz 90-nm CMOS Digitally Controlled LC Oscillator with 21% Tuning Range, 1.1MHz resolution, and 180dB FOM," *IEEE Norchip*, pp. 223-226, Nov. 2008.

저자소개



서희택(Seung-o Ko)

2009. 2 : 인천대학교 전자공학과
학사

2011. 2 : 인천대학교 전자공학과
석사

2011.3~현재 : C&S Technology

※ 관심분야 : 고성능 PLL, 주파수합성기 설계



박준호(Joon-ho Park)

2010. 2 : 인천대학교 전자공학과
학사

2010.3~현재 : 인천대학교
전자공학과 석사과정

※ 관심분야 : 고성능 PLL, 주파수합성기 설계



박종태(Jong-tae Park)

1981. 2 : 경북대학교 전자공학과
학사

1983. 8 : 연세대학교 전자공학과
석사

1987.2 : 연세대학교 전자공학과 박사

1983.8~1985.8 : 금성반도체(주) 연구소 연구원

1991.1~1991.12 : MIT Post Doc.

2000.7~2001.8 : UC Davis 방문교수

1987.3~현재 : 인천대학교 전자공학과 교수

※ 관심분야 : CMOS Reliability, Nano-scale CMOS,
SOI/MOSFET, RF-CMOS



유종근(Chong-gun Yu)

1985. 2 : 연세대학교 전자공학과
학사

1987. 2 : 연세대학교 전자공학과
석사

1993. 12 : Iowa State University 전기 및 컴퓨터공학과
Ph.D.

1994.3~현재 : 인천대학교 전자공학과 교수

※ 관심분야 : CMOS Analog/Mixed-mode IC 설계, RFIC
설계