

## 고상 결정화법을 위한 새로운 공정조건으로 제작된 다결정 Si 박막의 태양전지 특성 평가

권순용<sup>1,a</sup>, 정지현<sup>1</sup>, Yuguo Tao<sup>2</sup>, Sergey Varlamov<sup>2</sup>

<sup>1</sup> 충주대학교 신소재공학과, 친환경에너지 부품소재센터

<sup>2</sup> University of New South Wales, ARC Photovoltaics Center of Excellence

### Evaluation of Solar Cell Properties of Poly-Si Thin Film Fabricated with Novel Process Conditions for Solid Phase Crystallization

Soon-Yong Kweon<sup>1,a</sup>, Ji-Hyun Jeong<sup>1</sup>, Yuguo Tao<sup>2</sup>, and Sergey Varlamov<sup>2</sup>

<sup>1</sup> Department of Materials Engineering, ReSEM, Chungju National University, Chungju 380-871, Korea

<sup>2</sup> The University of New South Wales, ARC Photovoltaics Center of Excellence, Sydney, New South Wales 2052, Australia

(Received August 1, 2011; Revised August 22, 2011; Accepted August 23, 2011)

**Abstract:** Amorphous Si (a-Si) thin films of p+/p-/n+ were deposited on Si<sub>3</sub>N<sub>4</sub>/glass substrate by using a plasma enhanced chemical vapor deposition (PECVD) method. These films were annealed at various temperatures and for various times by using a rapid thermal process (RTP) equipment. This step was added before the main thermal treatment to make the nuclei in the a-Si thin film for reducing the process time of the crystallization. The main heat treatment for the crystallization was performed at the same condition of 600°C/18 h in conventional furnace. The open-circuit voltages ( $V_{oc}$ ) were remained about 450 mV up to the nucleation condition of 16min in the nucleation RTP temperature of 680°C. It meant that the process time for the crystallization step could be reduced by adding the nucleation step without decreasing the electrical property of the thin film Si for the solar cell application.

**Keywords:** Solar cell, Poly-Si thin film, Solid-phase crystallization, Nucleation effect, Open circuit voltage

#### 1. 서 론

최근에는 환경 문제가 대두되면서 실리콘 결정을 이용하는 태양전지 기술이 급속도로 산업화되고 있다 [1,2]. 현재 산업화가 진행되고 있는 태양전지 기술은 주로 벌크 (bulk) 실리콘 웨이퍼 (wafer)를 이용하는 기술이지만, 비정질 실리콘 (amorphous silicon, a-Si) 박막을 이용하는 태양전지 기술도 1976년에 최초로 개발된 이후로 가시광선 영역에서의 높은 광감응도

(photosensitivity), 저가, 대 면적 공정 가능성 등의 장점으로 인하여 널리 연구되어져 왔다 [3]. 하지만 비정질 실리콘은 빛 조사에 따라서 태양전지 특성이 심각하게 열화 된다는 Staebler-Wronski 효과가 알려지게 되었다 [4]. 따라서 비정질 실리콘을 이용한 박막형 태양전지 개발에서는 이러한 Staebler-Wronski 효과를 최소화 하고자 하는 많은 노력들이 행해졌다. 이러한 연구들의 대부분은 결정질 실리콘 박막을 적용하려는 시도들이다. 그 중에서 비정질 실리콘을 증착한 후에 이를 열처리하여 결정질 실리콘을 얻는 방

a. Corresponding author: sykweon@cjnu.ac.kr

법 (solid-phase crystallization, SPC)은 결정질 실리콘 박막을 이용한 태양전지 제조 공정에서 일반적으로 이용되는 기술 중의 하나이다 [5,6]. 이러한 고상 결정화법을 적용하여 실리콘 태양전지를 제조하는 경우, 현재의 기술로는 약 10% 효율의 실리콘 박막 태양전지를 제작하고 있다 [7].

비정질 실리콘 박막은 일반적으로 화학기상 증착법 (plasma enhanced chemical vapor deposition, PECVD) 또는 전자빔 증발법 (e-beam evaporation) 등을 이용하여 증착한다 [8,9]. 화학기상 증착법의 증착 속도는 약 200 nm/min로 전자빔 증발법 (1,000 nm/min)에 비하여 느리지만 양질의 실리콘 박막을 증착하는 데는 유리하다. 따라서 일반적으로 비정질 실리콘 박막의 증착에는 화학기상 증착법을 이용한다 [6,8].

화학기상 증착법으로 제조된 비정질 실리콘은 후속 열처리 공정을 이용하여 결정질 실리콘으로 전환된다 [6,8]. 이 고상 결정화 법을 적용하여 실리콘 박막 태양전지를 제작하는 경우에는 열처리 온도 및 시간 등을 최적화시키는 것이 실리콘 결정의 품질을 향상시키고, 이를 통하여 고효율 태양전지를 제작하는 데 핵심 기술 중의 하나이다. 그런데 이 기술에서 문제점 중의 하나는 후속 열처리 공정을 통한 결정화 시간이 약 20시간 정도로 매우 길다는 것이다 [6,10]. 이를 개선하기 위해서 열처리 온도를 증가시키는 방법을 시도할 수 있지만, 열처리 온도를 증가시키면 결정화 시간은 단축시킬 수 있지만 실리콘 박막의 결정성이 나빠져서 태양전지 효율이 감소하는 문제가 발생한다. 따라서 본 연구에서는 이러한 문제점을 개선하고자 새로운 후속 열처리 공정을 고안하였다. 이러한 새로운 열처리 공정에서는 결정화를 위한 핵생성 단계와 입자 성장 단계를 구별하여 진행시켰다. 즉 핵생성을 위하여 주 (main) 결정화 열처리 공정에 비하여 다소 고온에서 진행되는 급속열처리 공정 (nucleation rapid thermal process, n-RTP)을 주 결정화 열처리 공정 전에 추가하였다. 이러한 비교적 고온에서 짧은 시간동안 진행되는 n-RTP 열처리 공정을 추가하여 태양전지 효율을 감소시키지 않고 총 결정화 열처리 공정 시간을 단축시키고자 하였다.

## 2. 실험 방법

그림 1은 본 실험에서 제작한 시편의 적층 구조를

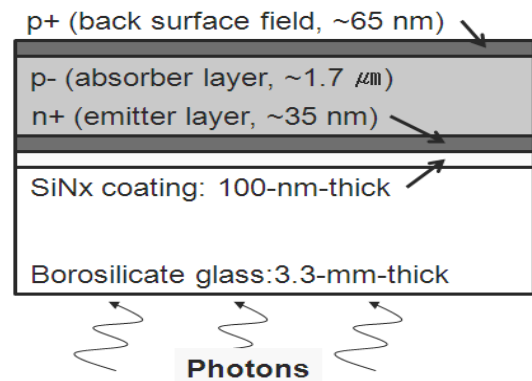


Fig. 1. Schematic diagram of a p-type poly-Si solar cell on a planar glass superstrate (layer thicknesses is not to scale).

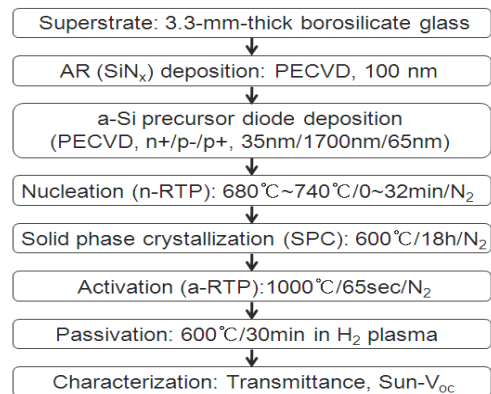


Fig. 2. Process sequence of the p-type poly-Si solar cell fabricated on a planar glass superstrate.

개략적으로 나타낸 것이고, 그림 2는 제작 공정의 순서 및 주요 공정 변수를 나타낸 것이다. 비정질 실리콘 박막은 100 nm 두께의 Si<sub>3</sub>N<sub>4</sub> (PECVD silicon nitride)가 코팅된 3.3 mm 두께의 평판 유리 (borosilicate glass, Borofloat33) 기판 위에 PECVD 공정을 이용하여 증착하였다. 본 실험에서 Si<sub>3</sub>N<sub>4</sub>/glass 기판 위에 증착한 비정질 실리콘의 최종 적층구조는 p+(65 nm)/p-(1.7 μm)/n+(35 nm)이고, 각각의 도핑 (doping) 농도는 p+(1.2×10<sup>20</sup>/cm<sup>3</sup>)/p-(2×10<sup>16</sup>/cm<sup>3</sup>)/n+(2×10<sup>19</sup>/cm<sup>3</sup>)이었다. p-형 및 n-형 반도체 형성을 위한 도핑에는 붕소 (boron, B) 및 인 (phosphorous, P)을 적용하였는데, PH<sub>3</sub>/SiH<sub>4</sub> 및 B<sub>2</sub>H<sub>6</sub>/SiH<sub>4</sub> 등의 혼합 가스를 이용하여 실리콘 박막 증착 중에 동시에 첨가되었다.

비정질 실리콘 박막 증착 후, 결정화를 위한 주 열처리 공정 전에 핵생성을 위하여 급속 열처리 (n-RTP) 공정을 수행하였다. 이 핵생성 열처리 공정은 질소 분위기에서 수행하였는데, 온도는 680°C~740°C 범위에서 변화시켰고, 열처리 시간은 2분~32분 범위에서 변화시켰다. 급속 열처리 후에 일반 열처리 공정 (box furnace)을 이용하여 600°C에서 18시간 동안 열처리하였다. 완전히 결정화된 시편은 도핑 원소들을 활성화시키기 위하여 다시 질소 분위기에서 1,000°C/65 sec/N<sub>2</sub>의 공정 조건으로 급속 열처리하였다. 그 다음에 희석된 불산 (4.9% HF in H<sub>2</sub>O)을 이용하여 표면에 형성된 유리질 층 (phosphor-silicate glass, PSG)을 제거하고, 미 결합 실리콘의 전자 결합을 제거하기 위해서 수소 플라즈마 처리를 650°C에서 30분 동안 처리하여 최종 시편을 제작하였다.

제작된 시편에서, 실리콘 박막의 결정성을 평가하기 위해서 Raman spectroscopy, UV/VIS/IR spectroscopy, XRD (x-ray diffraction), and SEM (scanning electron microscopy) 등을 이용하여 분석하였고, 전기적 특성은 1Sun-V<sub>oc</sub>를 측정하여 평가하였다. 여기에서 V<sub>oc</sub>는 시편의 일부를 불산 (HF)을 기본으로 하는 용액으로 습식 에칭하여 하부 전극 (n+ 층)을 노출시키고, 솔라 시뮬레이터 (solar simulator)를 이용하여 측정하였다 [6].

### 3. 결과 및 고찰

고상 결정화 (solid-phase crystallization, SPC) 법의 공정 시간을 단축시키기 위해서는 비정질 실리콘 (a-Si)의 결정화 거동을 이해하는 것은 반드시 필요하다. 그림 3은 SPC 공정 온도가 600°C인 경우에서 열처리 시간에 따른 XRD 회절선 강도의 변화를 보여주고 있다. 비정질 실리콘을 결정화시키면 3개의 주요 회절선이 나타나는데 [11], 각각의 회절 각도(2θ)는 28.4°, 47.3°, 56.2°이고, 각각의 면 지수는 (111), (220), (311)이다. 각각의 회절선의 강도는 비정질 실리콘의 결정화가 진행됨에 따라서 증가하게 된다. 따라서 각각의 회절선의 강도를 종합하여 다음과 같은 공식으로 표준화를 하면 비정질 실리콘의 열처리에 따른 결정화도 (Q<sub>XRD</sub>)를 정량화할 수 있다.

$$Q_{XRD} = \frac{\sum_{hkl} I_{hkl}^s}{\sum_{hkl} I_{hkl}^r} \times 100 (\%) \quad (1)$$

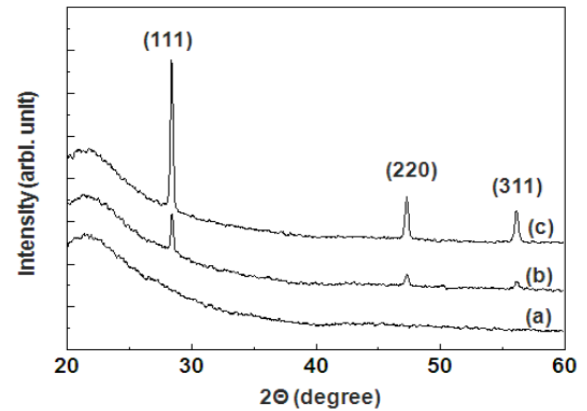


Fig. 3. XRD spectrum varied with the SPC annealing time: (a) as-deposited a-Si, (b) 8 hours at 600°C, (c) 24 hours at 600°C.

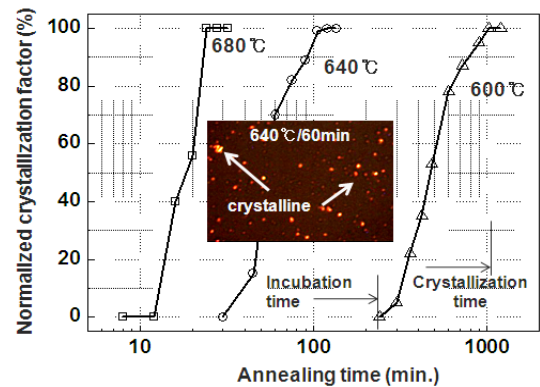


Fig. 4. Normalized crystallization factors calculated from the XRD spectra as a function of the annealing time at various SPC temperatures of 600°C, 640°C, and 680°C.

여기서  $I_{hkl}^s$ 은 각 열처리 조건으로 결정화시킨 시편의 XRD 스펙트럼에서, 각 면지수의 회절선 강도를 나타내고 있다. 또  $I_{hkl}^r$ 은 완전히 결정화된 시편의 XRD 스펙트럼에서, 각 면지수의 회절선 강도를 나타낸다.

그림 4는 여러 SPC 온도(600°C, 640°C, 680°C)에서 열처리 시간에 따른 결정화 시간을 보여주고 있다. 이 실험 결과는 그림 3에서 보여주고 있는 XRD 회절선을 이용하여 계산한 것이다. 즉, SPC 온도가 600°C인 경우에는 24시간 열처리 한 후의 시편을 완전히 결정화된 표준 시편으로 결정하였고, 640°C에서 열처리하는 경우에는 150분을 열처리한 시편을 표준으로 삼았다. 또 680°C에서 열처리하는 경우에는 32분을 열

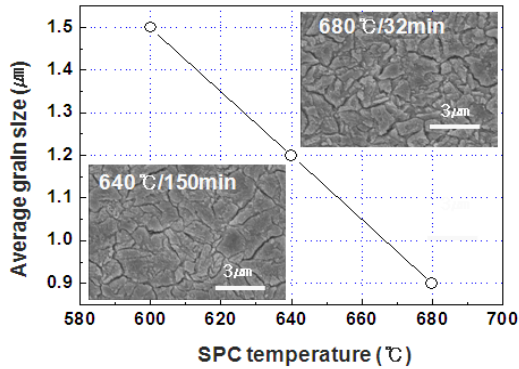


Fig. 5. Average gran size evaluated with the inlet SEM images as a function of the SPC temperature.

처리한 시편을 표준으로 이용하였다.

광학 투과현미경 (optical transmission microscope, OTM)으로 결정화가 진행 중인 시편을 관찰하면, 비정질 실리콘은 불투명하고 결정질 실리콘은 상대적으로 매우 투명하기 때문에 결정핵이 생성된 부분이 밝은 색으로 쉽고 명확하게 확인할 수 있다. 그림 4에 640°C에서 60분 동안 열처리한 시편에서 촬영한 광학 투과현미경 사진 한 장 (이미지 크기: 73×55 μm<sup>2</sup>, 배율: 50배)을 삽입해 놓았는데, 밝은 점들을 쉽게 확인할 수 있다. 이러한 관찰로부터 PECVD 법으로 증착한 비정질 실리콘의 결정핵은 매우 불규칙적으로 시편 전체에 골고루 분포함을 알 수 있다.

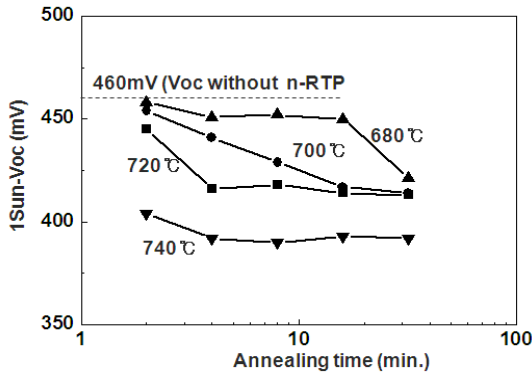
그림 4에서 결정핵이 생성되기 전의 잠복기 (incubation time)는 SPC 온도가 600°C, 640°C, 680°C로 증가함에 따라서 각각 270분, 30분, 12분으로 급격히 감소함을 관찰할 수 있다. 결정화가 완전히 끝나는 시간도 결정화 온도가 증가함에 따라서 600°C의 경우에는 17시간, 640°C의 경우에는 2시간, 680°C의 경우에는 32분으로 급격히 감소함을 확인할 수 있었다. 그런데, 결정화가 완전히 끝난 시편에서 측정된 1Sun-V<sub>oc</sub>의 값은 600°C의 경우는 460 mV, 640°C의 경우는 450 mV, 680°C의 경우에는 420 mV 등으로 SPC 온도가 증가함에 따라서 감소하는 경향을 보였다. 이러한 SPC 온도 상승에 따른 전기적 특성 열화 경향은 양자 효율 (external quantum efficiency, EQE) 측정 결과에서도 확인할 수 있었다. 즉, 빛의 파장이 410 nm인 경우에서의 양자 효율은 600°C의 경우는 67%, 640°C의 경우는 66%, 680°C의 경우에는 63% 등으로 SPC 온도가 증가함에 따라서 감소하는

경향을 보였다.

그림 5는 결정화가 완료된 시편들의 표면을 Secco (HF: 0.15M K<sub>2</sub>Cr<sub>2</sub>O<sub>7</sub>=2:1) 습식 에칭 액으로 에칭하여 결정의 크기 및 결정 입계의 형상을 관찰한 실험 결과이다. 도표 내에 삽입한 SEM 사진으로부터 계산한 평균 입자 크기는 600°C, 640°C, 680°C에서 각각 1.5 μm, 1.2 μm, 0.9 μm로 SPC 온도가 증가함에 따라서 점점 감소함을 관찰할 수 있었다. 이러한 결과는 결정화 온도가 높을수록 결정성이 불량한 입계가 늘어나고, 이는 결정화된 실리콘 박막의 전기적 특성을 퇴화시키는 결정적인 요인이라고 판단된다.

따라서 본 연구에서는 전기적 특성의 퇴화가 없으면서 SPC 결정화 시간을 단축할 가능성을 찾고자 하였다. 그림 4의 결정화 거동으로부터, 결정핵이 생성되기 이전의 잠복기만 고온 공정을 도입하고 결정 성장 동안에는 저온에서 결정화를 진행하면 전기적 특성의 열화 없이 SPC 공정 시간을 단축할 가능성이 있을 것으로 기대되었다. 잠복기 또는 핵생성 초기까지의 열처리는 급속열처리공정 (RTP)을 적용하였고, 이 공정을 핵생성 공정이라는 의미에서 n-RTP라 명명하였다. 이 n-RTP 공정은 주 (main) SPC 공정보다 높은 온도인 680°C~740°C 범위에서 수행하였고, 열처리 시간은 2분에서 32분으로 비교적 짧은 시간 범위에서 변화시키면서 실험하였다.

그림 6은 각 n-RTP 열처리 온도에서 열처리 시간을 다양한 조건으로 변화시키면서 시편을 제작한 다음, H<sub>2</sub>/Ar 플라즈마로 부동화 (passivation) 처리까지 수행한 후에 측정된 1Sun-V<sub>oc</sub> 변화 경향을 보여주고 있다. V<sub>oc</sub> 값은 n-RTP 온도가 높아지고 열처리 시간이 길어짐에 따라서 점점 감소하는 것을 확인할 수 있었다. 그런데 n-RTP 온도가 680°C인 경우에는 n-RTP 열처리 시간이 15분까지 증가하여도 최종 1Sun-V<sub>oc</sub> 값은 450 mV로 거의 변화가 없고, 열처리 시간이 32분으로 길어지면 V<sub>oc</sub> 값은 420 mV로 급격히 감소하는 것을 관찰할 수 있었다. 680°C에서의 15분의 n-RTP 열처리 조건은 그림 4의 680°C 열처리 온도에서 잠복기에 해당하는 것을 확인할 수 있다. 이러한 결과로부터, SPC 공정에서 잠복기의 경우에는 본 결정화 공정보다 좀 더 고온으로 진행하여도 전기적 특성의 열화가 거의 발생하지 않음을 알 수 있다. 즉 본 SPC 공정을 600°C로 진행할 경우에 n-RTP 공정을 680°C에서 15분 동안 진행한 후에 본 공정을 행하면 SPC 공정을 4시간 이상 줄일 수 있을 것이다.

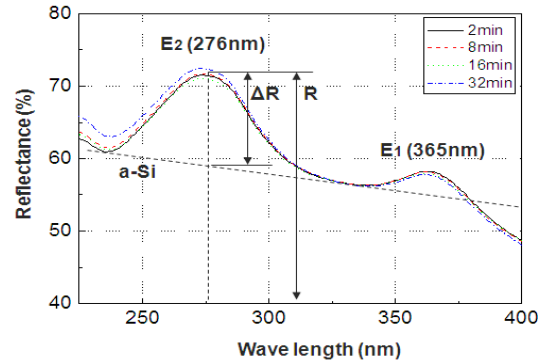


**Fig. 6.** The 1Sun- $V_{oc}$  variation as a function of the n-RTP time at various n-RTP temperatures. It was measured after the passivation with the  $H_2/Ar$  remote plasma treatment.

본 실험에서 n-RTP 온도를 680°C에서 15분 동안 진행한 후 SPC 공정을 600°C로 진행할 경우의  $V_{oc}$  값은 약 450 mV로 n-RTP 공정 없이 SPC를 640°C로 진행할 경우와 유사한 값을 보이고 있다. 따라서 향후에는 어느 공정이 태양전지 효율에 유리한지를 추가적으로 정밀 분석할 필요가 있다.

n-RTP 온도 및 시간이 증가함에 따라서 실리콘 박막의 전기적 특성이 퇴화되는 현상은 박막의 결정성의 퇴화와 밀접한 연관성이 있을 것이다. 따라서 본 연구에서는 이러한 연관성을 여러 가지 분석 방법들을 이용하여 명확히 하고자 하였다. 여러 가지 분석 장비들을 이용하여 결정화된 실리콘 박막의 결정화도 (degree of crystallinity)를 평가하였다.

먼저 비정질 실리콘 박막의 결정화도를 평가하는 가장 일반적인 방법인 UV (빛의 파장: 200 nm~400 nm) 반사도를 측정하여 실리콘 박막의 결정화도를 평가하였다 [6]. 이 평가 방법은 평가 시간이 빠르고, 비파괴적이며, 수  $cm^2$  정도의 넓은 조사 면적으로 인한 재현성이 뛰어난 등의 장점이 있어서 가장 일반적으로 이용되는 평가 방법이다. 그림 7은 n-RTP 온도가 680°C인 경우의 시편들에서 열처리 시간을 변화시키면서 시편을 제작한 후, 이후의 공정은 그림 2의 기본 실험 조건으로 부동화 (passivation) 처리까지 완료한 시편들의 UV 반사도 측정 결과이다. UV 반사 스펙트럼은 비정질 실리콘의 경우에는 피크가 존재하지 않는 평평한 변화 경향을 보이는 반면에, 결

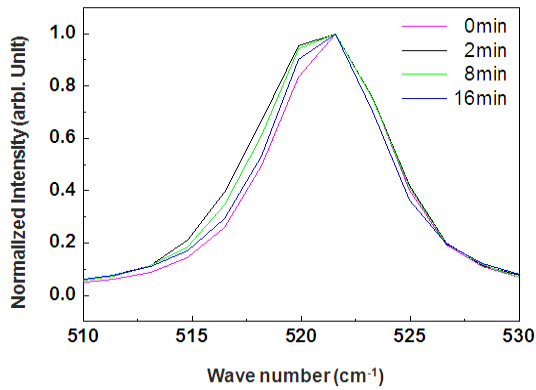


**Fig. 7.** UV reflectance spectrums analyzed to compare the degree of crystallinity in the crystallized Si thin films. The n-RTP temperature for the samples was 680°C and the process time was varied in the range of 2~32 minutes.

정화가 진행되면 빛의 파장이 365 nm ( $E_1$  peak)와 276 nm ( $E_2$  peak)에서 반사도가 증가하는 피크가 나타난다 [6]. 따라서 이러한 피크의 강도를 이용하면 다음과 같이 실리콘 박막의 결정화도( $Q_{UV}$ )를 정량적으로 나타낼 수 있다.

$$Q_{UV} = \frac{(\Delta R/R)_{sam}}{(\Delta R/R)_{ref}} \times 100 (\%) \quad (2)$$

여기서  $(\Delta R/R)_{sam}$ 은 그림 7의 각 실험 조건에서 제작된 시편에서 빛의 파장이 276 nm인 위치에서 나타나는  $E_2$  피크의 반사도를 표준화한 것이다. 또  $(\Delta R/R)_{ref}$ 는 실리콘 단결정에서 얻은 반사도 스펙트럼에서 계산한 기준 값인데, 본 연구에서는 이 100% 결정화 실리콘 값으로 0.172 적용하였다. 즉  $Q_{UV}$  값이 0%이면 완전 비정질 실리콘을 의미하고, 100%이면 완전 결정화를 의미한다. 당연히 높은  $Q_{UV}$  값은 실리콘 필름의 결정성이 향상되었음을 의미한다. 그런데, n-RTP 온도가 680°C인 경우에서 UV 반사 스펙트럼을 측정하고 이를 이용하여 계산한  $Q_{UV}$  값은 열처리 시간에 따른 결정화 경향의 규칙성을 확인할 수가 없었다. 이러한 실험 결과로부터 실리콘 박막의 미세한 결정성 차이는 이러한 UV 반사도 측정법으로는 확인할 수 없음을 알 수 있다. 이러한 현상은 실리콘 박막에서 자외선 (UV)의 강한 흡수 계수

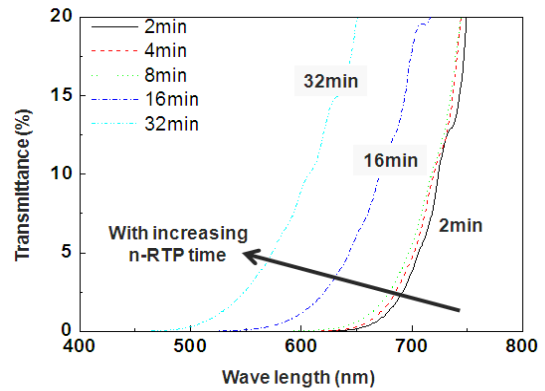


**Fig. 8.** Raman peak shift analyzed to compare the degree of crystallinity in the crystallized Si thin films. The n-RTP temperature for the samples was 680°C and the process time was varied in the range of 0~16 minutes.

와 관련이 있을 것이다. 자외선의 실리콘 박막에서의 흡수는 거의 100 nm 이내에서 전부 일어난다. 즉 실리콘 표면에서의 자외선 반사 스펙트럼은 거의 100 nm 두께 정도의 표면 정보만을 보여주게 되어 [6], 2 μm 정도의 두께를 갖는 실리콘 박막 전체의 결정성에 대한 정보를 보여주지 못하게 됨을 알 수 있다.

Raman 분석법도 실리콘 박막의 결정화도를 평가하는데 일반적으로 이용되는 범용 기술이다 [6,11,12]. Raman 분석법으로 결정질 실리콘을 분석하면 횡과광 (transverse optical, TO) 모드의 피크가 520 cm⁻¹에서 나타난다. 또 비정질 실리콘에서는 이 피크가 480 cm⁻¹에서 나타나고, 그 피크의 반치폭 (full width half maximum, FWHM)도 매우 넓어지는 경향을 보인다 [12]. 따라서 TO 모드의 피크 위치 및 반가폭을 정밀하게 분석하면 결정화도를 정량적으로 평가할 수 있다. 그림 8은 이러한 Raman 분석 결과를 보여주고 있는데, n-RTP 공정의 열처리 시간에 따른 경향성을 발견할 수가 없었다. 이러한 실험 결과는 라만 분석법의 분석 면적이 직경 5 μm 정도로 매우 좁기 때문에 나타나는 현상으로 이해된다. 즉 넓은 시편의 평균적인 정보를 제공하지 못하고, 국부적인 결정성 정도를 보여주는 한계를 갖는 것이다.

따라서 본 연구에서는 실리콘 박막의 미세한 결정화도 차이를 확인할 수 있는 새로운 분석 방법을 찾아보았다. 그림 9는 400 nm~800 nm 파장 범위인 가시광선 영역 (visible light, VIR)에서 측정된 투과도



**Fig. 9.** The transmittance analysis in the wave length range of visible light. The n-RTP temperature for the samples was 680°C and the process time was varied in the range of 2~32 minutes.

(transmittance, T) 측정 결과이다. 측정된 시편의 n-RTP 온도는 680°C이고, 핵생성을 위한 n-RTP 시간은 2분에서 32분까지 변화시켰다. 그림에서 볼 수 있듯이 n-RTP 열처리 시간이 증가함에 따라서 투과도가 증가하는 경향이 매우 뚜렷하게 관찰되고 있다. 특히 8분까지는 투과도의 변화가 거의 없는데, 16분 이후에는 투과도가 급격히 증가하는 것을 관찰할 수 있다. 이는 그림 6의 1Sun-Voc의 전기적 특성 변화와도 잘 일치하고 있다. 본 실험 결과로부터, 열처리 시간 및 온도가 증가함에 따른 전기적 특성의 열화 현상이 결정화된 실리콘 박막의 미세구조 변화와 매우 밀접한 관련이 있음을 알 수 있다. 가시광선 영역에서의 열처리 시간에 따른 투과도의 변화는 그림 10(b)의 SEM 평면 사진과 그림 10(a), (c) 및 (d)의 개략도와 같이 설명될 수 있다. 즉 열처리 온도가 높아지고, 고온에서의 열처리 시간이 길어지면, 비정질 실리콘 내의 핵생성 자리를 더 많이 만들게 된다 [13,14]. 따라서 열처리 후의 실리콘 박막의 입자 크기는 줄어들게 되고, 그림 10(b)에서 관찰되는 입계 (grain boundary) 또는 미세 균열 (micro-crack)의 양이 이에 비례하여 증가하게 된다. 이는 결국 가시광선 영역의 투과도를 증가시키는 결과를 보일 것이다.

이러한 결정성 차이는 매우 미세한 수준이어서 UV 반사도 및 Raman 분석법 등의 일반적인 분석 방법에서는 그 차이를 확인할 수 없었다. 그런데 가시광선 영역에서의 투과도 분석에서는 그 경향성이 매우 뚜

렷하게 관찰되었다. 이러한 이유는 다음 식 (3)의 투과도와 시편의 흡수계수와의 관계를 고찰해 보면 알 수 있다 [15].

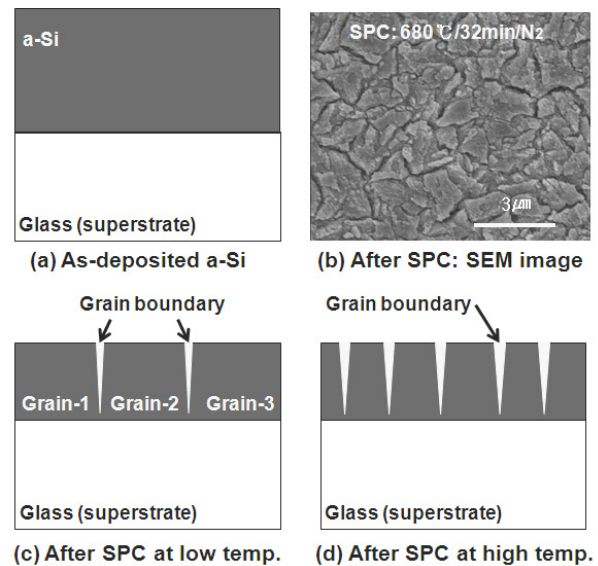
$$T = (1 - R) \cdot \exp(-\alpha \cdot t) \quad (3)$$

위 식에서 T는 투과도를 나타내고, R은 반사도를 나타낸다. 또  $\alpha$ 는 빛의 흡수계수를 나타내고,  $t$ 는 시편의 두께를 나타낸다. 박막의 결정성의 미세한 변화는 실리콘 박막에서 가시광선의 흡수계수에 미세한 변화를 주게 되는데, 이러한 흡수계수의 미세한 변화는 지수함수 적으로 증폭되어 투과도의 큰 차이를 만들게 된다. 이러한 이유로 투과도 실험에서만 실리콘 박막의 미세한 결정화도를 정확하게 평가할 수 있음을 알 수 있다.

위 식(3)에서 보면 시편의 두께에 따라서도 투과도에 영향을 미칠 수 있다. 그런데, SEM을 이용하여 열처리 후의 시편 두께를 측정 한 결과 열처리 조건에 관계없이 시편의 두께는 열처리 전의 1.8  $\mu\text{m}$ 에서 1.5  $\mu\text{m}$ 로 거의 일정하게 감소함을 확인할 수 있었다. 이러한 결과로부터 최종 열처리 후의 두께는 n-RTP 온도와 관계없이 SPC 열처리 공정 조건에 의해서 결정됨을 알 수 있었다. 따라서 시편의 두께에 의한 투과도의 영향은 거의 미비한 것으로 판단되었다.

#### 4. 결론

본 연구에서는 실리콘 박막 증착 후에 수행하는 결정화 열처리 공정을 최적화하여 실리콘 박막을 이용한 태양전지 제조 공정을 개선시키고자 하였다. 후속 열처리 공정에서 본 열처리 공정 전에 핵생성 결정화 공정을 추가하여 고온 열처리 가능성을 확인하였다. 680 $^{\circ}\text{C}$ 로 핵생성 열처리 공정을 진행하는 경우에는 16분까지는 개방전압에 큰 영향을 미치지 않았다. 따라서 이렇게 고온에서 핵생성 열처리 공정을 진행하고, 본 열처리 공정을 저온인 600 $^{\circ}\text{C}$ 로 진행하면 태양전지의 최종 전기적 특성의 열화 현상을 피하면서 공정 시간을 획기적으로 줄일 수 있음을 확인할 수 있었다.



**Fig. 10.** The schematic drawings of the Si thin film structure: (a) as-deposited a-Si thin film, (b) SEM image observed on the sample surface after SPC process at 680 $^{\circ}\text{C}$ /32 min/ $\text{N}_2$ , (c) crystallized Si thin film after SPC process at low temperature, (d) crystallized Si thin film after SPC process at high temperature.

#### 감사의 글

본 연구는 지식경제부의 지역혁신센터사업(RIC)의 지원으로 수행된 연구결과입니다.

#### REFERENCES

- [1] S. S. Kim, D. G. Lim, D. Y. Kim, J. M. Kim, C. Y. Won, and J. Yi, *J. KIEEME*, **10**, 1034 (1997).
- [2] H. Y. Kwon, J. D. Lee, M. J. Kim, and S. H. Lee, *J. KIEEME*, **23**, 571 (2010).
- [3] D. E. Carlson and C. R. Wronski, *Appl. Phys. Lett.*, **29**, 602 (1976).
- [4] D. I. Staebler and C. R. Wronski, *Appl. Phys. Lett.*, **31**, 292 (1977).
- [5] T. Matsuyama, M. Taguchi, M. Tanaka, T. Matsuoka, S. Tsuda, S. Nakano, and Y. Kuwano, *Jpn. J. Appl. Phys.*, **29**, 2690 (1990).
- [6] A. G. Aberle, *Thin Solid Films*, **26**, 511 (2006).
- [7] M. A. Green, K. Emery, Y. Hishikawa, and W. Warta,

- Prog. Photovolt: Res. Appl.*, **17**, 320 (2009).
- [8] G. Jin, P. I. Widenborg, P. Campbell, and S. Varlamov, *Prog. Photovolt: Res. Appl.*, **18**, 1 (2010).
- [9] O. Kunz, Z. Ouyang, S. Varlamov, and A. G. Aberle, *Prog. Photovolt: Res. Appl.*, **17**, 567 (2009).
- [10] O. Kunz, J. Wong, J. Janssens, J. Bauer, O. Breitenstein, and A. G. Aberle, *Prog. Photovolt: Res. Appl.*, **17**, 35 (2009).
- [11] J. K. Saha, N. Ohse, K. Hamada, H. Matsui, T. Kobayashi, H. Jia, and H. Shirai, *Sol. Energy Mater. Sol. Cells*, **94**, 524 (2010).
- [12] B. S. Richards, A. Lambertz, and A. B. Sproul, *Thin Solid Films*, **460**, 247 (2004).
- [13] M. Moniwa, K. Kusakawa, M. Ohkura, and E. Takeda, *Jpn. J. Appl. Phys.*, **32**, 312 (1993).
- [14] C. Spinella, S. Lombardo, and F. Priolo, *J. Appl. Phys.*, **84**, 5383 (1998).
- [15] Z. Ouyang, *Ph. D. Thesis* (The University of New South Wales, Sydney, 2011) p.101.