

## 게이트 절연막의 표면처리에 의한 비정질 인듐갈륨징크옥사이드 박막트랜지스터의 계면 상태 조절

김보슬<sup>1,2</sup>, 김도형<sup>1,3</sup>, 이상렬<sup>1,2,a</sup>

<sup>1</sup> 한국과학기술연구원 전자재료연구센터

<sup>2</sup> 과학기술연합대학원대학교 나노전자소자공학과

<sup>3</sup> 동국대학교 물리학과

## Interface State Control of Amorphous InGaZnO Thin Film Transistor by Surface Treatment of Gate Insulator

BoSul Kim<sup>1,2</sup>, Do Hyung Kim<sup>1,3</sup>, and Sang Yeol Lee<sup>1,2,a</sup>

<sup>1</sup> Electronic Materials Center, Material Science and Technology Research Division, Korea Institute of Science and Technology, Seoul 136-791, Korea

<sup>2</sup> Nanoelectronics, University of Science & Technology, Daejeon 305-350, Korea

<sup>3</sup> Department of Physics, University of Dongguk, Seoul 100-715, Korea

(Received March 14, 2011; Revised July 11, 2011; Accepted August 1, 2011)

**Abstract:** Recently, amorphous oxide semiconductors (AOSs) based thin-film transistors (TFTs) have received considerable attention for application in the next generation displays industry. The research trends of AOSs based TFTs investigation have focused on the high device performance. The electrical properties of the TFTs are influenced by trap density. In particular, the threshold voltage ( $V_{th}$ ) and subthreshold swing (SS) essentially depend on the semiconductor/gate-insulator interface trap. In this article, we investigated the effects of Ar plasma-treated  $\text{SiO}_2$  insulator on the interfacial property and the device performances of amorphous indium gallium zinc oxide (a-IGZO) TFTs. We report on the improvement in interfacial characteristics between a-IGZO channel layer and gate insulator depending on Ar power in plasma process, since the change of treatment power could result in different plasma damage on the interface.

**Keywords:** a-IGZO, Amorphous oxide semiconductor, Surface treatment, Transistor, Total trap density

### 1. 서론

기존의 실리콘(Si)을 기반으로 한 박막 트랜지스터의 이동도가  $1 \text{ cm}^2/\text{V s}$  이상을 넘지 못하는 기술적 한계에 도달함에 따라 산화물 반도체, 특히 ZnO를 바

탕으로 한 재료의 개발이 활발히 이루어지고 있다 [1,2]. ZnO의 넓은 광학적 밴드 갭 ( $>3.5 \text{ eV}$ )은 높은 투과율과 도핑 (doping) 물질에 따라 전극 (electrode) 부터 인슐레이터 (insulator)까지 차세대 디스플레이에서 요구하는 광범위한 전기 전도성 ( $10^{10} \sim 10^{-4} \Omega \text{ cm}$ )을 만족시키는 특성 때문에 차세대 투명디스플레이

a. Corresponding author: [lsy@kist.re.kr](mailto:lsy@kist.re.kr)

이 소자로 주목받고 있다 [3]. 특히 인듐과 갈륨(In-Ga)을 합성한 사성분계 (quaternary)계인 a-IGZO는 박막 트랜지스터(thin film transistor, TFT)의 채널(channel)층으로써 많은 연구가 이루어져 그 상업화를 눈앞에 두고 있다 [4]. 또한 a-IGZO 박막트랜지스터의 다양한 공정 조건에 따른 전기적 특성 변화와 그에 따른 트랜지스터 특성에 미치는 역할까지 연구가 이루어져 왔다 [5,6].

하지만, 게이트 절연막과 채널층 사이의 표면특성을 향상시켜 더욱 좋은 특성의 트랜지스터를 구현하는 연구는 다소 부족한 실정이다 [7]. 특히 이 논문에서는 모든 조건을 동일하게 하고 게이트 절연막에 Ar 플라즈마 처리를 통하여 계면의 특성에 따른 트랜지스터의 전기적 특성을 규명해보고자 한다.

## 2. 실험 방법

본 실험에서 사용된 기판은 p 타입 실리콘 기판에 게이트 인슐레이터 (gate insulator)로써 100 nm 두께의 SiO<sub>2</sub> 절연막을 플라즈마 강화 화학기상 증착법(plasma enhanced chemical vapor deposition, PECVD)으로 증착하여 사용하였다. 증착방법 및 표면처리 공정은 산화물 반도체의 이온화를 촉진시키는데 유리한 RF 방전에 의한 스퍼터링 (rf-sputtering)방법을 사용하였다. 특히 낮은 압력에서 공정을 하기 위해서 플라즈마 밀도를 높여주는 자기 유도를 통한 방법인 rf-magnetron sputter공정을 통해서 보다 대면적 디스플레이에 적용 시, 양산 가능하고 방전을 유지할 수 있도록 하였다 [8]. 게이트 절연막 위의 플라즈마 표면처리는 50 sccm의 Ar 분위기에서 공정 압력 20 mTorr로 각각, 20 W, 25 W, 30 W의 power 별로 2분 간 시행하였다. 채널층은 2인치 a-IGZO 타겟(In:Ga:Zn= 1:1:1)을 사용하여, Ar 분위기로 공정 압력 3 mTorr, 30 sccm에서, 30 W의 power로 상온에서 증착하였다. 트랜지스터 채널 길이는 100  $\mu$ m, 채널 폭은 50  $\mu$ m로 하여 그림 1에 도식화하였다.

채널 형성은 일반적인 포토 리소그래피 방법과 HCl 1%를 이용한 에칭공정으로 형성하였으며, 소스와 드레인 전극은 10 nm 두께의 Ti과 60 nm 두께의 Au를 각각 e-beam evaporation와 thermal evaporation 방식으로 증착하여, 전극 패턴을 lift-off 방식으로 형성하였다. 박막 특성의 안정화와 전극과의 접촉 특성의 향상을 위해 제작된 a-IGZO 박막 트랜지스터를 1시간

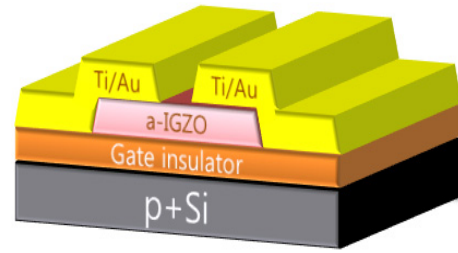


Fig. 1. A schematic of the a-IGZO TFT structure.

동안 질소 분위기에서 350°C로 후열처리를 실시하였다. 트랜지스터의 전기적 특성은 semiconductor parameter analyzer (HP 4145B)를 이용하여 상온에서 측정하였다.

## 3. 결과 및 고찰

a-IGZO 박막의 비정질 구조는 이미 다양한 논문에서 SEM (scanning electron microscope), TEM (transmission electron microscope)과 XRD (x-ray diffraction)등을 이용하여 확인되었다. 특히 스퍼터법으로 증착한 a-IGZO 박막의 분석에 대해서는 Ref. [8]에서 심도있게 연구되었다. 또한 flexible 기판에서는 a-IGZO박막의 특성도 많은 연구가 이루어졌다 [9]. 만일, 결정을 가지는 a-IGZO 박막일 경우 grain shape와 grain size가 트랜지스터의 특성의 변화에 영향을 미치지만 비정질 구조의 박막 특성에서는 그에 대한 변수는 고려하지 않는다 [10,11].

그림 2는 대표적인 박막 트랜지스터의 전기적 특성인 transfer curve를 10 V의 드레인 전압 (drain voltage)에서 표면처리 power에 따라 나타낸 것이다.

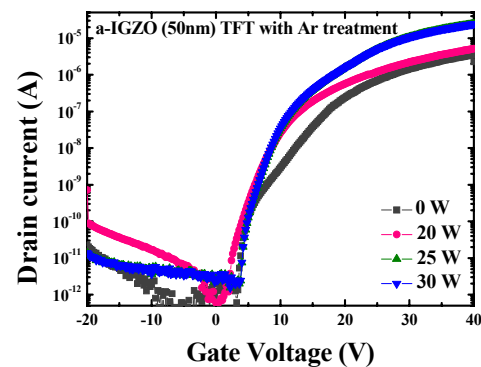


Fig. 2. Transfer characteristics of IGZO - TFTs with various Ar treatment time.

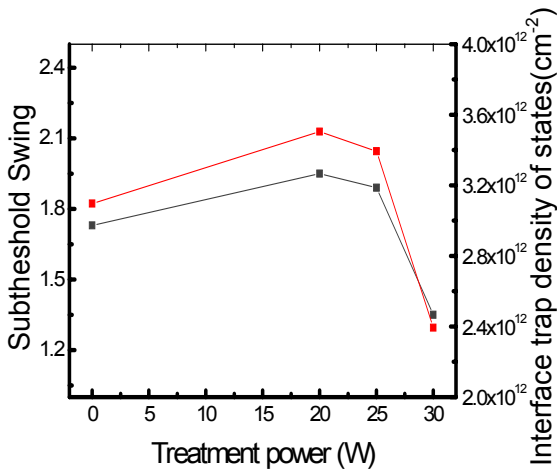


Fig. 3. Subthreshold swing and Interface trap density of IGZO - TFTs with various Ar treatment power.

이 SS의 변화는 그림 3에서 좀 더 보기 쉽게 그렸다.  $I_{on}/I_{off}$  비는  $\sim 10^6$ , On-current 값은  $10^{-6}$  이상 그리고, 문턱전압은 power가 증가할수록 양의 방향으로 변하는 경향을 가지고 있었다.

즉, Ar 플라즈마 처리에 의한 게이트 절연막 표면의 변화는 SS 값에 영향을 미치며, 실험을 통해서 표면특성은 30 W에서 가장 향상되었다. 또한 식 1을 이용하여 SS의 값에 의해 결정되는 최대 계면 trap density를 계산하여 보았다.

$$N_{it,max} = \left( \frac{SS \log(e)}{kT/q} - 1 \right) \frac{C_i}{q} \quad (1)$$

이 값은 계면에 존재하는 defect의 최대 값을 나타내며, 계면의 존재하는 defect의 경우 박막트랜지스터의 큰 영향을 준다 [12].

더욱 정확한 데이터 분석을 위해 표면 처리된 a-IGZO 박막트랜지스터의 전기적 특성을 표 1에서 나타내었다.

이는 power가 증가하면 절연막 (SiO<sub>2</sub>) 표면에 불안정한 결합 (bonding)이 제거되어 게이트 절연막과 채널사이의 계면 trap을 줄여주는 효과가 발생하므로 SS가 향상된 것을 확인하였다. 하지만 그 이상의 파워를 가해주게 되면 오히려 게이트 절연막의 표면에 심한 손상을 주어 채널층과의 계면에 있는 defect을 더욱 증가시켜 전기적 특성이 나빠지는 결과가 나왔다.

Table 1. The properties of a-IGZO TFTs depending on treatment power.

	$I_{on}/I_{off}$	$u_{FE}$	SS	$V_{th}$	$V_{off}$	$N_{it}$
No treatment	$5.83 \times 10^6$	3.2	1.73	13.7	3.2	$3.09 \times 10^{12}$
20 W	$1.42 \times 10^6$	0.73	1.95	12.3	1.4	$3.50 \times 10^{12}$
25 W	$6.57 \times 10^5$	3.42	1.89	12.9	2.8	$3.39 \times 10^{12}$
30 W	$2.60 \times 10^6$	1.6	1.35	11.4	3.4	$2.39 \times 10^{12}$

#### 4. 결론

차세대 디스플레이 구현을 위한, 산화물 반도체 박막트랜지스터는 디바이스로 구현 시 대면적 디스플레이 적용이 용이하고, 투명한 디바이스를 구현할 수 있다는 장점이 있다 [13]. 특히 a-IGZO는 높은 이동도와 신뢰성있는 소자로 인정받고 있으며, 산화물 반도체 소자 중에서도 큰 관심을 받고 있다. 하지만 채널층인 a-IGZO와 게이트 절연막 사이의 계면특성이 소자의 사양에 어떤 영향을 미쳤는지에 대한 연구는 부족하다. 따라서 이 논문에서는 다양한 power에서의 a-IGZO 채널층과 게이트 절연막 사이의 표면처리를 이용한 전기적 특성변화를 관찰하였다. 그 중에서도 디바이스의 계면 trap density에 영향을 주는 SS 값의 변화를 관찰하여, 30 W에서 가장 좋은 계면 특성을 가지는 것을 확인하였다. 게이트 절연막의 power가 적절히 증가하였을 때는 SS 값이 향상되었으며, 이에 따라 표면 trap density는 감소하였다. 이 현상은 표면처리를 통해 Ar 이온들이 게이트 절연막 층의 Si과 O의 불안정한 결합을 끊어주어 계면특성을 더욱 향상시킨 것으로 예상된다. 이는 즉 우수한 특성의 a-IGZO 박막 트랜지스터를 구현하기 위해서는 적절한 계면처리를 이용하여 전기적 특성을 향상시키는 방향으로 연구 개발이 진행돼야 한다는 것을 의미한다.

#### 감사의 글

This work is supported by the core competency project from KIST.

## REFERENCES

- [1] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, *Nature*, **432**, 488 (2004).
- [2] K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, *Science*, **23**, 1269 (2003).
- [3] J. S. Park, K. S. Kim, Y. G. Park, Y. G. Mo, H. D. Kim, and J. K. Jeong, *Adv. Mater.*, **21**, 329.
- [4] E. G. Chong, S. H. Kim, and S. Y. Lee, *Appl. Phys. Lett.*, **97**, 252112 (2010).
- [5] E. G. Chong, Y. S. Chun, and S. Y. Lee, *Appl. Phys. Lett.*, **97**, 102102 (2010).
- [6] E. G. Chong, Y. S. Chun, and S. Y. Lee, *Electrochem. Solid State Lett.*, **14**, 96 (2011).
- [7] M. Furuta, T. Nakanishi, M. Kimura, T. Hiramatsu, T. Matsuda, H. Furuta, T. Kawaharamura, C. Li, and T. Hirao, *Electrochem. Solid State Lett.*, **13**, 101 (2010).
- [8] Y. K. Moon, S. Lee, D. H. Kim, D. H. Lee, C. O. Jeong, and J. W. Park, *Jpn. J. Appl. Phys.*, **48**, 031301 (2009).
- [9] K. Nomura, A. Takagi, T. Kamiya, H. OHTA, M. Hirano, and H. Hosono, *J. Appl. Phys.*, **45**, 5 (2006).
- [10] S. Y. Lee, Y. W. Song, and S. P. Chang, *J. IEEK*, **35**, 60 (2008).
- [11] Y. Orikasa, M. Hayashi, and S. Muranaka, *J. Appl. Phys.*, **103**, 113703 (2008).
- [12] M. K. Ryu, S. Yang, S. H. K. Park, C. S. Hwang, and J. K. Jeong, *Appl. Phys. Lett.*, **95**, 072104 (2009).
- [13] E. G. Chong, K. C. Jo, S. H. Kim, and S. Y. Lee, *J. KIEEME.*, **23**, 5 (2010).