

시스템 온 칩 내 eDRAM을 사용한 Tightly Coupled Memory의 병렬 테스트 구조

국인성*, 이재민**

A Parallel Test Structure for eDRAM-based Tightly Coupled Memory in SoCs

In-Sung Kook*, Jae-Min Lee**

요 약

최근 시스템 온 칩 내 메모리의 고속 동작을 위해 TCM (Tightly Coupled Memory)를 내장한 설계가 크게 증가하고 있다. 본 논문에서는 시스템 온 칩 내 eDRAM을 사용한 TCM 메모리를 위한 새로운 병렬 메모리 테스트 구조를 제안한다. 제안하는 기법에서 피테스트 메모리가 테스트 모드에서 병렬 구조로 바뀌고 바운더리 스캔 체인과 함께 내장 메모리의 테스트용이도가 크게 향상된다. 병렬테스트 방식의 메모리는 각 메모리 요소들이 특정한 기능을 수행하도록 구조화되어 있으므로 모듈들로 분할하여 테스트 할 수 있으며 입출력 데이터를 기반으로 동적 테스트 평가 가능하다. 시뮬레이션을 통하여 제안한 기법의 타당성을 검증하였다.

ABSTRACT

Recently the design of SoCs(System-on-Chips) in which TCM is embedded for high speed operation increases rapidly. In this paper, a parallel test structure for eDRAM-based TCM embedded in SoCs is proposed. In the presented technique, the MUT (Memory Under Test) is changed to parallel structure and it increases testability of MUT with boundary scan chains. The eDRAM is designed in structure for parallel test so that it can be tested for each modules. Dynamic test can be performed based on input-output data. The proposed techniques are verified their performance by circuits simulation.

Key Words : eDRAM, Parallel Test Structure, TCM(Tightly Coupled Memory), SoCs, MUT(Memory Under Test)

1. 서 론

최근 대부분의 프로세서에선 중앙처리장치와 메모리 패치간의 상대 지연시간을 줄이고자 SRAM을 이용한 캐시를 많이 사용하는데, 이 때 캐시 내부

데이터의 지속적인 변경에 따르는 성능 저하를 줄이기 위해 흔히 CPU 주변에 캐시 메모리와 같이 고속으로 동작 할 수 있는 버퍼 메모리인 TCM (Tightly Coupled Memory)를 내장한다.[1] 이와 관련하여 SoC에 내장되는 SRAM 캐시메모리와

* 삼성전자 (gis3t@nate.com)

** 교신저자 : 관동대학교 전자정보통신공학부 교수 (leejm@kd.ac.kr)

접수일자 : 2011년 07월 30일, 수정일자 : 2011년 08월 14일, 심사완료일자 : 2011년 08월 27일

eDRAM를 대용량화, 고집적화, 저전력화하는 연구가 활발히 이루어지고 있다.[2-5]

SoC에 다양한 IP코어들이 내장될 때 더 많은 메모리 용량이 필요하며 메모리는 SoC 내부로 더 깊이 들어가게 되어 테스트 난이도가 상승한다. 일반적으로 SoC의 테스트를 위해 BIST 기법을 사용할 때 JTAG를 이용하면 각 IP코어의 테스트와 시스템의 개발 및 펌웨어 디버그를 보다 쉽게 할 수 있으며 바운더리 스캔 체인과 연동되는 BIST는 칩 내부의 관측도를 향상시켜 테스트용이도를 높일 수 있다.[5-7]

본 논문에서는 시스템 온칩 내 eDRAM을 사용한 TCM메모리를 대상으로 테스트용이도를 향상시키기 위한 새로운 바운더리 스캔 체인을 갖는 병렬 메모리 테스트 구조를 제안하고 시뮬레이션을 통해 그 성능을 평가한다.

II. 새로운 테스트가 용이한 eDRAM 기반의 TCM

제안하는 eDRAM의 구조는 그림 1과 같으며 SRAM, DRAM 및 스캔 체인 테스트 회로 등으로 구성된다.

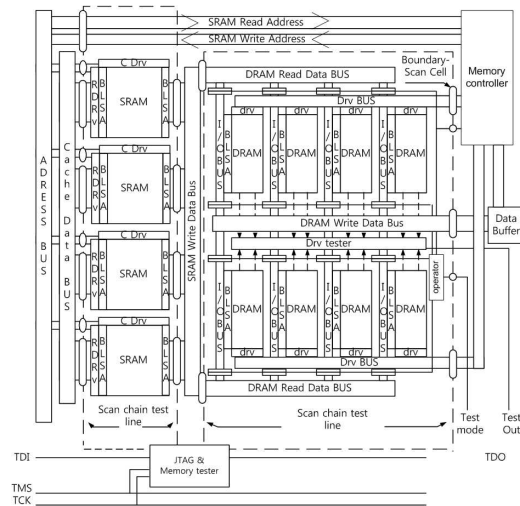


그림 1. 제안하는 eDRAM의 구조
Fig. 1. Proposed eDRAM Structure

DRAM은 SRAM보다 큰 용량을 가지고 있는데,

DRAM에는 SRAM에 프리패치 될 데이터를 미리 주 메모리 또는 보조메모리로부터 불러와 저장해 두었다가 SRAM에 넓은 비트 폭으로 전송한다. SRAM으로 전송한 DRAM의 데이터는 다음 데이터가 써질 때 소멸된다. 고속으로 동작하는 소형 SRAM은 DRAM에서 전송될 데이터를 받아서 저장하고 있다가 CPU의 요청에 따라 높은 대역폭으로 전송한다.

1. SRAM 및 DRAM 구조

TCM을 구성하는 eDRAM 내부의 각 SRAM बैं크의 구조는 그림 2와 같다. 제안하는 SRAM의 구조에서는 메모리를 일시적으로 쓰기 영역과 읽기 영역으로 나눈다. 각 행 디코더의 주소 값이 서로 다른 영역에 접근하는 것을 막기 위해 각 주소는 비교되어 접근 여부를 판별하는 과정을 거쳐야 한다.

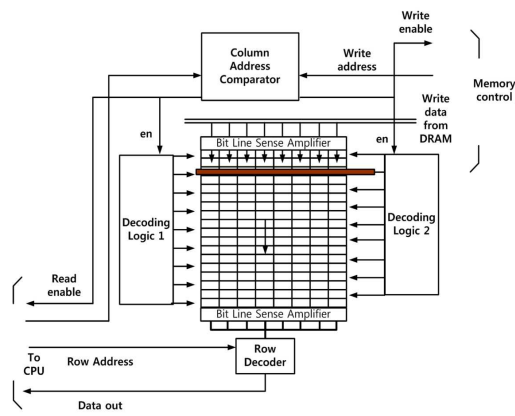


그림 2. SRAM बैं크의 구조
Fig. 2. A Structure of SRAM Bank

읽고 쓰는데 사용되는 2개의 주소가 동시에 CAC (Column Address Comparator)에 주입되어 비교된 후 접근 허용 여부가 결정 되어 CPU와 메모리 컨트롤러에 전달된다. 메모리 컨트롤러에서 지정한 주소와 프로세서의 가상 주소 값으로 메모리 접근이 허용되면 각 디코더는 부여된 주소 값에 의해 SRAM의 영역을 2개로 나눈다. 나누어진 경계선을 중심으로 위쪽 영역에 대해서 쓰기가 수행되고 경계의 아래 부분부터 읽기가 수행된다. 이는

듀얼 포트 메모리의 복잡도를 제거하면서도 동시에 읽고 쓰는 것이 가능하게 해준다. 또한 메모리 테스트를 싱글 포트 메모리에 대한 테스트로 가져올 수 있게 하여 같은 기능을 할 때에 비해 테스트를 쉽게 할 수 있으며 읽기와 쓰기 동작이 동시에 이루어지므로 테스트 시간을 절반으로 단축시킬 수 있다.

제안하는 DRAM은 그림 3의 ping-pong buffer 구조를 갖는다. 한쪽에 블록에 데이터를 기록하는 동안 다른 블록에서는 데이터를 읽어 SRAM에 전송한다.

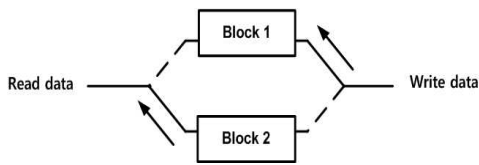


그림 3. Ping-pong buffer DRAM의 동작
Fig. 3. Operation of Ping-pong buffer DRAM

외부 메모리에서 입력된 데이터는 Data Buffer 레지스터에 모여지고 저장된 데이터는 선택된 하나의 메모리 블록에 쓰여진다. 데이터를 쓰는 과정에서 쓰고 있는 데이터가 데이터 버스로 들어가지 못하도록 버스라인이 차단되고 동시에 다른 쪽 블록은 읽기 데이터를 쓸 수 있도록 버스라인이 활성화된다. DRAM의 읽기 과정은 쓰기 때와 같은 용량의 데이터를 SRAM의 버스 라인에 전송한다. 읽기 과정에서 입력되는 라인은 자동으로 차단되며 동시에 다른 메모리 블록의 입력 버스가 활성화된다. 제안하는 eDRAM에서 각각의 데이터는 고속으로 전송되며 DRAM의 리프레시 동작은 사용하지 않는다. 현재의 메모리 기술에서 리프레시 동작은 보통 64msec 이상의 시간에서 동작되므로 DRAM의 메모리 데이터가 파괴되기 전에 새로운 값이 할당되고 전송된다.

그림 4는 DRAM의 뱅크 단위 구조이며 4개의 메모리 셀이 하나의 열 디코더 선택 선에 연결되어 병렬로 메모리를 읽고 쓴다.[8] 그림 4와 그림 5에 나타낸 테스트 라인은 테스트 모드에서 각 행 디코더의 고장을 검사하게 된다.

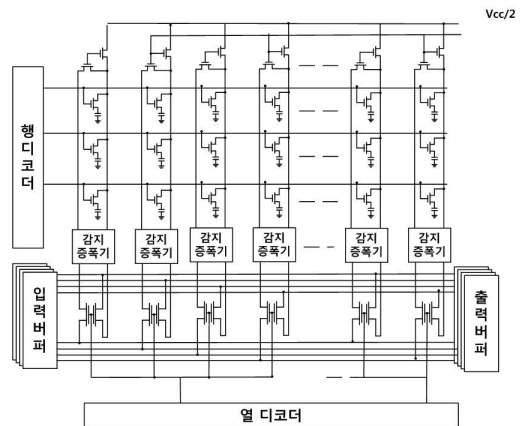


그림 4. DRAM의 단위 메모리 셀
Fig. 4. Memory cell unit of DRAM

그림 5에서 보이는 Dry Tester는 그림 6과 같은 로직으로 만들어진다. 테스트 로직은 메모리의 테스트 모드에서만 활성화되며 디코더의 선택 라인이 마지막 셀까지 활성화 되는지 검사하게 된다.

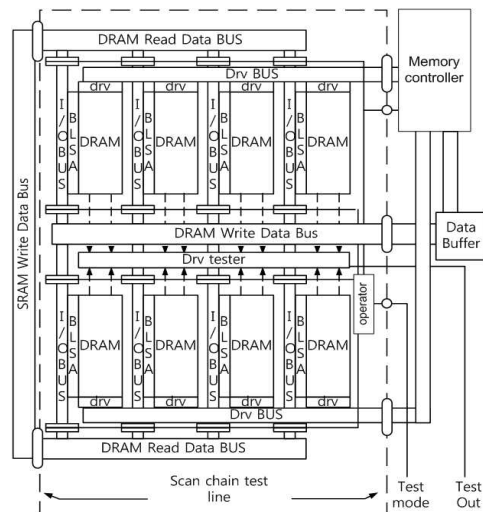


그림 5. 전체 DRAM의 구조
Fig. 5. Full structure of DRAM

이러한 테스트 로직을 사용하면 작은 오버헤드를 이용하여 고장의 위치를 정확하게 검출할 수 있다.

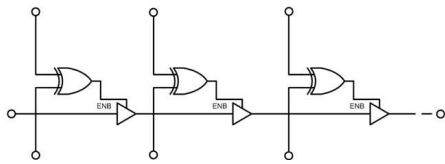


그림 6. 행 디코더의 테스트 로직
Fig. 6. Test logic of column decoder

그림 5의 Operator는 정상모드에서 DRAM을 ping pong 버퍼로 사용하고 그림 7과 같이 테스트 모드에서 병렬 테스트 가능하도록 동작한다.

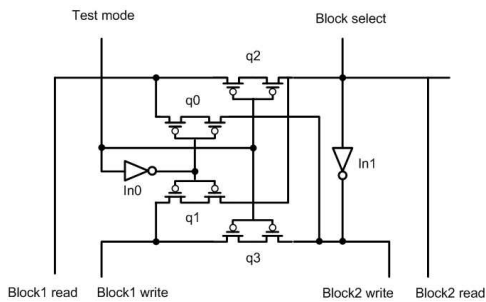


그림 7. DRAM 병렬 테스트 변환기
Fig. 7. Converter for parallel test of DRAM(CPTDRAM)

표 1은 DRAM의 병렬 테스트 변환기 입력에 대한 출력 상태를 나타낸다.

표 1. DRAM 병렬 테스트 변환기 입출력
Table 1. Inputs and outputs of CPTRAM

status	{tm, s}			
	00	01	10	11
block1 read	1	0	0	1
block1 write	0	1	1	0
block2 read	0	1	0	1
block2 write	1	0	1	0

(tm = test mode, Bs = Block select)

테스트 모드일 때(논리 '1') 각 block1 read 선과 block 2 read 선(block1 write와 block2 write)은 같은 상태가 되고, 테스트 모드가 아닐 때(논리 '0') block1 read 선과 block 2 write 선(block1 write와 block2 read)이 같은 상태가 됨을 알 수 있다.

2. Boundary-Scan Chain 구조

시스템 은 칩 내 eDRAM의 테스트를 위해 이

JTAG 기술을 이용하면 비교적 적은 량의 오버헤드 회로를 이용하여 메모리에 직접 접근하여 데이터를 조작 및 감시가 가능하고 다양한 테스트를 수행할 수 있는 장점을 갖는다.[9-10]

SRAM과 DRAM은 각각 용량과 테스트 속도, 행과 열의 주소가 다르므로 스캔 체인은 크게 두 개의 루프를 형성한다. SRAM의 테스트에 사용되는 스캔 체인은 모든 SRAM 메모리 뱅크에 대해 독립적인 테스트를 진행 할 수 있으며 같은 입력 조건에서 병렬 구동에서의 테스트를 진행할 수 있다. DRAM의 행 디코더는 병렬로 구동되는데 동일한 입력 패턴을 각 메모리 뱅크에 주입하여 테스트를 수행한다. 메모리 로직 주변을 둘러싼 바운더리 스캔 체인 로직으로 다음 그림 8과 같다.

여기서 보듯이 스캔 체인이 버스 라인을 가로질러 메모리에 연결된다. TDI(Test Data In)는 하드웨어의 외부와 연결되는 비트 선으로 모든 스캔 체인의 직렬 입력이 되며 TDO(Test Data Out)은 모든 스캔 체인의 직렬 출력이 된다. 각 버스 라인의 비트선 마다 연결되어 있는 바운더리 스캔 셀은 외부로부터 입출력이 독립된 상태에서 실시간 테스트 감시가 가능하다.

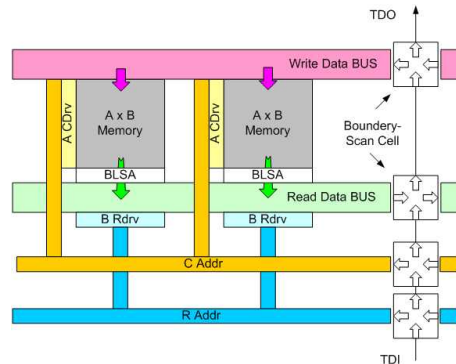


그림 8. 바운더리 스캔 체인 메모리 테스트
Fig. 8. Boundary scan chain memory test

제안하는 메모리 구조에서 그림 9의 이중 스캔 체인 테스트는 열 디코더를 고정시킨 상태에서 행 디코더의 주소만 변경하여 데이터를 읽고 쓴다. 전통적인 방식의 마치 알고리즘 (March algorithm)을 적용할 경우 테스트 패턴은 전체 행을 1로 쓰는 데이터와 0으로 쓰는 데이터를 스위프트 시키는 과정으로 완성된다.

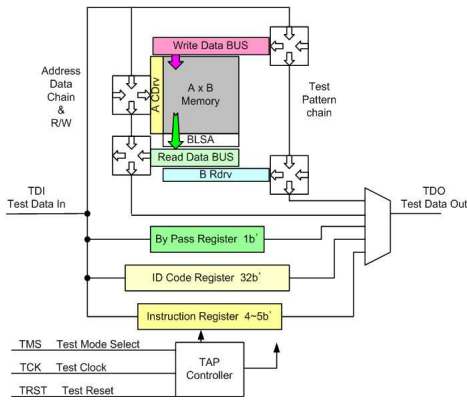


그림 9. 이중 스캔 체인을 가진 메모리
Fig. 9. Memory with double scan chain

III. 실험 결과

제한한 메모리 구조 설계 방식과 메모리 테스트의 유효성을 OR-CAD와 Quartus II등을 사용하여 시뮬레이션 하였다. 또한 테스트에 소요되는 시간을 MatLab을 이용하여 분석하였고 Verilog-HDL로 합성하여 회로를 구현하였다.

1. 주소 비교기 실험

Altera 사의 Quartus II를 사용하여 주소비교기를 설계하고 시뮬레이션한 결과 SRAM의 디코더 비교기의 출력은 다음 그림 10과 같다.

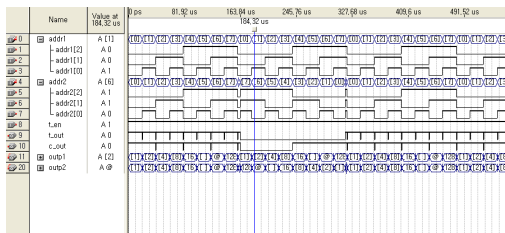


그림 10. SRAM 영역 주소 비교기의 출력
Fig. 10. Outputs of contents address comparator for SRAM

위 그림에서 addr1의 주소가 addr2 보다 작을 때만 비교 상태 c_out 이 논리 0으로 나타남을 알 수 있다. 각 주소가 같은 주소를 가리키고 있을 때와 addr1의 주소가 addr2 보다 클 때 논리 1 상태가 출력되었다.

2. 3-상태 버퍼 실험

제안하는 SRAM메모리의 비트라인이 3상태 버퍼에 의해 쓰기 영역과 읽기 영역으로 분할됨을 검증하기 위해 OR-CAD를 이용하여 테스트를 하였고 다음과 같은 실험 결과를 얻었다. 3상태 게이트의 단위 셀은 다음 그림 11과 같다.

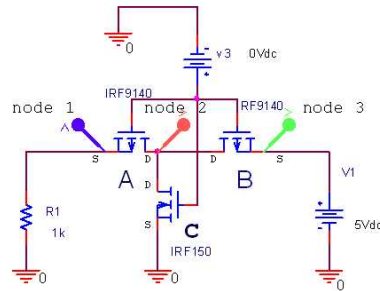


그림 11. CMOS로 설계한 3-상태 버퍼
Fig. 11. CMOS 3-state buffer

제안하는 3상태 버퍼는 CMOS기반에서 동작한다. 그림 12(a)에 나타난 그래프는 A와 B의 게이트 입력 전압이 0V 일 때 전압원 V1을 0에서 5V 까지 0.5V 단위로 DC sweep 한 결과이다.

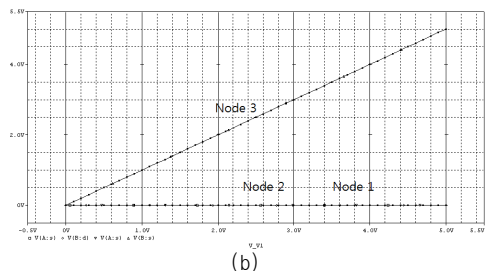
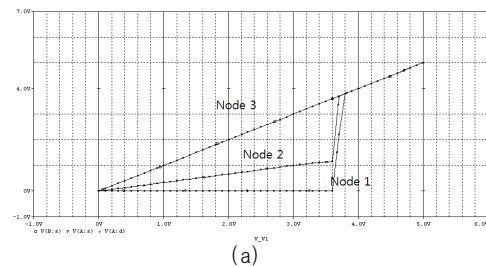


그림 12. 3 CMOS 3 State Gate의 출력
Fig. 12. Outputs of CMOS 3-state buffer

시뮬레이션 결과는 이 3-상태 게이트를 이용하

여 하나의 비트 선을 분할하여 양 방향 비트 선으로 만들 수 있음을 보여준다. 그림에서 좌측의 게이트는 논리 'H'를 입력 받고 있으며 차단 상태로 동작하며 우측의 게이트는 논리 'L'를 입력 받고 있다. 각 게이트의 입력에 따라 게이트는 비트 선을 단락상태와 개방 상태로 만든다.

그림 13에서 S1의 입력은 라인의 중심에 있는 게이트 앞단까지 전송되어 비트 선의 상태가 node1에 나타난다. S2의 입력은 우측 첫 번째 게이트에 의해 도통된 비트 선을 따라 node 2에 나타난다.

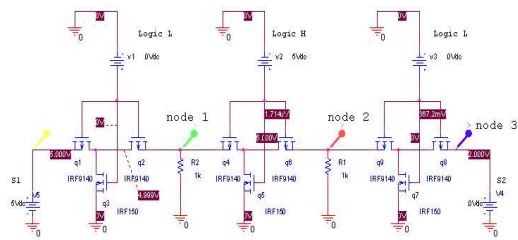
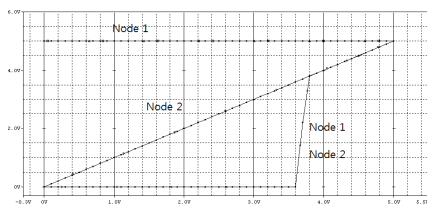
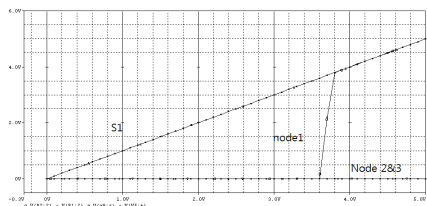


그림 13. 3-상태 게이트와 양방향 비트 신호선 회로
Fig. 13. 3-state gates and bidirectional bit line circuits

다음 그림 14 (a)에 나타난 그래프는 S1이 5V로 고정될 때 S2의 입력전원이 0~5V로 DC sweep 할 때의 회로의 출력 상태이다.



(a) S1고정 S2 0~5V 가변



(b) S2고정 S1 0~5V 가변

그림 14. S1, S2입력에 대한 양방향 비트선 출력
Fig. 14. Outputs of bidirectional bit line for S1, S2

그림 14(b)는 S1의 입력전원이 0~5V로 DC sweep 할 때의 회로의 출력 상태를 보여준다. 입력된 S1의 출력이 0~5V로 변환에 따라 node2와 node3의 출력은 S2 출력인 0V로 유지되었다.

제안하는 3상태 게이트를 이용하여 비트선을 2 가지 상태로 만들 수 있음을 확인하였다. SRAM 메모리의 감지 증폭기는 비트선을 선 충전 시킨 후 메모리 셀의 작은 출력 전압 변화를 차동 증폭하여 데이터를 출력한다. 제안하는 비트 신호를 사용할 때 선 충전 전압을 3.5V에서 4V로 상태로 만들면 빠른 스위칭이 가능함을 확인하였다.

3. 행 디코더 테스트 로직 실험

그림 6의 행 디코더 테스트 로직을 Altera 사의 Quartus II를 이용하여 설계하였다. 디코더는 설계 분석을 용이하게 하기 위하여 3×8 디코더 2개를 상위 레벨 언어를 사용하여 설계하였다. 설계된 병렬 디코더 테스트 회로의 출력 파형은 다음 그림 15와 같다.

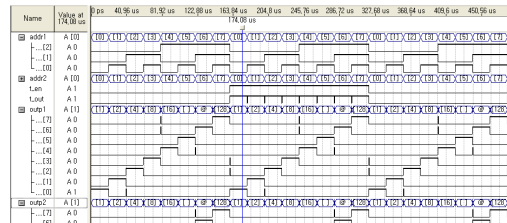


그림 15. 주소 디코더 테스트 회로의 출력
Fig. 15. Outputs of address decoder tester

위 그림에서 test 입력은 t_en으로 메모리의 디코더를 테스트 할 경우에만 활성화시킨다. 활성화 되었을 때 논리 레벨은 1이 되며 2개의 디코더의 주소 입력 addr1과 addr2의 출력이 동일할 때 논리 레벨 1으로 출력이 된다.

그림 16은 addr1의 b-c까지의 주소 파형을 addr2에서 c-d 까지 이동시켰을 때의 출력이다. 두 주소의 차이 값이 발생할 때 테스트 신호선이 '0' 레벨로 나타나는 것을 확인할 수 있다. 또한 주소가 일치하는 e구간에서는 다시 테스트 신호선이 '1' 레벨로 나타남을 알 수 있다.

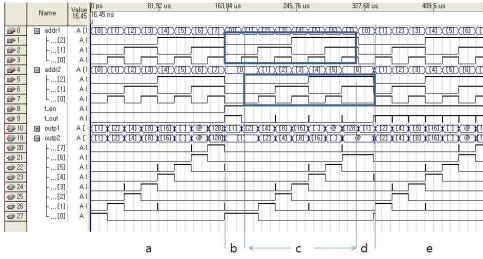


그림 16. 주소 입력에 대한 테스트 회로의 출력
Fig. 16. Tester outputs for address inputs

메모리 블록 1과 블록 2의 입출력은 반대의 상태로 있다가 테스트 입력이 1로 변하면 입출력이 같은 상태에 도달하는 것을 확인하였다.

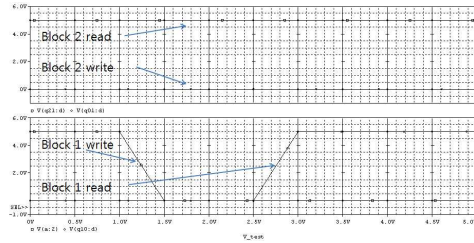


그림 18. 병렬 테스트 변환 회로의 출력
Fig. 18. Outputs of converter for parallel test

4. DRAM 병렬 테스트 변환기 실험

그림 17의 DRAM 블록 선택기는 테스트 모드에서 두 메모리 블록을 동시에 테스트 할 수 있도록 하기 위해 고안하였다. 입력은 테스트 선택 비트 라인과 메모리 블록 쓰기 읽기 선택 비트 라인으로 2개가 있으며 테스트 모드에서는 각각의 쓰기 읽기 라인을 같은 상태로 묶고 테스트 모드가 아닐 때는 각 I/O 비트선이 읽기 상태일 때 읽기 출력이 활성화되고 쓰기 입력은 차단된다. 쓰기 상태일 때 읽기 출력이 차단되고 쓰기 입력이 활성화 된다.

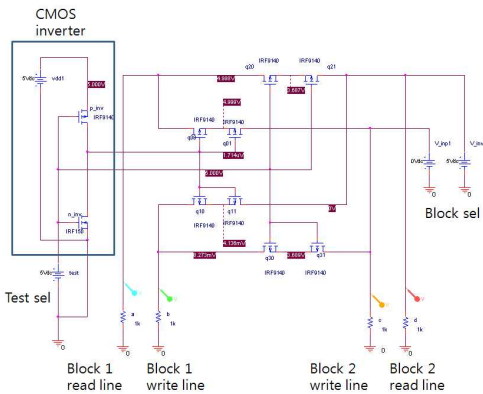


그림 17. DRAM의 병렬 테스트 변환 회로
Fig. 17. Converter for parallel test of DRAM

회로의 인접한 p MOSFET 트랜지스터들은 한 쌍으로 동작하며 입력 신호에 따라 각 비트 선을 교차 시킨다.

그림 18은 테스트 입력이 논리 0에서 1로 변화할 때 각 비트선의 상태 변화를 보여준다. 테스트 입력이 0 일 때 일반 모드로 동작하며 DRAM의

IV. 결론

본 논문에서는 차세대 내장 메모리로 주목 받고 있는 SoCs 내 embedded DRAM을 기반으로 설계된 TCM을 대상으로 병렬 테스트가 가능한 메모리 설계 구조를 제안하였다. 제안한 메모리는 테스트 상태에서 병렬 메모리 구조로 가변될 수 있으며 내장 메모리의 테스트 복잡도를 바운더리 스캔 체인 방식으로 칩 외부로 끌어올려 다양한 분석이 가능하다. 테스트 부가회로는 CMOS 기반의 논리 회로를 사용하여 설계하였으며 OR-CAD를 이용하여 전압 변화를 측정하였다. 병렬 테스트를 위한 행렬 디코더와 디코더 테스트 로직 등을 Altera사의 Quartus II을 이용하여 Verilog-HDL언어로 합성하고 시뮬레이션 하여 제안한 테스트 용이화 설계구조의 타당성을 검증하였다.

메모리의 구조는 각 요소들이 특정한 기능을 수행하도록 구조화되어 있으므로 각 메모리 구조에 대해 분할 정복 방식으로 테스트 할 수 있다. 본 논문에서 제시된 기법들은 메모리를 더 단순한 구조로 분해하여 테스트를 용이하게 하는데 목적을 두고 있다. 최신 컴퓨터 아키텍처에서는 하드웨어와 소프트웨어의 상보적인 관계를 통해 성능을 끌어 올리고 있는 예가 많이 있다. 메모리 테스트역시 테스트 로직과 테스트 알고리즘을 적절히 융합하여 효율적인 메모리 테스트를 수행할 수 있을 것이다. 메모리의 테스트는 메모리의 입출력 데이터를 기반으로 동적 분석과정을 필요로 하므로 모든

예상 결과를 테스트하기 어렵다. 따라서 메모리의 각 모듈별 동작 특성을 살펴보기 위해 메모리를 동작 모듈별로 나누어서 설계하고 테스트하였다.

간과 테스트 전력 감소를 위한 선택적 세그먼트 바이패스 스캔 구조”, 전자공학회 논문지 46권 SD편 제 5호, 2009.

참 고 문 헌

[1] Jung-Hoon Lee, Seh-woong Jeong, Shin-Dug Kim, Charles Weems, "An Intelligent Cache System with Hardware Prefetching for High Performance", IEEE Transactions on Computers, vol. 52, no. 5, pp. 607-616, May 2003.

[2] Jeffrey Dreibelbis, Howard Kalter, Rex Kho "Processor-Based Built-In Self-Test for Embedded DRAM", IEEE Journal of solid-state circuits, vol. 33, no. 11. Nov. 1998.

[3] Chuck Moore, "Microarchitecture in the System-level Integration Era, IEEE/ ACM International symposium on Microarchitecture", Nov. 2008.

[4] Bob Drehmel, Rune Jensen, "The New Xbox 360 250GB CPU GPU SoC," Aug. 23, 2010.

[5] M. Franklin and K. Saluja, "Embedded RAM Testing," International Workshop on Memory Technology, Design and Testing, pp.29-33, 1995.

[6] 강성호, 김규철, 소병세, 홍성제, 메모리 테스트 IDEC 교재개발 시리즈 23, 대영사 2001.

[7] 손현욱, 김유빈, 강성호, "스캔입력 변형기법을 통한 새로운 저전력 스캔 BIST 구조", 전자공학회 논문지 제 45권 SD편 제 6호, 2008.

[8] 국인성, 이재민 "시스템 온 칩의 테스트 용이도를 위한 병렬 메모리 테스트 구조", 한국정보전자통신기술학회, vol. 2, no. 1, pp 137-140, 2009.

[9] 최호용, 서정일, 차상록 "2차원 여분 메모리를 이용한 내장메모리의 자가치유회로 설계" 전자공학회 논문지 제 44권, SD편, 제 12호, 2007.

[10] 양명훈, 김용준, 박재석, 강성호 " 테스트 시

저자약력

국 인 성(In-Sung Gook)

정회원



2008년 2월 : 관동대학교
전자공학과 졸업
2010년 2월 : 관동대학교
전자공학과 석사
2010년 ~ 현재 : 삼성전자

<관심분야> SoC 설계 및 테스트, 컴퓨터 구조

이 재 민(Jae-Min Lee)

정회원



1979년 2월 : 한양대학교
전자공학과 학사
1981년 2월 : 한양대학교
전자공학과 석사
1987년 2월 : 한양대학교
전자공학과 박사
1990년 8월 ~ 1991년 8월 :
일리노이대학 Beckman
Institute (Post-Doc.)
2011년 2월 ~ 현재 : 관동대
학교 공과대학장

<관심분야> SoC 설계 및 테스트, RF 테스트, 신재생에너지 시스템