
GDFE를 위한 QR분해 프로세서 설계

조경주*

Design of QR Decomposition Processor for GDFE

Kyung-ju Cho*

요약

본 논문에서는 Givens 회전을 이용하여 GDFE(Generalized Decision Feedback Equalizer)에 사용되는 효율적인 QR분해 프로세서를 제안한다. Givens 회전은 위상추출과 sine/cosine 값 생성 및 각회전을 이용하여 수행할 수 있다. 효율적으로 Givens 회전 연산을 수행하기 위해 2단계 기법을 적용하여 위상추출기, sine/cosine 값 생성 및 각회전을 설계하였으며, 회로들에 포함되는 곱셈기는 고정길이 modified-Booth 곱셈기를 적용하였다. 시뮬레이션을 통하여 제안한 QR분해 프로세서가 GDFE에 적용 가능함을 보인다.

ABSTRACT

This paper presents a QR decomposition processor by exploiting Givens rotation for the GDFE (Generalized Decision Feedback Equalizer). A Givens rotation consists of phase extraction, sine/cosine generation and angle rotation parts. Combining two-stage method (coarse and fine stage) and the fixed-width modified-Booth multiplier, we design an efficient QR decomposition processor. By simulations, it is shown that the proposed QR decomposition processor can be a feasible solution for GDFE.

키워드

QR decomposition, Givens rotation, phase extraction, angle rotation, fixed-width multiplier

1. 서론

MIMO(Multi-Input Multi-Output) 통신의 응용에서 DFE(Decision Feedback Equalizer)는 간섭채널에서 신호의 검출을 용이하기 위해 GDFE(Generalized Decision Feedback Equalizer)의 구조를 사용한다. GDFE의 구조에서 채널행렬의 QR분해가 수행되어야 하는데 Givens 회전을 이용하여 직교행렬과 상삼각행렬(upper triangular matrix)로 분해할 수 있다[1].

Givens 회전을 수행하기 위해서는 회전각을 구한 후 그 회전각만큼 채널행렬을 회전시켜야 한다. 따라서 위상추출(phase extraction)과 각회전(angle rota-

tion) 연산이 필요하다. 위상추출과 각회전은 CORDIC (coordinate rotation digital computer) 알고리즘을 사용하여 수행할 수 있다. 그러나 CORDIC에서는 입력의 워드길이에 따라서 latency가 선형적으로 증가하고 병렬처리와 파이프라인의 적용이 어렵다[2].

각이 $|\phi| \approx 0$ 이면 $\phi = \tan^{-1}(X/Y) \approx X/Y$, $\sin\phi \approx \phi$ 인 삼각함수의 특성을 이용하여 2단계 기법(coarse stage, fine stage)에 의한 효율적인 좌표변환과 각회전 알고리즘이 제안되었다[3]-[4].

본 논문에서는 2단계 기법을 응용하여 QR분해에 필요한 위상추출기와 각회전을 설계하고, 시스템에서 사용되는 곱셈기에 고정길이 modified Booth 곱셈

* 항로표지기술훈회 연구소(kjcho4659@nate.com)

접수일자 : 2011. 02. 16

심사(수정)일자 : 2011. 03. 15

게재확정일자 : 2011. 04. 12

기를 적용하여 QR분해 프로세서를 더욱 최적화 시키는 방법을 제안한다.

본 논문은 II장에서 Givens 회전, 위상추출기와 각 회전기의 설계방법을 소개하고, III장에서 고정길이 modified Booth 곱셈기 설계방법을 설명한다. IV장에서 효율적인 QR분해 프로세서의 구조를 제안하고, 고정길이 곱셈기와 일반곱셈기를 적용하였을 때의 시뮬레이션 결과를 보이고, V장에서 간단히 결론을 맺는다.

II. QR분해 회로

2.1. Givens 회전

QR분해의 유도를 위해 Givens 회전행렬을 알아보자. Givens 회전행렬은 직교행렬이며 식 (1)과 같다.

$$G(i,j,\phi) = \begin{bmatrix} 1 & \cdots & 0 & \cdots & 0 & \cdots & 0 \\ \vdots & \ddots & \vdots & & \vdots & & \vdots \\ 0 & \cdots & \cos \phi & \cdots & \sin \phi & \cdots & 0 \\ \vdots & & \vdots & \ddots & \vdots & & \vdots \\ 0 & \cdots & -\sin \phi & \cdots & \cos \phi & \cdots & 0 \\ \vdots & & \vdots & & \vdots & \ddots & \vdots \\ 0 & \cdots & 0 & \cdots & 0 & \cdots & 1 \end{bmatrix} \quad (1)$$

여기서 (i,i) 와 (j,j) 원소는 $\cos \phi$ 이고, 이를 제외한 대각선의 원소들은 1이다. 또한, (i,j) 와 (j,i) 는 각각 $\sin \phi$ 와 $-\sin \phi$ 이며, 이를 제외한 대각선에 있지 않은 항들은 모두 0이다.

어떤 벡터가 $G^T(i,j,\phi)$ 와 곱해지면 (i,j) 좌표로 정의된 평면은 반시계 방향으로 ϕ 만큼 회전한다. 예를 들어, 좌표가 $h=(h_i, h_j)$ 일 때, $\phi = \tan^{-1}(-h_j/h_i)$ 만큼 반시계 방향으로 회전시키면 j 번째 좌표인 h_j 가 0이 된다. 따라서 채널행렬 H 에 $G^T(i,j,\phi)$ 를 곱하면 i 번째 열의 j 번째 행의 원소가 0이 된다. H 의 모든 하삼각(upper triangular) 원소들에 위의 방법을 적용시키면 QR분해를 얻을 수 있다. 3×3 행렬 H 는 다음과 같이 분해되며, \times 는 0이 아닌 원소들을 나타낸다.

$$H = \begin{bmatrix} \times & \times & \times \\ \times & \times & \times \\ \times & \times & \times \end{bmatrix} \xrightarrow{G_1^T(1,2,\phi_1)} \begin{bmatrix} \times & \times & \times \\ 0 & \times & \times \\ \times & \times & \times \end{bmatrix} \xrightarrow{G_2^T(1,3,\phi_2)} \begin{bmatrix} \times & \times & \times \\ 0 & \times & \times \\ \times & \times & \times \end{bmatrix} \xrightarrow{G_3^T(2,3,\phi_3)} \begin{bmatrix} \times & \times & \times \\ 0 & \times & \times \\ 0 & 0 & \times \end{bmatrix} \quad (2)$$

H 가 $L \times L$ 행렬이면 H 의 모든 하삼각원소들을 0으로 만들기 위해 $L(L-1)/2$ 번의 Givens 회전이 필요하다.

$$G_{L(L-1)/2}^T \cdots G_2^T G_1^T H = R \quad (3)$$

R 은 상삼각행렬이다. 따라서 Q 는 식 (4)와 같다.

$$Q = G_1^T G_2^T \cdots G_{L(L-1)/2}^T \quad (4)$$

2.2. 위상추출기

$X-Y$ 평면에서 한 좌표 (X,Y) 의 각 θ 는 식 (5)와 같이 계산된다.

$$\theta = \tan^{-1}(Y/X), \quad -\pi/2 \leq \theta \leq \pi/2 \quad (5)$$

직관적으로 식 (5)를 고속으로 구현하기 위해 X 의 역수를 Lookup table(LUT) 구하고, $Y \times (1/X)$ 를 계산한 후 이 값을 사용하여 arctangent LUT을 참조할 수 있다. 그러나 θ 의 정밀도에 따라 두 LUT의 크기가 지수적으로 커지므로 높은 정밀도를 요구하는 시스템에서는 비실용적이다.

식 (5)의 계산에서 하드웨어 비용을 줄이면서 정밀도를 높이기 위해 X 와 Y 가 $1 \leq X_0 < 2, 0 \leq Y_0 \leq X_0$ 를 만족하도록 변경하고 식 (6)에 의해 각을 구한 후 후처리를 통해 본래의 위상(θ)을 구할 수 있다.

$$\phi = \tan^{-1}(Y_0/X_0), \quad 0 \leq \phi \leq \pi/4 \quad (6)$$

2단계 기법에서는 ϕ 를 ϕ_1 과 ϕ_2 의 합으로 정의하고 ϕ_1 을 계산하는 단계(coarse stage)와 ϕ_2 를 계산하는 단계(fine stage)로 구분하여 ϕ 를 계산한다[3].

Coarse stage에서 $[X_0]$ 를 X_0 의 fractional 비트의 상위 $(\lceil (W-1)/3 \rceil + 1)$ 비트로 정의하고, $[X_0]$ 을 사용하여 $1/[X_0]$ 을 계산하는 reciprocal LUT의 인덱스로 사용한다. Reciprocal LUT의 값은 X_0 의 조건에 따라 부호비트가 항상 0이므로 $(\lceil (W-1)/3 \rceil + 2)$ 비트의 fractional 비트이면 된다.

Reciprocal LUT의 출력은 $Y_0/[X_0]$ 를 계산하기 위해 Y_0 와 곱해지는데 arctangent LUT의 크기를 줄이기 위해 $[Y_0/[X_0]]$ 의 값이 $(\lceil (W-1)/3 \rceil + 1)$ 가 되도록 $(\lceil (W-1)/3 \rceil + 2)$ 비트에서 반올림 한다. 따라서 이

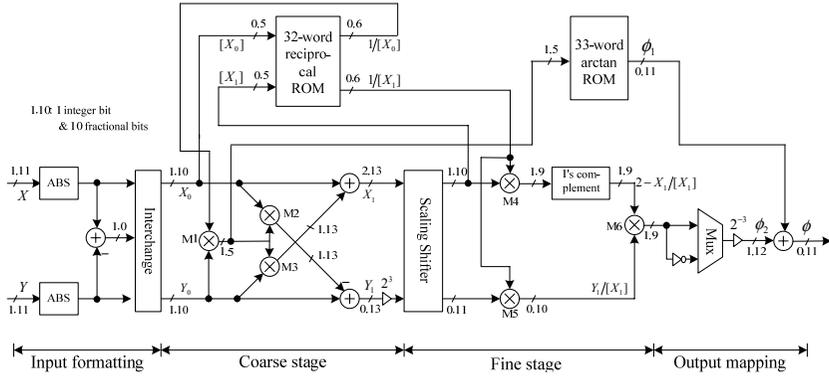


그림 1. 위상추출기의 구조(W=12)
Fig. 1 Structure of phase extractor with W=12.

값이 $\phi_1 = \tan^{-1}([Y_0/[X_0]])$ 을 구하는 인덱스로 사용된다.

Fine stage에서는 $\phi_2 = \phi - \phi_1$ 을 계산하는데 삼각함수의 정리를 이용하면 식 (7)과 같이 나타낼 수 있다.

$$\tan \phi_2 = \tan(\phi - \phi_1) = \frac{\tan \phi - \tan \phi_1}{1 + \tan \phi \times \tan \phi_1} \quad (7)$$

식 (7)에 $\tan \phi = Y_0/X_0$ 와 $\tan \phi_1 = [Y_0/[X_0]]$ 을 대입하고 분자와 분모에 X_0 을 곱하면 식 (8)과 같다.

$$\tan \phi_2 = \frac{Y_0 - X_0 \times [Y_0/[X_0]]}{X_0 + Y_0 \times [Y_0/[X_0]]} = \frac{Y_1}{X_1} \quad (8)$$

따라서 ϕ_2 는 coarse stage에 사용된 $[Y_0/[X_0]]$ 을 이용하여 결정할 수 있다.

$|\phi_2| < 2^{-\lceil (W-1)/3 \rceil}$ 라면 $\phi_2 = \tan^{-1}(X_1/Y_1) \approx X_1/Y_1$ 이므로 Y_1/X_1 의 근사값은 $Y_1/[X_1]$ 으로 계산한다. 근사화 오차를 좀 더 줄이기 위해 Newton-Raphson iteration 방법을 적용하면 ϕ_2 는 식 (9)와 같다.

$$\phi_2 \approx \left(Y_1 \times \frac{1}{[X_1]} \right) \left(2 - X_1 \times \frac{1}{[X_1]} \right) \quad (9)$$

그림 1은 앞서 설명한 방법에 대한 입력 워드길이가 12비트인 위상추출기의 세부 회로도이다.

2.3. Sine/cosine 생성 및 각회전기

입력벡터 (X_{in}, Y_{in}) 을 각 ϕ 의 반시계방향으로 회전

하면 식 (10)과 같은 출력벡터 (X_{out}, Y_{out}) 가 생성된다.

$$\begin{bmatrix} X_{out} \\ Y_{out} \end{bmatrix} = \begin{bmatrix} \cos \phi & -\sin \phi \\ \sin \phi & \cos \phi \end{bmatrix} \begin{bmatrix} X_{in} \\ Y_{in} \end{bmatrix} \quad (10)$$

각 ϕ 에 대한 회전을 coarse rotation stage(ϕ_M)와 fine rotation stage(ϕ_L)로 나누어 표현할 수 있다.

$$\phi = \phi_M + \phi_L \quad (11)$$

ϕ_M 과 ϕ_L 은 각각 ϕ 의 fractional 비트에 대해 상위 ($\lceil (W-1)/3 \rceil$)비트와 이들을 제외한 나머지 비트이다.

Coarse stage는 식 (12)과 같이 입력벡터 (X_{in}, Y_{in}) 을 중심에서 각 ϕ_M 만큼 회전시킨다.

$$\begin{bmatrix} X_t \\ Y_t \end{bmatrix} = \begin{bmatrix} \cos \phi_M & -\sin \phi_M \\ \sin \phi_M & \cos \phi_M \end{bmatrix} \begin{bmatrix} X_{in} \\ Y_{in} \end{bmatrix} \quad (12)$$

Fine stage에서는 (X_t, Y_t) 를 ϕ_L 만큼 다시 회전시킨다.

$$\begin{bmatrix} X_{out} \\ Y_{out} \end{bmatrix} = \begin{bmatrix} \cos \phi_L & -\sin \phi_L \\ \sin \phi_L & \cos \phi_L \end{bmatrix} \begin{bmatrix} X_t \\ Y_t \end{bmatrix} \quad (13)$$

만약 회전각이 $|\phi_L| < 2^{-\lceil (W-1)/3 \rceil}$ 을 만족하면 Taylor 전개에 의해 fine stage에서 sine과 cosine값은 $\sin \phi_L \approx \phi_L$, $\cos \phi_L \approx 1 - \phi_L^2/2$ 로 근사화할 수 있다.

따라서 최종 회전은 식 (14)과 같이 표현된다.

$$\begin{bmatrix} X_{out} \\ Y_{out} \end{bmatrix} = \cos\phi_M \begin{bmatrix} \phi_L - \phi_L^2/2 & \phi_L \\ \phi_L & \phi_L - \phi_L^2/2 \end{bmatrix} \begin{bmatrix} 1 & -\tan\phi_M \\ \tan\phi_M & 1 \end{bmatrix} \begin{bmatrix} X_I \\ Y_I \end{bmatrix} \quad (14)$$

식 (14)에서 $\tan\phi_M$ 대신 $\lceil (W-1)/3 \rceil$ 번째 비트에서 upward rounding되는 $\tan\phi_m$ 을 사용하고, fine stage에서 $\phi_l = \phi - \phi_m$ 이므로 각 샘플마다 $(W-1)$ 비트의 $\tan\phi_m$ 을 LUT에 저장하는 대신, $\lceil (W-1)/3 \rceil$ 비트인 $\tan\phi_m$ 을 저장하고 $\phi_m - \phi_m$ 을 계산하면 coarse stage에서 곱셈기 사이즈는 그림 2와 같이 1/3로 줄어든다(M1, M2의 참조). 그림 2는 입력이 12비트인 각회전기의 세부 회로도이다.

Fine stage의 출력은 scale factor, $\cos\phi_m$ 이 곱해진 다. $[\cos\phi_m]$ 을 $\cos\phi_m$ 의 fractional 비트에서 상위 $(\lceil 2(W-1)/3 \rceil + 1)$ 비트로 정의하면 scale factor는 식 (15)와 같이 표현할 수 있다.

$$\cos\phi_m = [\cos\phi_m] + \Delta_{\cos\phi_m} = [\cos\phi_m] \left(1 + \frac{\Delta_{\cos\phi_m}}{[\cos\phi_m]} \right) \quad (15)$$

여기서 $\Delta_{\cos\phi_m}$ 은 $\cos\phi_m$ 의 양자화 오차를 의미한다.

Magnitude adjustment를 fine stage에 적용하면 식 (16)와 같이 X_{out} 을 얻을 수 있으며, 같은 방법으로 Y_{out} 도 계산할 수 있다[4].

$$X_{out} \approx X_t + X_t(1 - \phi_l^2/2) - Y_t\phi_l \quad (16)$$

이 알고리즘에서 LUT의 양자화오차를 제외한 최대 오차범위는 $5 \times 2^{-(W-1)}$ 이다.

III. 고정길이 modified Booth 곱셈기

곱셈기의 입력과 계수가 각각 W 비트일 경우 일반적인 곱셈기 출력은 $2W$ 비트로 출력의 비트수가 늘어나지만 고정길이 곱셈기는 W 비트만 출력하는 하는 곱셈기로 하드웨어를 약 40% 정도 줄일 수 있다.

하드웨어 복잡도를 감소시키면서 양자화 오차를 효율적으로 보상하기 위해 modified Booth 인코더의 출력정보를 이용하여 오차보상 바이어스를 생성하는 방법이 제안되었다[5]. 이 방법은 버려지는 비트들이 양자화 오차에 영향을 주는 정도에 따라 두 그룹(major group, minor group)으로 나누고, 각 그룹에 서로 다른 오차보상방법을 적용하였다.

예를 들면, 그림 3과 같은 12×7 곱셈기의 고정길이 곱셈기 설계에서 LP의 계산에 필요한 덧셈연산은 생략되고, 그림 4에서와 같은 바이어스가 MP의 덧셈에 더해진다. 그림 4에서 y_i'' 은 원래의 modified Booth 계수에서 얻어진 새로운 modified Booth 계수이다.

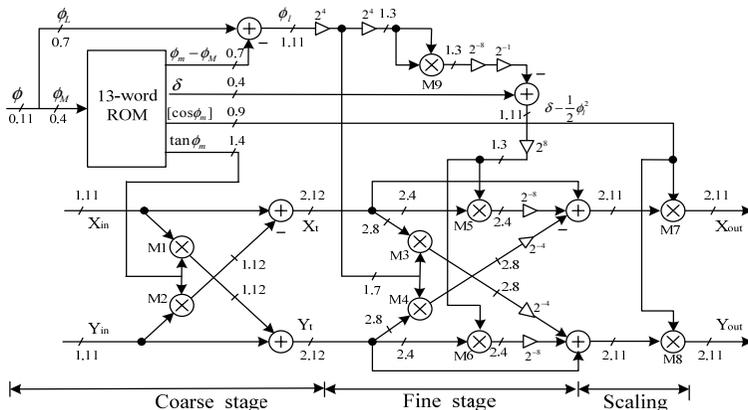


그림 2. 각회전기의 구조(W=12)
Fig. 2 Structure of angle rotator with W=12.

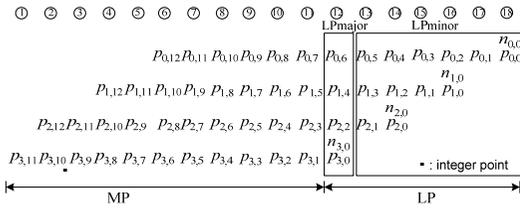


그림 3. 12×7 곱셈기에 대한 부분곱
Fig. 3 Partial products for 12×7 multiplier.

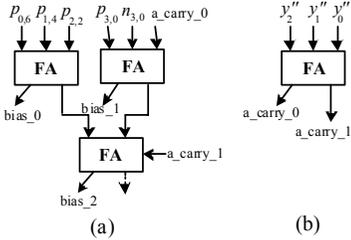


그림 4. 보상바이어스 : (a) 바이어스 생성회로, (b) 근사캐리생성회로

Fig. 4 Compensation bias : (a) bias generation circuit, (b) approximate carry generation circuit.

IV. QR분해 회로 설계

QR분해의 기본연산은 식 (17)과 같다.

$$\begin{bmatrix} X_{out} \\ Y_{out} \end{bmatrix} = \begin{bmatrix} \cos\phi & -\sin\phi \\ \sin\phi & \cos\phi \end{bmatrix} \begin{bmatrix} X_{in} \\ Y_{in} \end{bmatrix} = \begin{bmatrix} \times \\ 0 \end{bmatrix} \quad (17)$$

그림 5는 제안한 QR분해기의 코어(core)의 구조를 나타낸다. 위상추출기의 입력을 변환을 고려하여 표 1과 같이 입력 X_{in} , Y_{in} 과 출력 X_{out} , Y_{out} 에 대해 interchange와 negate 동작이 필요하다.

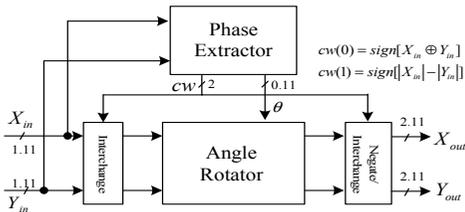


그림 5. QR분해 코어의 기본구조(W=12)
Fig. 5 Elementary QR decomposition core architecture.

표 1. Negate 와 interchange 조건
Table 1. Negate and interchange condition
($cw = \text{sign}[X_{in}] \oplus \text{sign}[Y_{in}], \text{sign}[|X_{in}| - |Y_{in}|]$)

Octant	cw	Negate	Interchange X_{in}, Y_{in}	Interchange X_{out}, Y_{out}
7	0 0	0	1	1
6	0 1	1	0	1
0	1 0	0	0	0
1	1 1	1	1	0

QR분해의 기본회로는 위상추출기와 각회전기, interchange & negate 연산으로 구성된다. 위상추출기는 표 1에서 보이는 것과 같이 위상과 제어신호(cw)를 생성한다. 각회전기는 위상추출기에서 얻어진 위상을 이용하여 회전하며, interchange 및 negate에서 입력을 포맷하고, 각회전의 출력을 후처리하여 제대로 된 출력이 되도록 한다.

입력은 12비트이고 범위는 $-1 \leq X_{in}, Y_{in} \leq 1$ 로 1비트 정수부와 11비트 fractional을 가진다. 위상추출기의 출력은 11비트 unsigned 수이고, ϕ 의 범위는 $0 \leq \phi \leq \pi/4$ 로 11비트의 소수부를 가진다. 각회전기의 출력 범위는 $-\sqrt{2} \leq X_{out}, Y_{out} \leq \sqrt{2}$ 이므로 13비트이며, 2비트의 정수부와 11비트의 소수부를 가진다.

QR분해 회로를 효율적으로 구현하기 위하여 위상추출기와 각회전기의 곱셈기에 고정길이 modified Booth 곱셈기를 적용한다. 표 2는 그림 1과 그림 2에 사용된 곱셈기의 크기를 요약이다.

QR분해 기본 코어에 일반 곱셈기와 고정길이 곱셈기를 사용한 경우의 오차성능을 비교하기 위해 1000개의 임의의 벡터를 생성하고 입력으로 사용하였다.

그림 6과 7은 각각 일반 곱셈기와 고정길이 곱셈기로 얻어진 위상추출기와 각회전기의 오차를 비교한 것이다. 고정길이 곱셈기를 적용한 코어의 절대평균오차는 0.19×2^{-11} , 0.59×2^{-11} 인 반면 일반 곱셈기를 적용한 코어의 0.26×2^{-11} , 0.73×2^{-11} 으로 고정길이 곱셈기를 적용한 코어가 일반 곱셈기를 적용한 코어보다 정확함을 알 수 있다. 일반 곱셈기는 곱셈출력을 구한 후 필요한 비트로 양자화 하였다.

일반적으로 $L \times L$ 행렬의 곱셈은 L^3 번의 곱셈이 필요하지만, QR분해에서 Givens 회전의 특징을 이용하면 최대 4L번의 곱셈으로 줄일 수 있다. Sharing 기법

을 이용하면 3×3 행렬에 대해 그림 8와 같은 QR분해 회로를 설계할 수 있다. 행렬의 입력을 선택하기 위한 간단한 선택신호($sw = 00, 01, 11$)가 필요하다.

표 2. QR분해 코어에 사용된 곱셈기 크기.
Table 2. Multiplier size of QR decomposition.

	곱셈기	크기 (정수부 .소수부)	출력 워드길이 (정수부 .소수부)
위상 추출기	M1	12×7 (2.10×1.6)	No use
	M2 & M3	12×7 (2.10×2.5)	16(3.13)
	M4 & M5	12×7 (2.10×1.6)	11(2.9)
	M6	11×11(2.9×1.10)	11(2.9)
각 회전기	M1 & M2	12×6(1.11×2.4)	13(2.12)
	M3 & M4	10×8(2.8×1.7)	11(2.9)
	M5 & M6	6×4(2.4×1.3)	6(2.4)
	M7 & M8	13×10(2.11×1.9)	13(2.11)
	M9	4×4(1.3×1.3)	4(1.3)

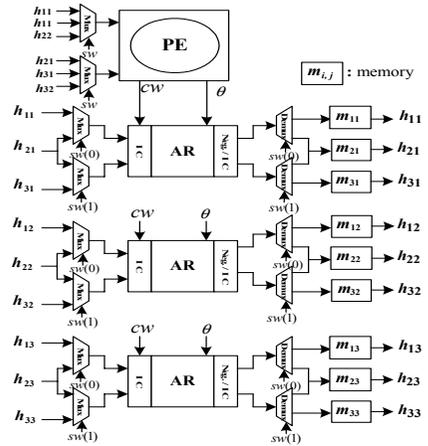


그림 8. 3×3 QR분해 회로.
Fig. 8 QR decomposition architecture by sharing.

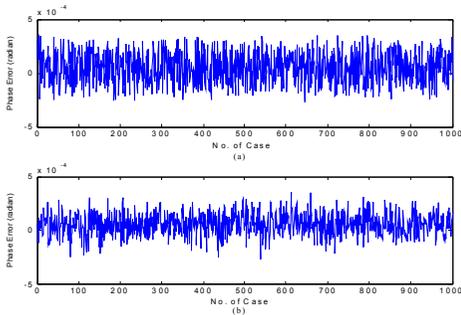


그림 6. 위상오차 비교: (a) 곱셈기 (b) 고정길이 곱셈기
Fig. 6 Comparison of phase error: (a) by truncated multipliers, (b) by fixed-width multiplier.

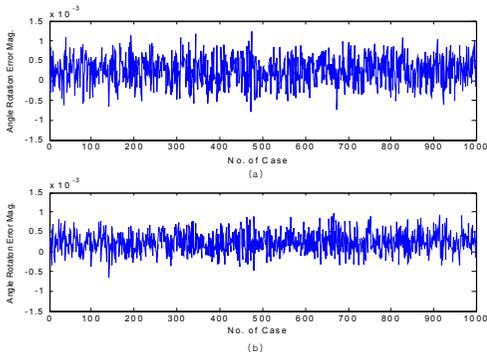


그림 7. 각회전기 오차비교: (a) 곱셈기 (b) 고정길이 곱셈기
Fig. 7 Comparison of angle rotation error: (a) by truncated multipliers, (b) by fixed-width multiplier.

V. 결론

본 논문에서는 GDFE에 사용되는 QR분해 연산을 위해 CORDIC 알고리즘을 사용하는 대신 Givens 회전을 이용하여 QR분해 프로세서를 설계하였다. Givens 회전의 위상추출과 각회전 연산을 위해 2단계 기법을 사용하였다. 또한, 위상추출기와 각회전에 사용되는 곱셈기에 고정길이 곱셈기를 적용하였으며, 일반 곱셈기와 고정길이 곱셈기를 적용하였을 때의 오차성능 비교에서 고정길이 곱셈기를 사용하는 방법이 오차가 작고 하드웨어 비용을 줄일 수 있음을 보였다. 또한 sharing기법을 이용해 효율적인 QR분해 프로세서의 구조를 제안하였다.

참고 문헌

- [1] G. Ginis, Y. Bar-Ness and J. M. Cioffi, "Blind adaptive MIMO decision feedback equalization using Givens rotations", In Proceedings of International Conference on Communications (ICC) 2002, vol.1, pp.59-63, 2002.
- [2] S. Wang, V. Piuri and E. Swartzlander, Jr., "Hybrid CORDIC algorithm", IEEE Transactions on Computers, vol.46, no.11, pp.1202-1207, Nov. 1997.
- [3] D. D. Hang, D. Fu and A. N. Willson, Jr., "A

- 400-MHz processor for the conversion of rectangular to polar coordinates in 0.25- μm CMOS", IEEE Journal of Solid-State Circuits, vol.38, no.3, pp.1771-1775, Oct. 2003.
- [4] D. Fu and A. N. Willson, Jr., "A high-speed processor for digital sine/cosine generation and angle rotation", In Proceedings of 32nd Asilomar Conference on Signals, Systems, and Computer, vol.1, pp.177-181, 1998.
- [5] K. J. Cho, K. C. Lee, J. G. Chung and K. K. Parhi, "Design of low error fixed-width modified Booth multiplier", IEEE Transactions on VLSI systems, vol.12, no.5 pp.522-531, May 2004.

저자 소개



조경주(Kyung-ju Cho)

1996년 원광대학교 전자공학과 졸업(공학사)

2002년 전북대학교 대학원 정보통신학과 졸업(공학석사)

2006년 전북대학교 대학원 정보통신공학과 졸업(공학박사)

2006년~2009 전북대학교 Post-DOC.

2009년~현재 향로표지기술협회 연구소 과장

※ 관심분야 : SoC 설계, 임베디드시스템 설계