
VCO를 이용한 차지펌프 설계

채용웅*

Design of Charge Pump Circuit with VCO

Yong-yoong Chai*

요 약

플래시메모리의 쓰기나 소거 등의 프로그래밍 동작을 위해서는 각기 다른 고전압이 필요하며, 이를 위해서 차지펌프회로가 사용되어 왔다. 본 논문에서 제안되는 차지펌프회로는 VCO를 이용하여 외부에서 인가되는 기준전압과 차지펌프의 출력이 일치하도록 클락 주파수를 조절해줌으로서 공정에 의한 오차뿐만 아니라 차지펌프의 각 단을 구성하는 MOSFET의 바디효과에 관계없이 예측 가능한 출력을 발생하는 회로이다.

ABSTRACT

For programming such as writing or erasing of the flash memory, two different kinds of high voltage are required, and the charge pump circuit has been used for this. The charge pump circuit proposed in this paper uses the VCO to adjust the clock frequency in order to match the reference voltage approved from the outside and the charge pump's output. Accordingly, I suggest a circuit that can produce a predictable output, regardless of not only an error by fabrication but also MOSFET's body effect generated in each part of the charge pump.

키워드

차지펌프, VCO, Memory, 불활성소자, 프로그래밍

1. 서 론

최근에 EEPROM이나 플래시메모리가 휴대용 단말기의 데이터 저장용으로 많이 사용되고 있다. 이것은 상기 메모리가 전원 공급이 제거되어도 데이터를 보존하는 불활성 특성이 있기 때문이다. 이러한 불활성 메카니즘의 구현을 위해서는 부유게이트를 갖는 셀의 구조가 필수적이며, 부유게이트의 전하량에 의해 논리 1과 0의 데이터가 구분된다. 전하량의 조절을 위해서는 Flower-Nordheim(FN) 터널링이나 Hot-electron 인젝션 등이 사용되는데, 이 방식의 구현을 위해서는 높은 프로그래밍 전압이 필요하다. 이는 SiO₂를 통해

전자를 부유게이트에 넣거나 빼는 데에 있어서 높은 전기장이 필요하기 때문이다[1].

본 논문에서는 상기의 프로그래밍 전압을 위해 VCO(Voltage Controlled Oscillator)를 사용한 차지펌프 회로를 설계하였다[2]-[5]. 플래시메모리의 내용을 변경하기 위해 사용되는 고전압은 쓰기, 소거, 읽기 동작에 따라 전압의 크기가 각각 다르다. 차지펌프 회로는 전원 전압보다 높은 전압을 공급하기 위해 사용되는 회로로서 기존의 방식에서는 기동 클락의 주파수나 펌프의 단수를 변경함으로써 프로그래밍 전압을 조절하였다. 그러나 이러한 방식은 공정에 의한 오차뿐만 아니라 각 단을 구성하는 MOSFET의 바디효과

*계명대학교 전자공학과(yychai@kmu.ac.kr)

접수일자 : 2010. 12. 13

심사(수정)일자 : 2011. 01. 12

게재확정일자 : 2011. 02. 09

에 의한 문턱전압 상승효과에 의해 결과값의 예측이 어려운 단점이 있었다[6]. 이에 충방전 전류의 매칭 및 스위칭 특성을 개선하기 위해 VCO를 이용한 차지 펌프가 제안되기도 했다[7]-[8].

본 논문에서 제안되는 차지 펌프 회로는 상기의 스위칭 특성의 개선 뿐만 아니라 누설 전류 제거에서 부가적으로 발생하는 전류의 상승을 방지할 수 있는 장점이 있다. 이것은 VCO가 외부에서 인가되는 기준 전압과 차지펌프의 출력이 일치하도록 클락 주파수를 조절하는 기능에 의해 구현될 것이다.

II. VCO를 이용한 차지펌프회로

그림 1은 R. McParland에 의해 제안된 표준 CMOS 공정에서 제작 가능한 싱글폴리 EEPROM을 나타낸다[4].

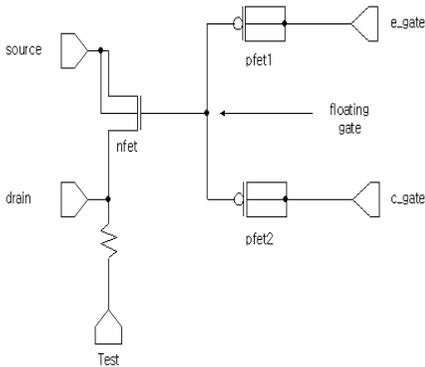


그림 1. 싱글폴리 EEPROM 회로도
Fig. 1 A Circuit Diagram of EEPROM with a Single Poly

상기 메모리 셀에 인가되는 전압은 쓰기동작, 소거동작, 읽기동작 등으로 구분된다. 쓰기동작은 Hot-Electron 인젝션 방식에 의해 구동되며, 컨트롤 게이트(c-gate)와 드레인 사이의 전위차에 의해 소스 전극에서 드레인 전극으로 이동하는 전자가 채널의 포화영역에서 강한 전계로 인해 가속되어 높은 운동 에너지를 갖게 된다. 그 결과 부유게이트(Floating Gate)의 전자수가 증가하고 트랜지스터의 문턱전압이 상승

하게 된다. 소거동작의 경우는 Hot-Electron 인젝션 방식이 아닌 Fowler-Nordheim 방식에 의해 구동된다. 소거동작은 소거게이트(e-gate)에 전압을 인가하며 그 외의 게이트는 접지시킨다. 이 때 부유게이트의 전자수는 감소하게되고 결과적으로 문턱전압은 낮아지게 된다. Fowler-Nordheim 방식은 전극 사이 산화막에 고전계가 인가된 경우 터널링 전류가 전계에 대해 지수함수적으로 증가하는 현상을 말한다. 마지막으로 읽기동작은 부유게이트에 남아있는 전자량, 즉 드레인 단자의 전압을 읽기 위한 동작이다.

기본적인 쓰기동작과 소거동작이 끝나게 되면 외부에서 인가되는 높은 전압이 제거 되고 부유게이트에 저장된 전자는 S_iO_2 의 높은 에너지 장벽에 갇히게 된다. 따라서 외부 전원이 제거 되더라도 부유게이트에 있는 전자가 여전히 잔류하여 특정 정보를 나타내게 된다. 이와같은 방식으로 싱글폴리 EEPROM은 비휘성 특성을 가진 메모리로 정의된다.

그림 2는 그림 1의 등가회로를 보여준다. 회로에서 C_{pp} , C_{gox} , C_{tun} 은 부유게이트와 각 MOS 디바이스 채널 사이의 커패시터 용량을 나타낸다. 그림 2에 나타난 EEPROM의 등가회로에서 계산된 식(1)과 식(2)는 각각 쓰기와 소거시의 커플링 비를 나타낸다. 커플링 비가 클수록 쓰거나 소거동작 시 전기장의 영향이 증가하므로 C_{pp} 는 커야하고 C_{tun} 은 작아야 한다는 것을 알 수 있다.

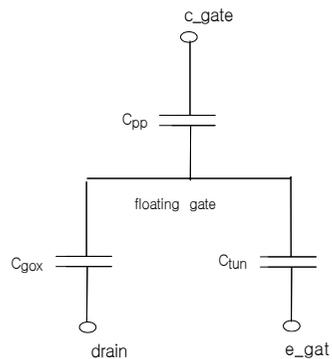


그림 2. EEPROM의 등가회로
Fig. 2 Equivalent Circuit of EEPROM

$$K_w = \frac{C_{PP}}{C_{PP} + C_{gox} + C_{tun}} \quad (1)$$

$$K_e = 1 - \frac{C_{tun}}{C_{PP} + C_{gox} + C_{tun}} \quad (2)$$

지금까지 알아본 바와 같이 불활성소자를 프로그래밍하고 그 결과를 읽는 동작은 각기 다른 방식에 의해 이루어지며 따라서 그에 따라 외부에서 각 단자에 인가되는 전압이 동작에 따라 다르게 인가되어야 한다. 이에 따라 각 동작에 따라 각기 다른 전압을 만들어 내는 차지펌프회로가 요구되는 것이다.

그림 3은 VCO를 이용한 차지펌프 회로의 블럭도이다.

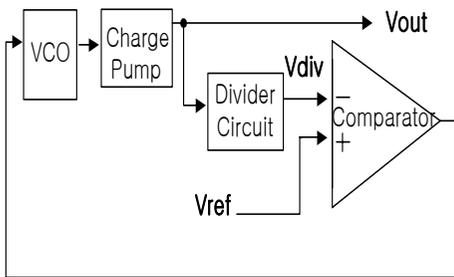


그림 3. VCO를 이용한 차지펌프 회로
Fig. 3 Charge Pump Circuit implemented with VCO

기준 전압 Vref와 차지펌프 출력전압을 나눈 분할 회로의 출력전압 Vdiv는 각각 비교기의 +, - 입력으로 들어가고, 비교기의 출력이 VCO의 입력으로 들어간다. VCO의 출력이 차지펌프의 입력클락으로 들어가 차지펌프를 동작시키도록 회로가 구성되어 있다.

외부에의 인가전압 Vref는 기준 전압으로서 이 전압의 크기에 따라 차지펌프의 출력전압이 결정된다. 분할회로 블럭은 원하는 특정전압인 차지펌프의 출력전압을 Vref와 동일한 전압이 되도록 나누어주는 블럭이다. VCO는 입력되는 전압의 크기에 따라 주파수가 변화되는 클락을 출력하는 회로이며 이것은 그림 4에 나타나 있다. 그림 5는 입력전압의 크기에 따라 VCO의 출력주파수의 변화를 보여주는 시뮬레이션 결과이다. 그림에 나타난 것처럼 입력전압이 높을수록

출력 주파수가 빨라지는 것을 알 수 있다.

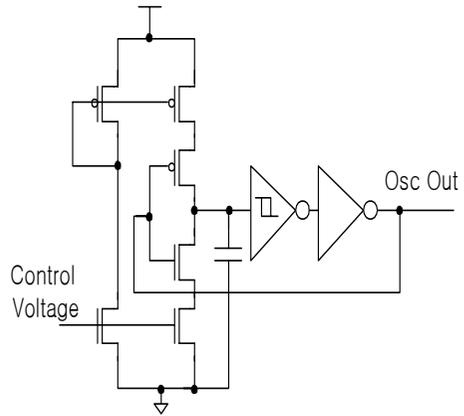


그림 4. VCO 회로
Fig. 4 VCO Circuit

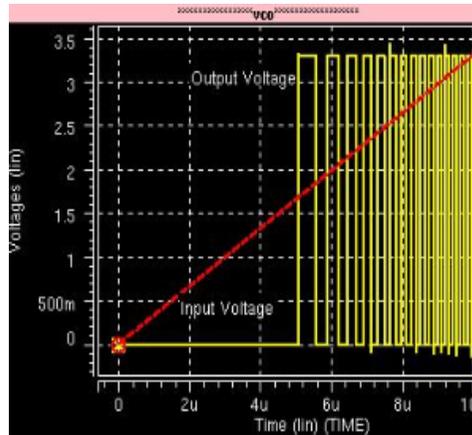


그림 5. 입력전압 변화에 따른 VCO 출력
Fig. 5 VCO Output according to the Variation of Input Voltage

비교기 블럭에서 두 입력전압을 비교하며, Vdiv가 Vref보다 적으면 비교기 출력이 통전되어 VCO로 들어가고, 주파수가 높은 클락이 출력되어 차지펌프의 출력전압이 원하는 특정전압까지 빨리 증가한다. 차지펌프의 출력전압 Vout은 다시 분할 회로 블럭의 입력으로 들어가고, 비교기에서는 계속해서 두전압을 비교한다. 차지펌프의 출력전압 Vout이 원하는 특정전압 만큼 증가하면 Vdiv와 Vref의 전압이 같아지고 비교

기 출력이 어프 된다. 따라서 VCO는 더 이상 동작하지 않게 되고 클락이 발생되지 않으므로 차지펌프에서는 일정한 출력전압 V_{out} 전압을 유지하게 된다. 그림 6은 상기 블록에서 사용된 폴디드 캐스코드형의 비교기를 나타낸다.

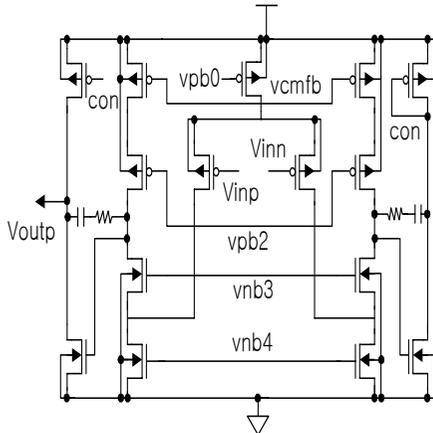


그림 6. 비교기
Fig. 6 Comparator

III. 차지펌프 회로

그림 7은 차지펌프 블록중의 한단을 나타낸다. 위의 회로를 연결한 단수에 비례하여 출력전압이 증가하게 된다.

차지펌프 회로는 N개의 부스트회로들이 직렬연결되어 있다. 각 부스트회로들은 2개의 NMOS와 2개의 PMOS로 구성되어 있으며, 각 부스트회로에 인가되는 클락은 clk 과 clkb로서 서로 교차되어 인가되는 겹치지 않는 클락이다. 각 부스트회로는 교차되어 인가되는 클락을 제외하고 동일한 구성으로 이루어져 있다.

clk이 하이인 동안에는 각 부스트회로의 NT2과 clkb가 인가되는 PT1이 온되고, NT1과 PT2는 어프 된다. 이러한 동작으로 인해 clk이 온되는 순간 NT2에 의해 전단의 인가된 전압이 C2를 충전시키는 동안, C1은 방전되면서 다음단에 연결된 부스트회로에 전하를 이동시키게 된다. 이러한 동작은 매번 클락이 교차되면서 다음 단으로 진행되기 때문에 출력 V_{out} 의 전압은 증가하게 된다.

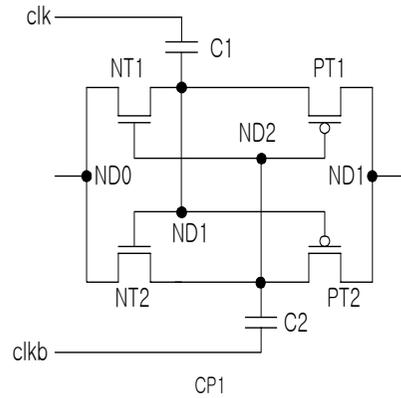


그림 7. 차지펌프 회로
Fig. 7 Charge Pump Circuit

차지펌프 회로는 각 단이 NMOS와 PMOS로 구성되어 있다. PMOS는 각기 분리된 N-Well에 위치하게 함으로서 문턱전압의 상승에 의한 부작용을 제거하도록 설계되었다. 각 단의 전압과 기판간의 전위차에 의한 문턱전압을 고려하지 않아도 되기 때문에 출력단의 전압이 연결된 단수에 비례한 전압이 생성되며, 문턱전압에 따른 전압누수현상이 없기 때문에 적은수의 단수를 사용해도 높은 전압을 생성할 수 있다.

그림 8은 그림 3의 시스템 시뮬레이션 결과이다. 처음에 분할된 전압 V_{div} 가 기준 전압 V_{ref} 보다 적어서 비교기의 출력은 온이 출력되어 VCO에서 클락이 발생하므로 차지펌프의 출력값이 계속 증가한다. 차지펌프의 출력이 증가하면서 V_{div} 의 전압도 계속 증가해 V_{ref} 와 같아졌을 때 비교기의 출력이 어프가 된다. 이에따라 VCO의 동작이 멈추게 되어 차지펌프에 클락이 인가되지 않으므로 일정한 출력 전압을 유지하게 된다.

따라서 외부에서 높은 전압을 인가해줄 필요가 없으며, 기준전압 V_{ref} 만 적당하게 조절해주면 플래시 메모리의 쓰기, 소거, 읽기 등의 동작에 모두 쓰이는 차지펌프회로가 될 것이다.

그림 9는아남 0.18um 1-poly 6-metal 공정에서 작업한 제안된 차지펌프 회로의 레이아웃이다.

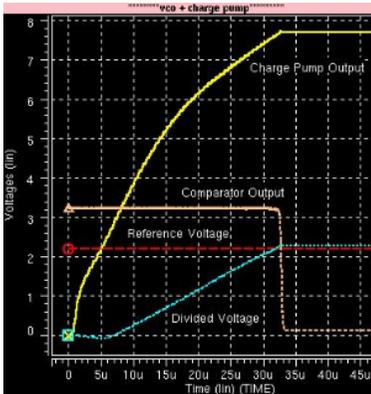


그림 8. 제안된 차지펌프 회로를 이용한 시뮬레이션 결과

Fig. 8 Simulation Result by proposed Charge Pump Circuit

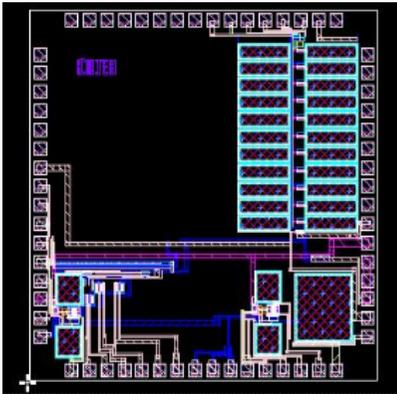


그림 9. 제안된 차지펌프 회로의 레이아웃

Fig. 9 Layout of proposed Charge Pump Circuit

IV. 결론

EEPROM이나 플래시메모리같은 불휘성소자의 데이터를 변경하기위해 사용되는 높은 전압은 쓰기, 소거, 읽기에 따라 각각 다른전압을 요구한다. 이를위해 VCO를 기존의 차지펌프 회로에 도입하여 기준 전압을 조절해 원하는 출력전압을 얻을 수 있는 회로를 구현하였다. 현재 휴대용 기기의 발전으로 인해 플래시 메모리와 같은 불휘성 소자가 많이 사용되고 있다. 따라서 별도의 회로변화 없이 원하는 전압을 얻을 수 있는 상기의 회로에 대한 수요가 예상된다.

참고 문헌

- [1] John F. Dickson, "On-chip high-voltage generation in MNos integrated circuits using an improved voltage multiplier technique", IEEE J. Solid-State Circuits, vol. 11, pp. 374-378, 1976.
- [2] Kazuhiko Fukushima and Atsuo Yamaguchi, "Charge pump circuit", U.S. Patent 6107864, Aug. 2000.
- [3] T. Tanzawa, T.Tanaka, T.Takeuchi, and K. Nakamura, "Circuit techniques for a 1.8-V-only NAND flash memory", IEEE J. Solid-State Circuits, vol. 37, no. 1, pp. 84-89, 2002..
- [4] McParland, R. J. and Singh, Ranbir, "1.25V, Low Cost, Embedded Flash Memory for Low Density Applications", 2000 symposium on VLSI circuits Digest of Technical paper. June 2000.
- [5] J. T. Wu, Y. H. Chang and K. L.Chang, "1.2V CMOS switched capacitor circuits", in IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, pp. 388-389, 1996.
- [6] T. Yamazoe and E. Yamasaki, "A charge pump without body effect that generates a positive or negative high voltage", Electronics Communications in Japan(PartII:Electronics), vol.88, issue 3, pp.19-26, 2005.
- [7] 양성기, "스위칭 특성을 개선하고 누설전류를 감소시키는 전하펌프회로 및 이를 구비하는 위상동기 루프", 대한민국특허청 특허등록번호 1004165890000, Nov. 2004.
- [8] 하세가와야쓰시, "리크전류를 감소시키는 스위칭회로들을 구비한 차지펌프회로", 대한민국특허청 특허등록번호 1003269560000, Feb. 2002.

저자 소개



채용웅(Yong-young Chai)

1985년 서강대학교 전자공학과 졸업(공학사)
 1991년 Oklahoma State Univ. 졸업(공학석사)
 1994년 Oklahoma State Univ. 졸업(공학박사)
 1998년 계명대학교 전자공학과 교수
 ※ 관심분야 : 혼성모드 집적회로 설계