

## 무전해 동도금 Throwing Power (TP) 및 두께 편차 개선

서정욱, 이진욱<sup>†</sup>, 원용선<sup>†\*</sup>

삼성전기주식회사 생산기술센터  
443-743 경기도 수원시 영통구 매탄 3동 314번지  
<sup>†</sup>삼성전기주식회사 중앙연구소  
443-743 경기도 수원시 영통구 매탄 3동 314번지  
<sup>‡</sup>국립부경대학교 화학공학과  
608-739 부산광역시 남구 용당동 산 100

(2011년 5월 3일 접수; 2011년 5월 18일 1차 수정본 접수; 2011년 5월 31일 2차 수정본 접수; 2011년 5월 31일 채택)

## Improvement of the Throwing Power (TP) and Thickness Uniformity in the Electroless Copper Plating

Jung-wook Seo, Jinuk Lee<sup>†</sup>, and Yong Sun Won<sup>†\*</sup>

Manufacturing & Engineering Center, Samsung Electro-Mechanics Co., Ltd., Suwon, Gyeonggi 443-743, Republic of Korea  
<sup>†</sup>Corporate R&D Institute, Samsung Electro-Mechanics Co., Ltd., Suwon, Gyeonggi 443-743, Republic of Korea  
<sup>‡</sup>Department of Chemical Engineering, Pukyong National University, Busan 608-739, Republic of Korea

(Received for review May 3, 2011; 1st Revision received May 18, 2011; 2st Revision received May 31, 2011; Accepted May 31, 2011)

### 요 약

전기도금의 seed layer를 형성하는 무전해 동도금 공정의 throwing power (TP)와 두께 편차를 개선하기 위한 공정 최적화 방법을 제시하였다. 실험계획법 (DOE)을 이용하여 가능한 모든 공정 인자들 가운데 TP와 두께 편차에 가장 큰 영향을 미치는 주요 인자를 파악해 보았다. 균일성을 가진 via filling을 위해서는 도금액 내의 Cu 이온의 농도를 높여주고 도금 온도를 낮추어 주는 것이 바람직한 것으로 판단되었으며 이는 표면 반응성의 측면에서 설명되었다. Kinetic Monte Carlo (MC) 모사가 이를 시각화하기 위해 도입되었으며 실험에서 관찰된 현상을 정성적으로 무리 없이 설명할 수 있었다. 실험계획법을 이용한 체계적인 실험과 이를 뒷받침하는 이론적인 모사가 결합된 본 연구의 접근법은 관련 공정에서 유용하게 활용될 수 있을 것이다.

**주제어** : 무전해 동도금, Throwing power, Via, 두께 편차, PCB (Printed Circuit Board)

**Abstract** : The process optimization was carried out to improve the throwing power (TP) and the thickness uniformity of the electroless copper (Cu) plating, which plays a seed layer for the subsequent electroplating. The DOE (design of experiment) was employed to screen key factors out of all available operation parameters to influence the TP and thickness uniformity the most. It turned out that higher Cu ion concentration and lower plating temperature are advantageous to accomplish uniform via filling and they are accounted for based on the surface reactivity. To visualize what occurred experimentally and evaluate the phenomena qualitatively, the kinetic Monte Carlo (MC) simulation was introduced. The combination of neatly designed experiments by DOE and supporting theoretical simulation is believed to be inspiring in solving similar kinds of problems in the relevant field.

**Keywords** : Electroless copper plating, Throwing power, Via, Thickness uniformity, PCB (Printed Circuit Board)

### 1. 서 론

인쇄회로 기판의 제작 공정 중 무전해 동도금은 후속 공정인 전기도금이 가능하도록 seed layer 형성을 목적으로 진행된다[1-3]. 인쇄회로 기판이 고밀도, 다층화되면서 미세회로 영

역이 증가하고 있으며 via에 의해서 층간 연결이 이루어지는 stacked via 형태의 제품이 많은 비중을 차지하고 있다[4-9]. 이와 같은 미세회로 구현을 위해서는 에칭 공정에서 side etching이 최소화될 수 있도록 무전해 동도금의 두께를 줄여야만 한다[10]. 하지만 무전해 동도금의 두께가 너무 작으면 via 바닥 부위의 두께가 너무 얇거나 도금이 안되어 전기적으로 연결이 되지 않는 open 불량을 야기할 수 있다. 따라서 기판 표

\* To whom correspondence should be addressed.  
E-mail: yswon@pknu.ac.kr

면 도금두께를 낮추면서 via 내부 도금 두께는 일정하게 유지하여 via를 통한 층간 연결이 가능하도록 하는 무전해 동도금 기술 개발이 매우 중요하다. 이 논문에서는 기판 표면 도금두께는 일정하게 유지하면서 via 바닥 부위의 무전해 동도금 층 두께를 향상시킬 수 있도록 throwing power (TP)를 증가시키고 동시에 기판 표면과의 도금 두께 편차를 개선함으로써 궁극적으로 전체적인 도금 두께를 감소할 수 있는 공정 최적화 방법을 제시하고자 한다.

인쇄회로 기판의 무전해 동도금의 균일도는 Figure 1에서 정의된 바와 같이 TP로 나타낼 수 있다. Via 상부 두께 대비 via 바닥 부위 두께의 비율로 TP가 높을수록 도금 두께 균일성이 증가하는 것을 의미한다. 즉, 기판 표면 두께를 일정하게 유지하면서 via 바닥 부위 두께를 증가시키기 위해선 high TP 무전해 동도금이 필요하다. 인쇄 회로기판 제작공정에서 사용되는 무전해 동도금의 TP는 일반적으로 약 40% 수준으로 기판 표면에 비하여 via 바닥 부위 두께가 매우 얇다. 이러한 얇은 도금 두께는 잠재적으로 앞서 언급한 open 불량뿐 아니라 에칭 공정에서 미에칭 불량 등을 발생시킬 수 있다. 따라서 이러한 문제점을 해결하기 위해서는 무전해 동도금의 TP 개선이 필요하며 이를 위해 무전해 동도금의 TP에 대한 도금액 인자들의 영향을 파악하는 실험을 진행하였다. 우선, 도금액 종류별로 TP를 평가하였으며 가장 TP가 높은 A-II 도금액에 대하여 도금액 인자 별 TP에 대한 영향을 파악하였다. 실험 결과 구리이온 농도, 도금 온도 및 stabilizer 양이 TP에 가장 많은 영향을 주는 인자로 결정되었다. 또한 이러한 현상을 kinetic Monte Carlo (MC) 모사를 통해 이론적으로 뒷받침하였다.

## 2. 실험

테스트기판은 TP의 차이를 명확히 비교하기 위하여 기존 기판(AR~0.5)의 aspect ratio 보다 2배 큰 기판(AR~1)을 자체 제작하여 사용하였으며 도금 시간은 현미경으로 via 내부 관찰이 용이하도록 40분을 적용하였다. Figure 2는 AR~0.5 기판에서의 도금액 종류에 따른 TP를 예로서 보여주고 있다. 도

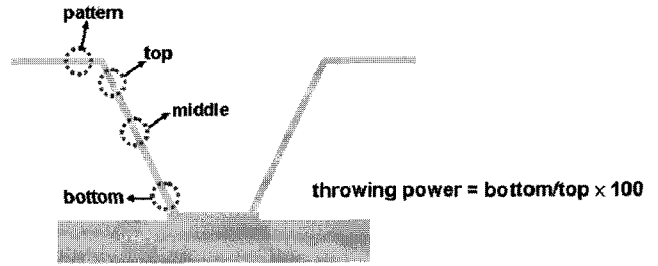


Figure 1. Definition of the throwing power (TP) of electroless Cu plating solution.

금 조건은 각 도금액의 표준 공정 조건을 사용하였다. A-I와 A-II는 기존 도금액과 개발 도금액 두 가지 종류를 의미하며 각 도금액의 표준 공정 조건의 구리 이온 농도(g/L), basic 농도(mL/L) 및 온도를 각각 나타내었다.

도금액의 TP는 Figure 2와 같이 via 상부와 하부 두께를 측정하여 계산하였는데 현 기판 수준(AR~0.5)에서 A-I 도금액의 TP는 40% 수준으로 관찰되었으며 A-II 도금액의 경우 70% 이상이었다. 도금액에 따른 TP를 명확히 비교하기 위하여 aspect ratio가 2배인 기판을 사용하여 TP를 평가하였다.

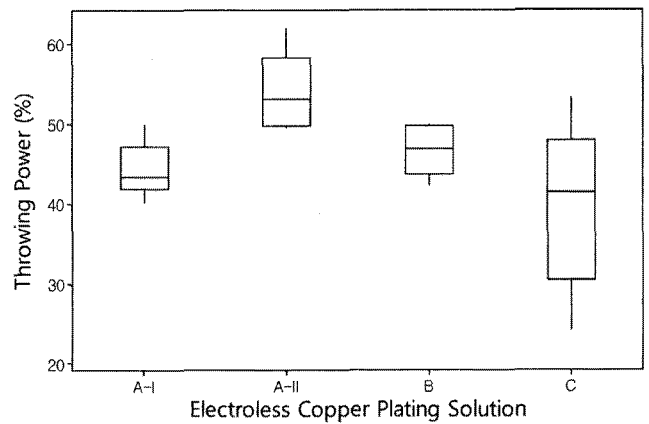
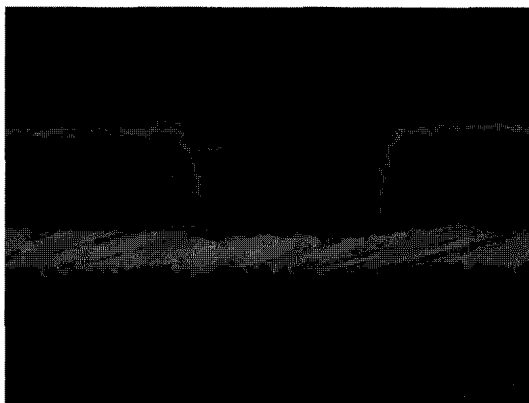


Figure 3. Comparison of the TP with respect to the kind of electroless Cu plating basic solution.



(a) A-I (2.3/85 at 34 °C)



(b) A-II (2.7/95 at 30 °C)

Figure 2. Cross-sectional views of electroless Cu plating with respect to the kind of electroless Cu plating basic solution.

**Table 1.** Experimental sets from DOE (design of experiment)

Test #	Cu ion conc. (g/L)	Basic sol. (mL/L)	Temp. (°C)	NaOH (g/L)	Reduction (mL/L)	Stabilizer (mL/L)	Air bubble (L/min)
1	2.3	85	30	7	16	1	1
2	3.0	95	30	7	16	1	1
3	3.7	105	30	7	16	1	1
4	3.0	95	28	7	16	1	1
5	3.0	95	34	7	16	1	1
6	3.0	95	30	5	16	1	1
7	3.0	95	30	10	16	1	1
8	3.0	95	30	7	12	1	1
9	3.0	95	30	7	20	1	1
10	3.0	95	30	7	16	0.7	1
11	3.0	95	30	7	16	2	1
12	3.0	95	30	7	16	1	0.1
13	3.0	95	30	7	16	1	4

도금액 별 TP 평가 결과 A-I, B 및 C 도금액은 TP가 40% 수준이었으며 A-II 도금액의 경우 50% 이상이였다(Figure 3). 도금액 B와 C의 경우 도금 조건은 구리이온의 농도 = 3.0 g/L, basic 농도 = 95 mL/L, 온도 = 30 °C 였다. A-II 도금액은 다른 도금액들과 비교하여 Cu 이온 농도가 높고, 도금액 온도가 낮은 특징이 있다. 이외에도 도금액의 어떤 요인이 TP에 영향을 주는 지 확인하기 위하여 A-II 도금액을 선정하여 인자 별 TP 평가를 진행하였다.

주요 공정인자는 Cu 이온 농도, 기준용액 농도(basic solution), 도금 온도, NaOH 농도, 안정제 농도, 환원제 농도였고 이외에 설비인자를 고려하기 위하여 air bubbling을 포함시켰다. Table 1은 실험계획법(DOE; design of experiment)에 의해 세워진 실험 세트를 보여주고 있는데 기준 실험 조건은 Cu 이온 농도 = 3.0 g/L, 기준용액 농도 = 95 mL/L, 도금 온도 = 30 °C, NaOH 농도 = 7 g/L, 안정제 농도 = 1 mL/L, 환원제 농도 = 16 mL/L, air bubbling = 1 L/min, 도금 시간 = 40 min이다. 이를 기준으로 각각 두 개의 높고 낮은 조건(Table 1의

shaded 부분)을 도입함으로써 위 인자들의 TP에 주는 영향을 파악하고자 하였다.

### 3. 결과

#### 3.1. TP 및 두께 편차에 미치는 공정인자의 영향

Table 1과 같이 계획된 실험이 진행되었으며 Table 2에 실험조건에 따른 평균도금 두께를 pattern, top, middle, bottom (Table 1 참조) 각각에 대하여 정리하였다. 또한 이를 바탕으로 Table 1에서 정의된 바와 같이 TP를 계산하여 각 실험조건 별 TP를 Table 4에 그래프로 나타내었다.

위 실험 결과에서 TP에 영향을 주는 주요 도금 인자는 i) Cu 이온 농도, ii) 도금 온도, iii) 안정제 농도였다. Cu 이온 농도와 안정제는 그 농도가 높을수록(양이 많을수록) TP가 증가됨을 알 수 있었으나 안정제의 경우 농도가 2 mL/L 이상에서 도금 후 외관이 매우 어둡게 나타나 도금 시 2.0 mL/L 이상의 높은 농도를 유지하는 것이 바람직하지 않은 것으로

**Table 2.** Average plating thickness on various sites with respect to the plating conditions

Exp. Set #	Average plating thickness (μm)						
	1	2	3	4	5	6	7
Pattern	1.66	1.79	2.81	1.92	3.13	1.47	2.62
Top	1.63	1.59	2.43	2.02	2.88	1.41	2.34
Middle	1.45	1.25	2.43	1.62	2.13	1.19	2.14
Bottom	0.76	0.86	1.64	0.90	0.94	0.75	0.79
Exp. Set #	8	9	10	11	12	13	
Pattern	2.08	1.53	1.83	1.29	1.13	1.88	
Top	1.92	1.60	1.48	1.33	1.12	2.22	
Middle	1.77	1.47	1.28	1.23	0.51	1.76	
Bottom	1.04	0.80	0.73	0.91	0.11	1.24	

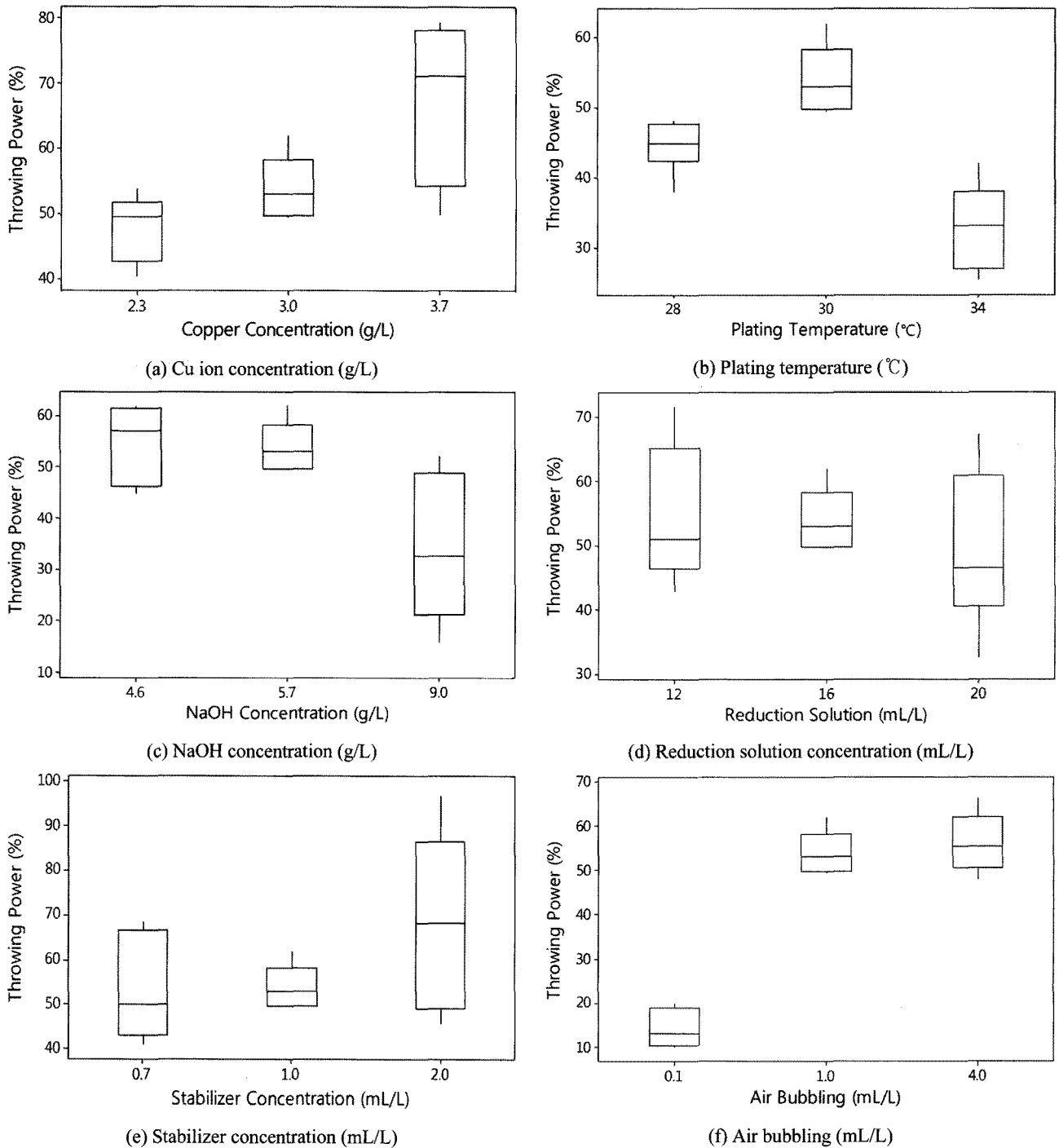
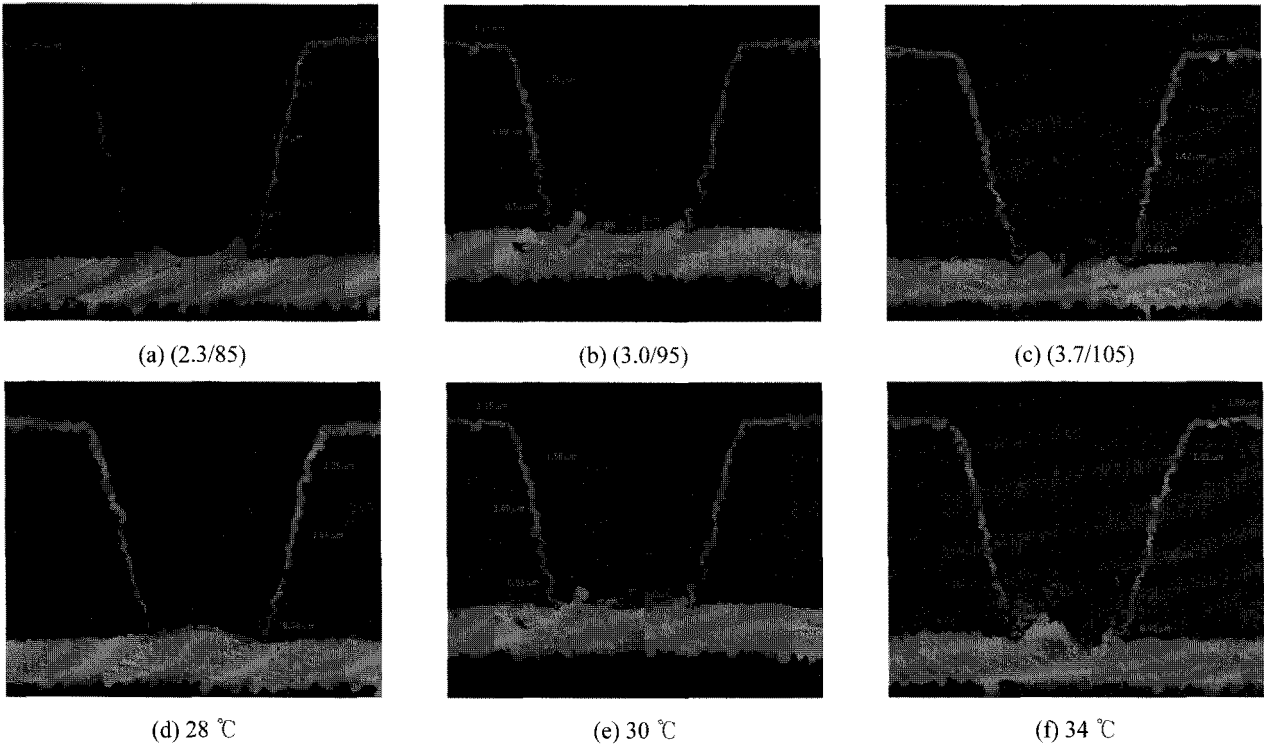


Figure 4. The effect of plating parameters on the TP (A-II plating solution).

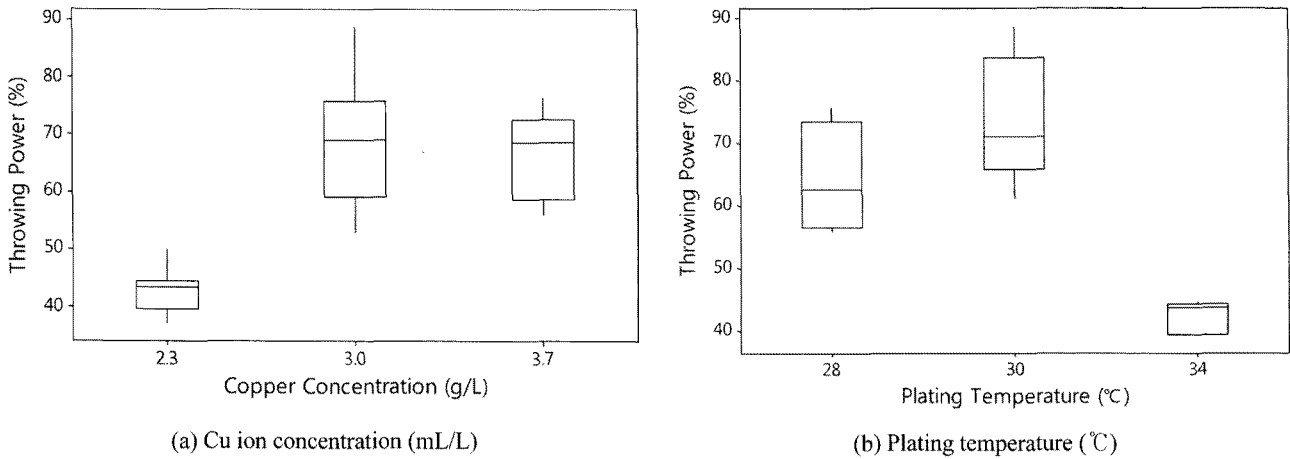
판단되었다. 나머지 도금 인자들은 운전적인 측면에서 도금 조건을 고정함으로써 TP에 주는 영향을 배제할 수 있는데 예를 들어 air bubbling은 1.0 mL/L 이상, NaOH 농도는 7 g/L 이하로 도금 조건을 고정하면 높은 수준의 TP가 유지되면서 위 도금인자들의 영향을 고려하지 않아도 됨을 알 수 있다 (Figure 4(c)와 (f)). 따라서 두 가지 공정인자(Cu 이온 농도와 도금 온도)에 대한 추가적인 상세 DOE를 진행함으로써 TP를 극대화시키는 최적화 조건을 도출할 수 있다. Figure 5는 두 가지 공정인자의 변화에 따라 via 도금 두께편차가 어떻게 달

라지는지 광학현미경 단면 사진을 통해 명확하게 보여준다. Figure 5(a), (d), (f)의 경우는 top과 bottom의 두께편차를 확연하게 관찰할 수 있으며 이는 정의에 의해서 TP가 떨어짐을 의미한다.

A-II 도금액에 대한 도금 공정조건 별 TP 영향 평가 결과를 바탕으로 A-I 도금액에 대해서도 동일한 방식의 DOE를 적용하여 실험하였다. 평가 결과 도금 공정 조건 중에서 A-II 도금액과 같이 Cu 이온 농도와 도금 온도가 TP에 가장 크게 영향을 미치는 것으로 관찰되었다. 따라서 기준 도금액의 농도와



**Figure 5.** Cross-sectional views of via plating with respect to the Cu ion concentration and plating temperature (A-II plating solution). The values of (A/B) in (a), (b), and (c) indicate the ratio of Cu ion concentration to basic solution concentration.



**Figure 6.** The effect of the Cu ion concentration and plating temperature on the TP (A-I plating solution).

상관없이 Cu 이온 농도와 도금 온도 두 인자를 조절하여 TP가 극대가 되도록 공정 조건을 찾을 수 있을 것으로 판단된다. Figure 4와 6에서 동일한 공정 조건에서 도금 온도만 변경하였을 때 중간온도에서 TP 값이 최대가 되는 현상이 관찰되었으며 Cu 이온 농도의 경우 다소의 차이는 있지만 Cu 이온의 농도가 증가할수록 TP도 같이 증가하였다. 이에 대한 물리적인 해석은 3.2절에서 다루기로 한다.

### 3.2. Kinetic Monte Carlo 모사를 이용한 공정 인자의 영향 해석

위의 실험을 통해 무전해 동도금 공정의 TP와 두께 편차에

영향을 미치는 주요 인자로서 Cu 이온 농도와 도금 온도가 결정되었다. Figure 4와 6을 통해 관찰된 현상을 물리적으로 해석하기 위하여 conventional kinetic Monte Carlo (MC) 모사를 도입하였다. Kinetic MC에 대한 이론적인 배경은 참고문헌을 참조하길 바라며[11-14] 여기서는 얻어진 결과를 해석하는 데 초점을 맞춘다. Figure 7과 같이 실제 기판(AR~0.5)과 최대한 흡사하게 기울어진 via의 측면까지 고려한 domain을 구성하였으며 대칭이 되는 한쪽 부분만을 그림에 나타내었다. Figure 7(a)는 전형적인 via filling의 모사 결과를 보여주고 있는데 특히 아래쪽 구석이 취약하며 via 측면의 bottom에서 middle을 거쳐 top까지의 두께 편차가 크게 나타남을 알 수

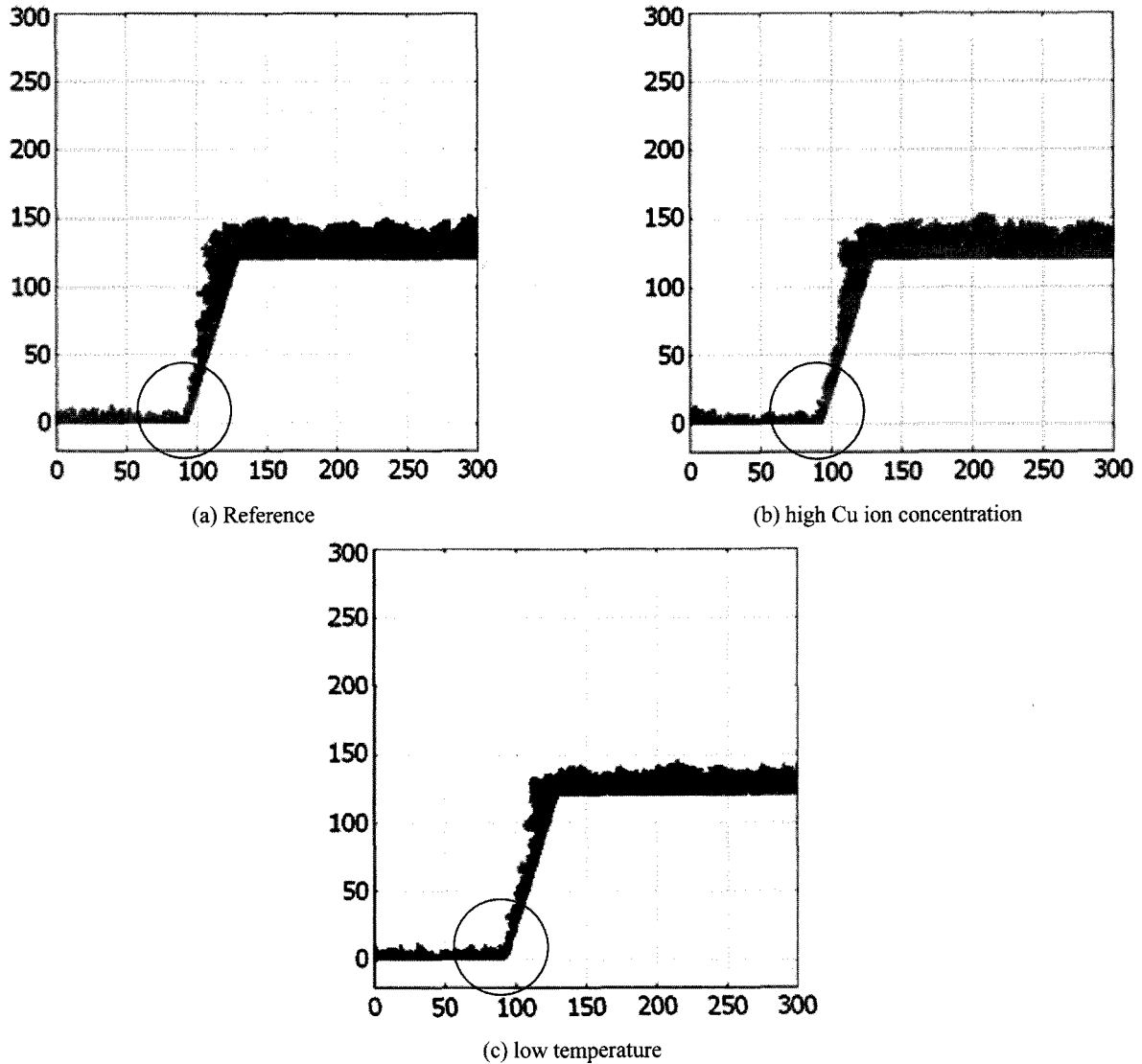


Figure 7. The effect of the Cu ion concentration and plating temperature on the TP (A-I plating solution).

있다. Figure 7(b)와 같이 Cu 이온의 농도가 높은 경우 via의 바닥까지 도달할 수 있는 Cu 이온의 수가 많아지기 때문에 Figure 7(a)에 비해 많이 두께 편차가 많이 향상된 모습을 확인할 수 있다. 물론 이러한 해석은 표면에서의 반응성이 적절하게 유지되는 경우에 해당하며 예를 들어 반응 온도가 높아 표면 반응성이 커지면 오히려 top 부분에서 도금 두께가 크게 증가하여 bottom/top 두께 편차가 커질 수 있다. 이를 Figure 7(c)에서도 확인할 수 있는데 낮은 반응 온도에서 표면 반응성이 크지 않아 via의 위쪽에서 달라붙지 않은 Cu 이온들이 아래쪽까지 확산되어 전체적으로 고른 두께 분포를 보이게 된다. 단 반응 온도를 낮추게 되면 공정의 lead time이 증가하므로 이를 고려하여 온도를 결정하는 것이 중요하다.

#### 4. 결론

무전해 동도금을 이용하여 via 구조에 후속 공정인 전기도금을 위한 seed layer를 형성할 때 전체적인 두께 편차를 감소

하고 throwing power (TP)를 향상시킬 수 있는 공정 조건을 실험계획법 (DOE)을 통하여 알아보았다. 가능한 모든 공정 인자를 검토한 결과 Cu 이온의 농도와 도금 온도가 TP에 가장 큰 영향을 미치는 것으로 파악되었는데 Cu 이온의 농도가 높을수록 도금 온도가 낮을수록 TP와 두께 편차가 향상되었다. 이러한 현상을 kinetic Monte Carlo (MC) 모사를 통하여 구현하였으며 표면 반응성과 관련하여 정성적인 해석을 하였다. 본 연구에서 보여준 DOE 및 모사를 이용한 이론적 해석은 해당 분야의 엔지니어들이 유익하게 활용할 수 있는 접근법이라고 생각된다.

#### 참고문헌

1. Webb, E., Witt, C., Andryuschenko, T., and Reid, J., "Integration of Thin Electroless Copper Films in Copper Interconnect Metallization," *J. Appl. Electrochem.*, **34**, 291-300 (2004).
2. Kobayashi, T., Kawasaki, J., Mihara, K., and Honma, H., "Via-

- Filling Using Electroplating for Build-up PCBs," *Electrochimica Acta*, **47**, 85-89 (2001).
3. Hsu, H.-H., Lin, K.-H., Lin, S.-J., and Yeh, J.-W., "Electroless Copper Deposition for Ultralarge-Scale Integration," *J. Electrochem. Soc.*, **148**(1), C47-C53 (2001).
  4. Nakano, H., Suzuki, H., Haba, T., Yoshida, H., Chinda, A., and Akahoshi, H., "Advanced Trench Filling Process by Selective Copper Electrodeposition for Ultra Fine Printed Wiring Board Fabrication," *Electronic Components and Technology Conference*, 612-616 (2010).
  5. Huemoeller, R., Rusli, S., Chiang, S., Chen, T. Y., Baron, D., Brandt, L., and Roelfs B., "Packaging Substrate Solution for Next Generation Products," *Advancing Microelectronics*, **34**, 22-26 (2007).
  6. Kim, J. J., Kim, S.-K., Lee, C. H., and Kim, Y. S., "Investigation of Various Copper Seed Layers for Copper Electrodeposition Applicable To Ultralarge-Scale Integration Interconnection," *J. Vac. Sci. Technol. B*, **21**, 33-38 (2003).
  7. Tarja, R.-V., and Timo, J., "New Materials and Build-up Constructions for Advanced Rigid-Flex PCB Applications," *Circuit World*, **31**, 21-24 (2005).
  8. Shimot, T., Matsui, K., Kikuchi, K., Shimada, Y., and Utsumi, K., "New High-Density Multilayer Technology on PCB," *Advanced Packaging*, **22**, 116-122 (1999).
  9. He, W., Cui, H., Mo, Y. Q., Wang, S. X., He, B., Hu, K., Guan, J., Liu, S. L., and Wang, Y., "Producing Fine Pitch Substrate of COF by Semiadditive Process and Pulse Reverse Plating of Cu," *Transact. Instit. Metal Finishing*, **87**, 33-37 (2009).
  10. Shih, C.-W., Wang, Y.-Y., and Wan, C.-C., "Anisotropic Copper Etching with Monoethanolamine-Complexed Cupric Ion Solutions," *J. Appl. Electrochem.*, **33**, 403-410 (2003).
  11. Xiao, R.F., Alexander, J. I. D., and Rosenberger, F., "Growth Morphologies of Crystal Surfaces," *Phys. Rev. A*, **43**, 2977-2992 (1991).
  12. Meng, B., and Weinberg, W. H., "Dynamical Monte Carlo Studies of Molecular Beam Epitaxial Growth Models: Interfacial Scaling and Morphology," *Surf. Sci.*, **364**, 151-163 (1996).
  13. Levi, A. C., and Kotrla, M. J., "Theory and Simulation of Crystal Growth," *J. Phys.: Condens. Matter.*, **9**, 299-344 (1997).
  14. Wadley, H. N. C., Zhou, X., Johnson, R. A., and Newrock, M., "Mechanisms, Models and Methods of Vapor Deposition," *Progr. Mater. Sci.*, **46**, 329-377 (2001).