

# 밀리미터파 대역 제2고조파 고효율 생성을 위한 부하 임피던스의 최적화 방법

논문

60-8-17

## A Method of Load Impedance Optimization for High Efficiency Millimeter-wave Range 2nd Harmonic Generation

최영규\*  
(Young-Kyu Choi)

**Abstract** - The objective of this paper is to present a quantitative analysis leading to the assessment of optimum terminating impedances in the design of active frequency multipliers. A brief analysis of the basic principal of the GaAs FET frequency multiplier is presented. The analysis is outlined in bias optimization and drive power determination. Utilizing the equivalent circuit model of GaAs FET, we have simulated the optimized load impedance for the maximum output of the active frequency multipliers. The C-class and reverse C-class frequency doublers have been fabricated and the load impedances have been measured. The experimental results are in good agreement with the estimated results in the simulation with the accuracy of 90%.

**Key Words** : Millimeter-wave oscillator, Frequency multiplier, Load impedance, GaAs FET

### 1. 서론

최근 이용 가능한 고주파 자원의 고갈 및 고속 LAN이나 다중영상 전송 등에 필요한 광대역 확보를 위해 밀리미터파 이상의 주파수를 이용하고자 하는 요구가 고조되고 있다. 밀리미터파 대역의 발진원으로 전자관이 이용되고 있으나, 가격, 소형화, 신뢰성 등의 문제로 특별한 경우를 제외하고는 고체 능동소자가 이용되고 있다. 일반적으로 직접 발진시키는 밀리미터파 대역의 발진기는 주파수가 높기 때문에 회로 손실이 증가하고, 능동소자의 특성상 고출력을 기대할 수 없으며 발진주파수의 안정도 또한 낮은 편이다. 이를 극복하기 위해 낮은 주파수의 신호를 고주파로 체배하는 방법[1]으로 고주파 대역에서도 고안정, 고출력의 신호를 얻는 방법이 연구되고 있다.

주파수 체배기로 고출력을 얻기 위해서는 기본파에 대해서 부하임피던스를 최적화시킬 필요가 있다[2-3]. 그런데 지금까지 최적화 부하값을 실험이나 시뮬레이션[4-5] 등의 방법으로 구하였다. 따라서 이런 방법들은 동작 주파수나 고체 능동소자가 다를 경우 그 때마다 최적부하의 다시 산출해야 하는 번거로움이 있었다. 만일 최적부하를 구하는 경우에 등가회로를 이용하여 이론적인 계산으로 최적부하를 예측할 수 있다면 고주파 체배기 설계 및 성능의 최적화를 매우 쉽고 편리하게 처리할 수 있을 것이다.

본 논문에서는 고체소자의 등가회로를 이용하여 고안정, 고출력의 고주파를 얻기 위한 체배원리[1]에 대하여 이론적 해석을 한 후 실험으로 확인하였다. 먼저 능동소자로 GaAs FET를 이용하여 고주파 등가회로 모델에서 이론적으로 최적부하를 산출하고, GaAs FET 2체배기를 제작하여 출력이 최대가 되는 최적부하를 측정하였다.

### 2. 체배동작의 원리

간략화된 FET의 모델을 그림 1에 보였다. 이 모델에는 비선형 전류원과 두 개의 다이오드가 포함되어 있으나, 고조파 생성에 가장 큰 영향을 미치는 것은 비선형 전류원이다. FET를 동작시키는 경우 바이어스 조건은 주로 게이트전압이 핀치오프 전압보다 작은 전압인 C급, 게이트전압이 핀치오프 전압과 영(zero)전압의 중간에 있는 A급, A급과 B급 사이의 바이어스 전압인 AB급, C급의 역바이어스, 즉, A급보다 높은 전압인 역C급의 4가지 상태가 있다. 고조파 성분을 포함하는 출력파형 중에서 상하 비대칭 파형은 우수

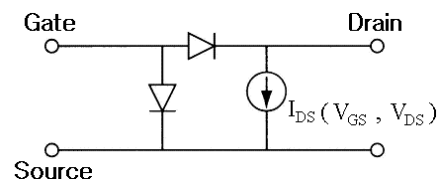


그림 1 간략화된 FET 회로 모델  
Fig. 1 The simplified FET circuit model

\* 정 회 원 : 신라대 공대 전자공학과 교수 공박

E-mail : ykchoi@silla.ac.kr

접수일자 : 2011년 2월 21일

최종완료 : 2011년 7월 8일

고조파를 포함하고, 상하 대칭의 파형은 기수 고조파를 많이 포함한다. 본 논문에서는 제2고조파가 출력 대상이므로 상하 비대칭 파형이 적합하다. 입력신호가 커지면 A급이나 AB급 바이어스일 때도 파형이 일그러지기 시작하므로 체배 바이어스 조건은 C급이나 역C급으로 하는 것이 합리적이다.

2.1 C급 동작

C급 체배기는 게이트 전압을 핀치오프 전압보다 낮은 전압으로 설정한다. 게이트 전압을 핀치오프 전압보다 너무 낮게 하면 듀티 사이클이 감소하고 요구되는 고조파 진폭은 증가하지만, 게이트-드레인 다이오드의 역전압이 소자의 애벌런치 전압을 넘을 가능성이 있다. 따라서 여기서는 게이트 전압이 애벌런치 전압을 넘어갈 가능성이 가장 낮은 핀치오프로 하였을 때의 동작원리에 대해 살펴보았다. 이러한 바이어스 전압에서는 우수한 고조파를 많이 포함하는 반파정류 전류파형이 생성된다. 따라서 드레인에 접속하는 부하는 기본파 전압파형을 출력하지 않는 부하, 즉, 단락부하를 접속하는 것이 좋다. 그림 2에 C급 체배기의 회로구성을 보였다. 부하에 병렬공진회로가 접속되어 있기 때문에 공진주파수가 제2고조파 주파수로 된다. 출력 주파수에서 공진회로는 개방으로 보이므로 부하에서 전력이 소비된다. 공진주파수 이외의 영역에서는 부하가 단락으로 보인다. 이 회로를 부하로 이용하였을 때 C급 체배기의 입출력 파형을 그림 3에 보였다. 그림 3의  $V_{DD}$ 는 바이어스점이며 이 점을 통과하는 수직선은 부하선을 나타낸다.  $t_1$ 에서  $t_5$ 까지의 시간에서의 체배 동작을 살펴보자.  $t = t_1$ 에서 게이트전압이 핀치오프전압  $V_P$ 와 교차함과 동시에 드레인전압은 점 $[2(V_{DD}-V_k), 0]$ 과 교차한다. 게이트전압이  $t_1$ 에서  $t_2$ 로 진행되면 드레인 전압은 최대 전류점 $[V_k, I_F]$ 까지 모든 능동영역 위를 옆으로 횡단한다.  $t_2$ 에서  $t_3$ 까지 게이트와 드레인 전압은  $t_1$ 상태의 점  $V_{GS} = V_P, V_{DS} = 2V_{DD} - V_k$ 로 돌아간다.  $t_3$ 에서  $t_4$ 까지 게이트 전압은 핀치오프 전압보다 낮은 전압으로 되고,  $t = t_5$ 에서 최초의 점으로 돌아간다. 이 사이의 드레인 전류는 영(zero)이지만, 부하에 제2고조파를 끌어내는 병렬공진회로가 접속되어 있다면 전압은 영이 아니다. 이 때 소자는 게이트에 입력되는 주파수의 2배 주파수의 전압파형을 출력한다. 따라서 C급 바이어스의 경우는 기본파 주파수로 단락부하를 접속해야 한다.

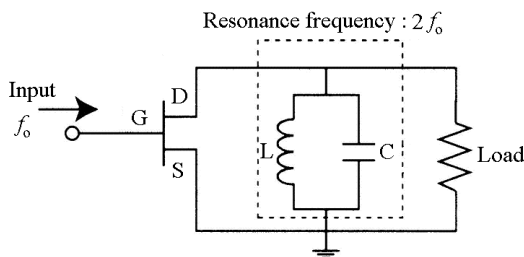
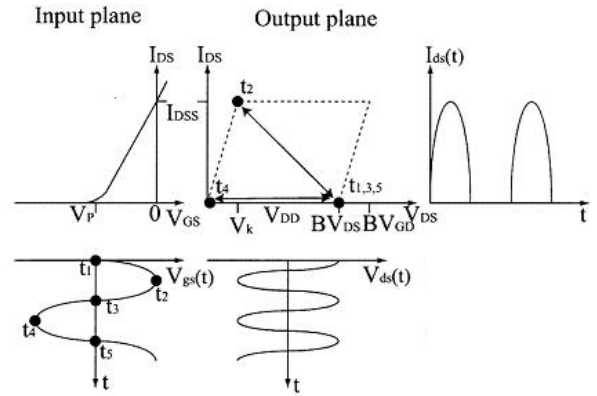


그림 2 C급 체배기의 회로 구성  
Fig. 2 The circuit of the C-class frequency multiplier



$BV_{GD}$  : Maxmum drain voltage at zero gate voltage  
 $BV_{DS}$  : Maxmum drain voltage at pinch-off

그림 3 C급 체배기의 입출력 파형  
Fig. 3 The input-output waveform of the C-class multiplier

2.2 역C급 동작

그림 4에 역C급 체배기의 회로구성을 보였다. 부하에 병렬공진회로가 접속되어 병렬공진 주파수가 제2고조파 주파수로 된다. 출력주파수에서 공진회로는 단락되어 부하에서 전력이 소비된다. 공진주파수 외에는 부하가 개방으로 보인다. 이러한 부하를 이용할 때 주파수 체배기 출력면의 드레인 전류와 전압의 궤적을 그림 5에 보였다. 기본파 주파수 게이트 전압으로 그려진 5가지 각 순간의 시간을 생각해 보자.  $t = t_1$ 에서 출력면의 전류와 전압의 궤적은  $t = t_2$ 에서 최대 게이트전압으로 되는 방향으로 바이어스 점을 횡단한다. 이 순간 드레인 전압은 저항영역에 들어가고, 드레인 전압 진폭이 커지게 되어 출력 컨덕턴스에 의해 제한되는  $t_4$ 로 진행한다. 결과적으로 드레인 전압은 일그러지고 드레인 파형은 부하에 직렬공진회로를 접속하고 있기 때문에 정현파로 된다. 이러한 바이어스라면 입력파형의 1주기에서 양의 반주기 부분이 입력되는 동안에 높은 게이트전압이 게이트-소스 다이오드에 인가되며, 이것에 의해 직류나 RF에 의한 손실이 커지게 된다. 그러나 소자는 이 바이어스에서 높은 이득을 나타낸다. 그림 5에서 전압파형이 일그러지므로 기본파 부하로는 기본파 전류가 출력되지 않는 개방부하로 해야 한다.

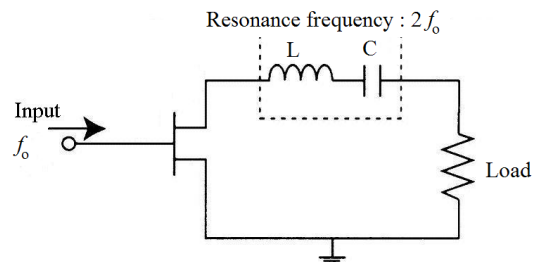


그림 4 역 C급체배기에서의 회로구성  
Fig. 4 The circuit of the reverse C-class frequency multiplier

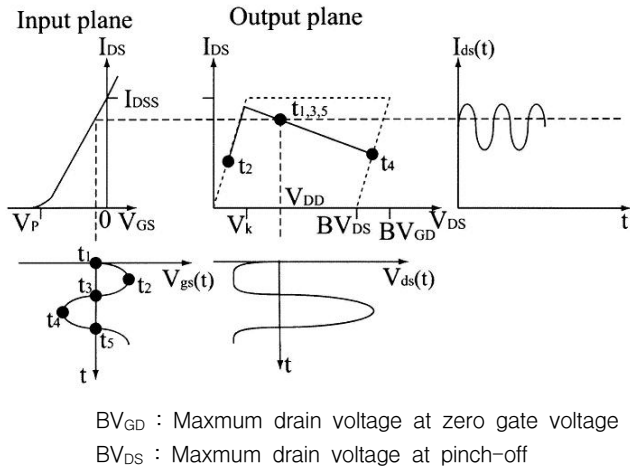


그림 5 역C급체배기의 입출력 파형  
 Fig. 5 The input-output waveform of the reverse C-class multiplier

### 3. GaAs FET를 이용한 체배기

#### 3.1 고주파 모델

그림 6은 사용된 FET(NEC제의 NE4210S01)의 고주파 등가회로이다. FET모델에는 TOM모델을 이용하였다[6-8]. 좁은 점선의 내부가 FET 내부의 등가회로, 그 외부는 패키지의 등가회로이다. 또,  $Q_{gd}$ 와  $Q_{gs}$ 는 역바이어스된 배리어 다이오드의 용량에 의해 근사된 비선형 용량 및 손실을 나타내는 저항이다. 좁은 점선 내부의 등가회로에서 비선형 전류원은  $I_{ds}$ , 기생고유용량  $C_{DS}$ , 단자간 용량  $C_{GS}$ , 병렬피드백용량  $C_{GD}$ 를 포함시켰다. 또, FET를 외부단자에 접속하는 선의 인덕턴스는  $L_{dx}, L_{gx}, L_{sx}$ 로 나타냈다.

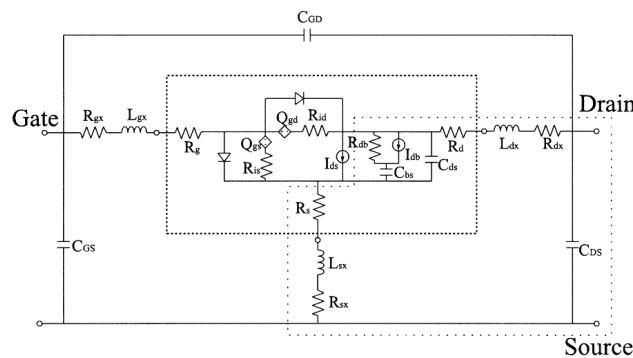


그림 6 GaAs FET의 등가회로  
 Fig. 6 The equivalent circuit of the GaAs FET

#### 3.2 최적 부하의 산출

고주파 모델에서는 비선형 내부 전류원과 부하의 접속점 사이에 기생소자가 존재한다. 따라서 드레인 단자 사이에 부하를 접속하였을 때 비선형 전류원에서 부하를 보았을 경우 기생소자를 포함한 임피던스가 단락 또는 개방이 되면 좋을 것이다. 그림 6의 FET 등가회로에서 FET의 비선형 전류원은  $I_{ds}$ 와  $I_{db}$ 이다. 이 등가회로에서  $I_{db}(V_{gs}, V_{ds}) = I_{ds}^{AC} - I_{ds}^{DC}$

로 되므로 교류성분을 생각하는 경우 FET의 비선형 내부전류원은  $I_{db}$ 로 하면 된다. 한편, 넓은 점선으로 표시된 출력측의 등가회로를 그림 7에 다시 보였다. 실제로 주파수 체배기를 제작할 때 부하로는 기본과 주파수에서 부하 임피던스의 실수부가 영이 되도록 개방 스티브를 접속한다. 따라서 부하로는 인덕턴스의 허수부인 리액턴스 성분만 고려하면 된다.

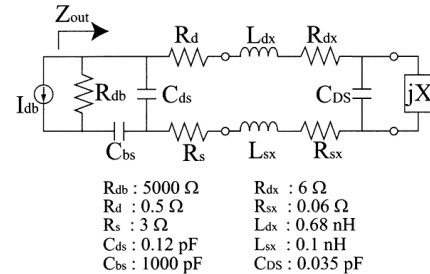
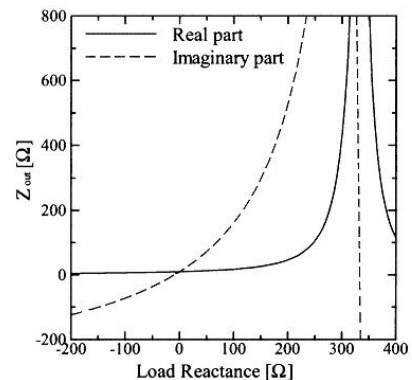
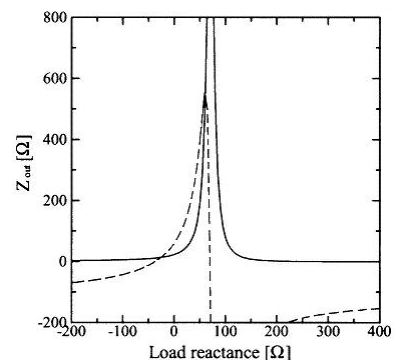


그림 7 FET 출력단의 등가회로  
 Fig. 7 The equivalent circuit of the FET output

그림 7의  $jX$ 는 드레인 단자에 접속하는 부하이다. 부하 리액턴스  $jX$ 를 변화시켰을 때 임피던스 변화를 그림 8에 보였다. 기본과 주파수 3, 6, 8, 10GHz에 대한 계산 중, 3, 10GHz에 대한 결과이다. 단락부하 및 개방부하로 될 때의 부하 리액턴스 값을 표 1에 보였다. 기본과 주파수가 높아지면 높아질수록 비선형 전류원에서 부하를 보았을 때 단락 및 개방부하로 되는 부하 리액턴스 값이 작아지는 것을 알 수 있다.



(a) 기본주파수 3GHz



(b) 기본주파수 10GHz

그림 8 내부전류원에서 부하 쪽을 본 임피던스  
 Fig. 8 Impedance showed from the internal current source to the load direction

표 1 단락 및 개방부하로 되는 부하 리액턴스

Table 1 The load reactance of the short and open load.

기본 주파수(GHz)	C급 최적부하 리액턴스( $\Omega$ )	역C급 최적부하 리액턴스( $\Omega$ )
3	-10	335
6	-20	155
8	-25	105
10	-35	70

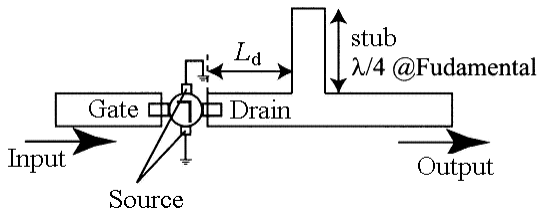


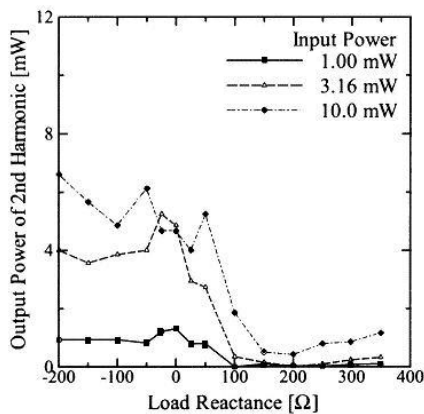
그림 9 FET 주파수 2배배기의 회로 구성

Fig. 9 The equivalent circuit of the FET frequency doubler

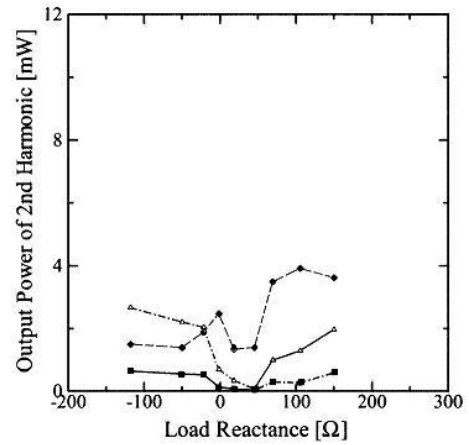
4. 실험 결과

그림 9는 주파수 2배배기의 회로구성이다. 기본선로로 특성임피던스가 50 $\Omega$ 인 마이크로스트립선로를 이용하고, 기판은 비유전율이 2.33, 유전체의 두께가 0.508mm의 것을 사용하였다. FET의 게이트에 선로를 접속하여 FET의 입력선로로 하였다. 소스 단자는 발진을 방지하기 위해 최대한 짧게 하고 기판 뒷면의 그라운드 면에 접속하였다. 드레인에는 기본파 성분을 반사시켜 제2고조파 성분을 끌어낼 수 있는 부하를 접속하였다. 부하의 구성은 기본파 주파수에서 1/4 파장인 개방 스테이블을 이용하는 것으로 기본파 주파수에서 부하 임피던스의 실수부가 영이 되도록 하였다. 기본파 주파수에서 부하 임피던스의 실수부는 스테이블까지의 거리  $L_d$ 에 의해 임의로 변화시킬 수 있다. 또, 제2고조파 주파수에서 부하 임피던스는 항상 거의 50 $\Omega$ 이 되도록 하였다. 그림 10, 11에 C급과 역C급 체배기의 부하리액턴스 특성을 보였다.

측정시 바이어스 전압은 C급 체배기의 경우  $V_{DS}=3V$ ,  $V_{GS}=-0.6V$ , 역C급 체배기의 경우는  $V_{DS}=3V$ ,  $V_{GS}=0V$ 로 하였다. 또, 이 FET에서 게이트 전압의 핀치오프는 -0.6V였다. 그림 10, 11의 결과를 보면 FET 각 개체 소자의 변화에



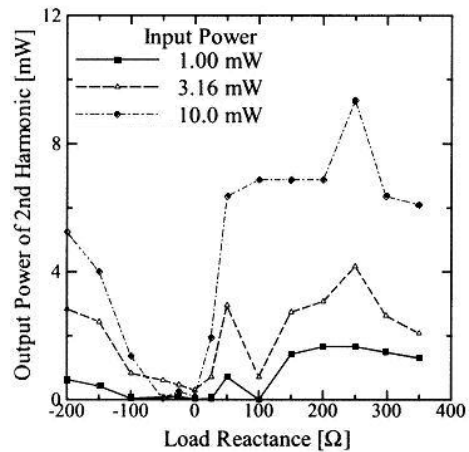
(a) 기본주파수 3GHz



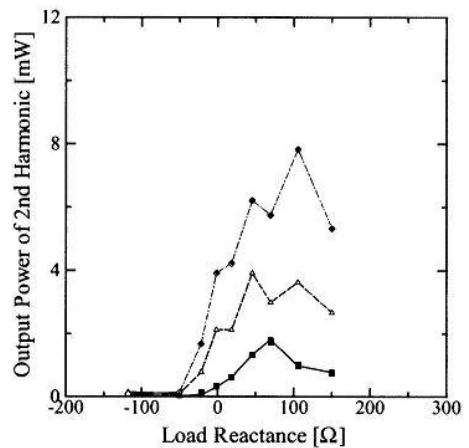
(b) 기본주파수 10GHz

그림 10 제2고조파 출력의 부하리액턴스 특성(C급)

Fig. 10 The load reactance characteristics of the 2nd harmonic output (The C-class multiplier)



(a) 기본주파수 3GHz



(b) 기본주파수 10GHz

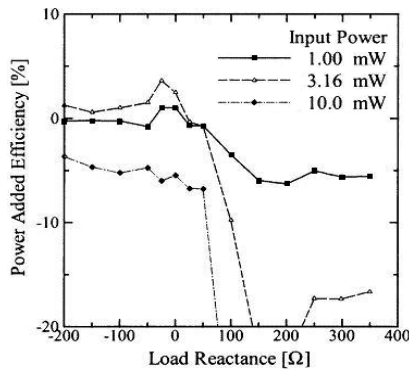
그림 11 제2고조파 출력의 부하리액턴스 특성(역C급)

Fig. 11 The load reactance characteristics of the 2nd harmonic output (The reverse C-class multiplier)

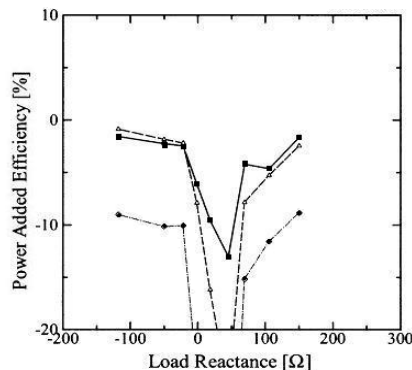
다른 약간의 차이를 감안하여도, FET의 출력 증가회로를 이용하여 계산에 의해 구했던 부하리액턴스 부근에서 제2고조파 출력이 커져있는 것을 알 수 있다. 이러한 경향은 입력전력 값이 작을 때 보다 더 선명하게 나타났다. 그 이유는 입력전력이 크면 반파정류과정의 산의 부분까지 일그러지는 형태가 되어 앞 절에서 설명한 원리와 같은 동작을 하지 않기 때문이다. 한편, 여기서 최적부하를 구하는 계산에 이용한 출력측 증가회로에서 계산의 간략화를 위해 귀환회로 및 입력회로를 고려하지 않았으나, 결과를 보면 계산결과와 실측결과가 90% 이상 일치하고 있으므로 계산에 이용한 FET 출력측 증가회로가 타당하다는 것을 알 수 있다. 그림 10, 11에 제2고조파 출력의 부하리액턴스 특성을 나타냈으나 제2고조파 출력이 가장 큰 부하가 고효율이라는 보장은 없다. 따라서 효율에 대해서도 같은 비교를 실시하였다. 전력인가효율  $P_{eff}$ 는

$$P_{eff} = \frac{P_{2nd} - P_{in}}{P_{DC}} \times 100\% \quad (1)$$

로 산출하였다. 여기서  $P_{2nd}$ ,  $P_{in}$ ,  $P_{DC}$ 는 각각 제2고조파 출력, 입력전력, 직류전력이다. 그림 12에 C급 체배기, 그림 13에 역C급 체배기의 전력인가효율의 부하리액턴스 특성을 보였다. 계산된 전력인가효율의 부하리액턴스 특성을 살펴보면 제2고조파 출력의 부하리액턴스 특성과 일치하는 결과라는 것을 알 수 있다. 단, 앞의 결과와 다르게 입력전력이 10mW 일 때 효율이 낮아진 것은 입력전력이 너무 커서 증폭기에서 나타나는 포화의 상태로 되었기 때문으로 사료된다.

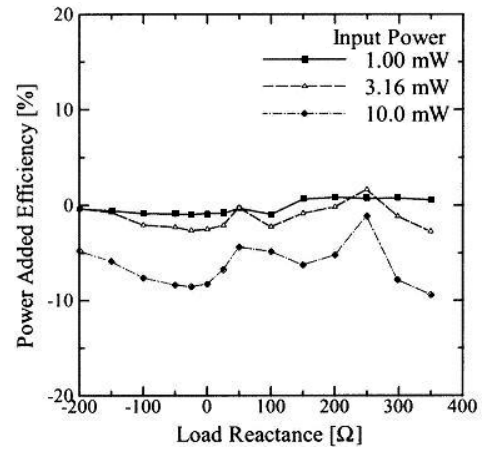


(a) 기본주파수 3GHz

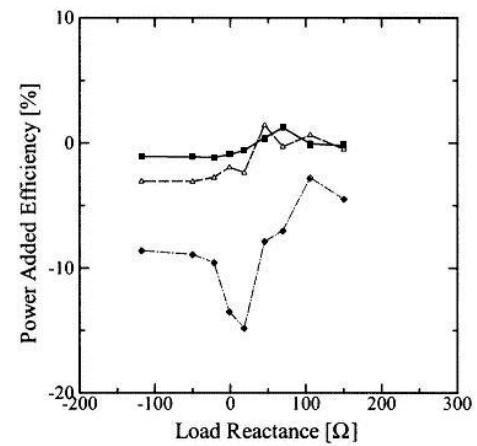


(b) 기본주파수 10GHz

그림 12 전력인가효율의 부하리액턴스 특성(C급체배기)  
Fig. 12 The load reactance characteristics of the power added efficiency (The C-class multiplier)



(a) 기본주파수 3GHz



(b) 기본주파수 10GHz

그림 13 전력인가효율의 부하리액턴스 특성(역C급체배기)  
Fig. 13 The load reactance characteristics of the power added efficiency (The reverse C-class multiplier)

### 5. 결 론

마이크로파 트랜지스터에 의한 제2고조파의 효율적 생성에 적합한 부하 임피던스에 관하여 먼저, 저주파에서 FET의 체배 동작원리를 해석하였다. 증가회로 해석을 통하여 C급 바이어스의 부하로는 단락부하, 역C급 바이어스의 부하로는 개방부하가 적합하다는 것을 밝혔다.

이어서 고체소자로 GaAs FET를 이용할 경우 체배기의 최적부하에 대해서 검토하였다. GaAs FET의 고주파 모델에서 출력측 증가회로를 구성하고, 계산에 의해 개방 및 단락으로 되는 최적부하 리액턴스를 구하였다. 실제로 주파수 2체배기를 제작하여 실험적으로 최적부하 리액턴스를 측정 한 결과 이론해석 결과와 거의 일치하는 것을 확인하였다. 제2 고조파 출력 발진기에서 최적부하를 결정할 필요가 있는 경우 주파수 체배기의 최적부하에서 적당한 값을 선택하면 되므로 소자를 교체한 경우나 발진주파수를 변화시켰을 때에도 최적부하를 구하는 계산이나 실험을 처음부터 새로 하지 않아도 된다. 따라서 쉽고 간편하게 최적부하를 산출하여 고효율의 고조파 발진기를 제작할 수 있다.

## 참 고 문 헌

- [1] M. Borg and G. R. Branner, "Novel MIC bipolar frequency doublers having high gain, wide bandwidth and good spectral performance," *Microwave Theory and Tech. IEEE* vol. 39, no. 12, pp.1936-1946, 1991.
- [2] J. M. Putnam and G. R. Branner, "A high gain 18GHz single transistor frequency doubler," *MWSCAS-2002, 45th Midwest Sym.* vol.3, pp.372-373, 2002.
- [3] G. T. Jr. Donald and G. R. Branner, "Optimization of active microwave frequency multiplier performance utilizing harmonic terminating impedances," *IEEE Trans. Microwave Theory Tech.*, vol. 44, no. 12, pp. 2617-2624, Dec. 1996.
- [4] Camargo, "Design of FET Frequency Multiplier and Harmonic Oscillators," Artech House, 1998.
- [5] G. T. Jr. Donald and G. R. Branner, "Single-ended HEMT multiplier design using reflector networks," *IEEE Trans. Microwave Theory Tech.*, vol. 49, no. 5, pp. 990-993, May 2001.
- [6] A. I. Melnikov and L. G. Plavsky, "A specified model of the Schottky barrier diodes in the multipliers of frequency," *Electron Devices and Materials, 2005. Proceedings. 6th Annual. 2005 International Siberian Workshop and Tutorials*, pp.224-225, 2005.
- [7] California Eastern Laboratories, "Converting GaAs FET Models for Different Nonlinear Simulators," <http://cel.com/pdf/appnotes/an1023.pdf>
- [8] California Eastern Laboratories, "Super Low Noise HJ FET," <http://cel.com/pdf/datasheets/ne4210s.pdf>

## 저 자 소 개



## 최 영 규 (崔 泳 圭)

1982년 중앙대학교 전자공학과 학사  
 1988년 교토대학(일본)대학원 전자공학  
 졸업(석사), 1992년 동 대학원 공학박사,  
 1992년~1995년 국립 후쿠이대학 (일본)  
 전자공학과 전임강사, 1998년~현재 신라  
 대학교 공과대학 전자공학과 교수

Tel : 051-999-5622

E-mail : ykchoi@silla.ac.kr