
다중 블록길이와 부호율을 지원하는 IEEE 802.11n용 LDPC 복호기

나영현* · 박해원** · 신경욱***

A LDPC decoder supporting multiple block lengths and code rates of IEEE 802.11n

Young-Heon Na* · Hae-Won Park** · Kyung-Wook Shin***

이 논문은 2010년도 정부(교육과학기술부)의 재원으로 한국연구재단의 연구비를 지원받았음

요 약

본 논문에서는 IEEE 802.11n 무선 랜 표준에 규정된 3가지 블록길이(648, 1296, 1944)와 4가지 부호율(1/2, 2/3, 3/4, 5/6)을 지원하는 LDPC 복호기를 최소합 알고리즘과 layered 복호방식을 적용하여 설계하였다. 검사노드 값과 패리티 검사 행렬 정보의 효율적인 저장방법을 통해 메모리 용량을 최소화하였으며, 또한 효율적인 검사노드 메모리 어드레싱 방법을 적용하여 stall 없이 메모리 읽기/쓰기가 가능하도록 하였다. 설계된 회로는 FPGA 구현을 통해 하드웨어 동작을 검증하였으며, 0.18- μm CMOS 셀 라이브러리로 합성한 결과 219,100 게이트와 45,036 비트의 메모리로 구현되었고, 50 MHz@2.5V로 동작하여 164~212 Mbps의 성능을 갖는 것으로 평가되었다.

ABSTRACT

This paper describes a multi-mode LDPC decoder which supports three block lengths(648, 1296, 1944) and four code rates(1/2, 2/3, 3/4, 5/6) of IEEE 802.11n WLAN standard. Our LDPC decoder adopts a block-serial architecture based on min-sum algorithm and layered decoding scheme. A novel way to store check-node values and parity check matrix reduces the sizes of check-node memory and H-ROM. An efficient scheme for check-node memory addressing is used to achieve stall-free read/write operations. The designed LDPC decoder is verified by FPGA implementation, and synthesized with a 0.18- μm CMOS cell library. It has 219,100 gates and 45,036 bits RAM, and the estimated throughput is about 164~212 Mbps at 50 MHz@2.5v.

키워드

LDPC 부호, 오류정정 부호, IEEE 802.11n, 무선랜, 최소합 알고리즘, 레이어드 복호

Keyword

LDPC, error correction code, IEEE 802.11n, WLAN, min-sum algorithm, layered decoding

* 준회원 : 넥스트칩 연구원
** 준회원 : 금오공과대학교 전자공학부 석사과정
*** 정회원 : 금오공과대학교 전자공학부 교수
(교신저자, kwshin@kumoh.ac.kr)

접수일자 : 2011. 05. 27
심사완료일자 : 2011. 05. 27

I. 서 론

초고속 이동통신 및 멀티미디어 응용분야가 급속히 확대됨에 따라 고속 데이터 전송에서 높은 전송품질과 신뢰도를 유지하기 위한 오류정정 부호(error correction code) 기술의 중요성이 점점 커지고 있다. 오류정정 기술은 디지털 통신 및 방송 그리고 저장 시스템의 정보전송 신뢰도 향상을 위해 필수적으로 사용된다. 초고속 유·무선 통합 및 통신·방송 융합서비스를 창출할 것으로 예상되는 4세대(4G) 이동통신 기술은 기존의 3세대 시스템 보다 더 높은 데이터 전송율과 신뢰도를 필요로 하며, 무선채널의 잡음에 대응하기 위해 다양한 채널 부호화 기법들이 사용된다.

기존의 통신 시스템에는 오류정정을 위해 길쌈부호(convolutional code), 터보부호(Turbo code)가 주로 사용되어 왔으나, 4세대 통신시스템에서는 채널용량의 한계에 근접하는 높은 성능과 고속 복호가 가능한 새로운 채널부호화 기법이 요구된다. 4세대 이동통신 시스템을 위한 차세대 오류정정 방식으로 1962년 로버트 갤러거(R. Gallager)가 제안한 LDPC(Low Density Parity Check) 부호^[1]가 많은 관심을 받고 있다. 당시의 기술로는 구현이 어려워 관심을 받지 못하였으나 1990년대부터 재조명되고 있으며, LDPC 부호의 생성 및 복호에 대한 연구가 활발히 진행되고 있다.^[2,3] LDPC 부호는 IEEE 802.11n 무선랜 표준^[4], IEEE 802.16e 모바일 WiMAX 표준^[5], 유럽 디지털 위성방송 표준 DVB-S2^[6], IEEE 802.3an 10 Gbps 이더넷 표준, 중국 지상파 디지털방송 표준 DTTB(Digital Television Terrestrial Broadcasting) 등에서 채택되고 있으며, 하드디스크 및 광 저장매체 등에서 채택이 적극 검토되고 있다.

LDPC 부호의 복호는 반복복호를 기반으로 수행되며, 복호 알고리즘, 복호기 구조, 내부 고정소수점 비트 수 등 다양한 요인들이 복호기 성능과 하드웨어 복잡도에 영향을 미친다. LDPC 부호는 블록길이가 큰 경우에, 연산 복잡도와 회로 복잡도가 커서 상당히 큰 하드웨어와 전력소모를 필요로 한다. 또한, 복호성능과 하드웨어 복잡도 사이에 trade-off 관계가 존재하며, 블록길이와 부호율, 검사노드와 변수노드의 연산 복잡도, 반복복호 횟수 등의 요인들에 의해 영향을 받는다.

본 논문에서는 IEEE 802.11n 무선랜 표준의 3가지 블

록길이와 4가지 부호율을 지원하는 다중모드 LDPC 복호기를 최소화 알고리즘과 layered 복호방식을 적용하여 설계하였으며, 검사노드 메모리 최소화 등 다양한 최적화 방법을 적용하였다.

II. LDPC 부호 및 복호 알고리즘

LDPC 부호는 원소의 대부분이 '0'으로 구성되는 패리티 검사 행렬(parity check matrix; PCM)에 의해 정의되는 선형 블록부호의 일종이다. 적은 수의 패리티 검사방정식을 사용하여 계산량을 줄이고 확실적인 반복복호 방법에 의해 오류정정 성능을 향상시킨다. LDPC 부호는 PCM의 구성에 따라 여러 가지 형태로 구분된다. 구조화된 부호의 일종인 quasi-cyclic(QC) LDPC 부호의 PCM은 $N=n/z_f$ 열과 $m=(1-R) \cdot N$ 행의 부행렬로 구성되며, 부행렬은 $z_f \times z_f$ 의 크기를 갖는다.

2008년 초에 공개된 차세대 무선 랜 표준 IEEE 802.11n Draft 3.0^[4]에는 표 1과 같은 LDPC 파라미터들이 정의되어 있으며, 3가지 블록길이(648, 1296, 1944)와 각 블록길이에 대해 4가지의 부호율(1/2, 2/3, 3/4, 5/6)을 규정하여 총 12가지의 동작모드를 갖는다.

표 1. IEEE 802.11n의 LDPC 부호 파라미터
Table 1. LDPC code parameters of IEEE 802.11n

Parameter	IEEE 802.11n			
블록길이 (N)	648, 1296, 1944			
서브블록 크기 (z_f)	27, 54, 81			
부호율 (R)	1/2, 2/3, 3/4, 5/6			
레이어 수 (j)	R=1/2	2/3	3/4	5/6
	12	8	6	4

LDPC 부호의 복호는 그림 1과 같이 PCM에 의해 구성되는 태너 그래프(Tanner graph) 상의 변수노드(variable node; VN)와 검사노드(check node; CN) 사이에서 반복적인 정보전달 과정에 의해 이루어진다. 태너 그래프는 PCM의 행과 열을 태너 그래프의 VN와 CN로 매핑시킨 이분 그래프(bipartite graph)이며, VN와 CN 사이의 연결은 PCM에서 1의 위치에 의해 결정된다.

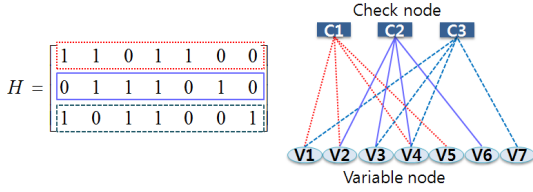


그림 1. PCM과 태너 그래프의 매핑 관계
Fig. 1. Mapping between PCM and Tanner graph

LDPC 복호 알고리즘은 합곱 알고리즘(sum-product algorithm; SPA), SPA의 연산 복잡도를 감소시킨 LLR (log-likelihood ratio) SPA, LLR-SPA을 근사화하여 연산 복잡도를 더욱 감소시킨 최소합 알고리즘(min-sum algorithm; MSA)^[7] 등 다양한 방법들이 제안되고 있다.

LDPC 복호기의 구조는 복호방식에 따라 일반적으로 two-phase 복호^[2]와 layered 복호^[8,9]로 구분된다. two-phase 복호는 태너 그래프 상의 연결을 그대로 회로로 구현하여 태너 그래프 상에서 CN 연산과 VN 연산을 번갈아가며 수행하는 방식이다. CN 연산과 VN 연산은 서로 시간적인 종속 관계를 가져 CN 연산이 완료되기 전에는 VN 연산이 수행될 수 없고, VN 연산이 완료되기 전에는 CN 연산이 수행될 수 없다. Layered 복호는 PCM을 다수의 레이어(layer)로 분할하여 복호를 수행하는 부분병렬 복호의 한 형태이다. 분할된 하나의 레이어는 각각 독립된 채널부호라고 가정할 수 있어, 레이어 사이에 새롭게 정보가 갱신된다. 따라서 two-phase 복호에 비해 수렴속도가 빠르며, 메모리가 적게 사용된다.

Layered 복호에서 레이어의 정보를 갱신하기 위한 연산은 two-phase 복호를 변형하여 얻어지며, 그림 2는 최소합 알고리즘 기반 layered 복호의 pseudo code를 보이고 있다. VN는 자신에 연결된 CN들로부터 정보를 전달받아 CN의 메시지를 갱신한다. 이 때 자신의 정보는 이미 알고 있으므로 자신을 제외한 CN로부터의 메시지를 가지고 갱신하기 위해 결정변수값 $z_i^q[k-1]$ 와 이전 반복복호의 CN 값 $L_{j \rightarrow i}^{(q-1)}[k]$ 의 뺄셈 연산을 수행한다. CN 연산은 CN에 연결된 VN들로부터 정보를 받아 부호와 크기로 분리하여 연산한다. 부호는 자신을 제외한 부호들의 누적곱셈으로 갱신되며, 크기는 자기 자신을 제외한 가장 작은 크기로 갱신된다. 갱신된 CN 값은 다음 반복복호에서 CN 값으로 사용되며, 또한 현재 레이어의 결정변수 값 갱신에 사용된다. 현재 레이어의 결정변수

```

Initialization:
 $\forall(i, j)$  with  $H(i, j) = 1$ , set  $F_i = 2r_i / \sigma^2$ ,  $z_i[0] = F_i$ ,  $L_{j \rightarrow i}^0 = 0$ 
for  $q$  from 1 to  $I$  begin
  for  $k$  from 1 to  $L$  begin
    1) VN Processing-1;
        $\forall(i, j)$  with  $H_k(i, j) = 1$ :
          $L_{i \rightarrow j}^q[k] = z_i^q[k-1] - L_{j \rightarrow i}^{q-1}[k]$ 
    2) CN Processing;
        $\forall(i, j)$  with  $H_k(i, j) = 1$ :
          $L_{j \rightarrow i}^q[k] = \left( \prod_{r \in \Theta(j) \setminus \{i\}} \text{sign}(L_{i \rightarrow r}^q) \right) \cdot \min_{r \in \Theta(j) \setminus \{i\}} L_{i \rightarrow r}^q$ 
    3) VN Processing-2;
        $z_i^q[k] = L_{i \rightarrow j}^q[k] + L_{j \rightarrow i}^q[k]$ 
  end
  4) Hard Decision;
      $c_i^q = \begin{cases} 0, & z_i^q[L] \geq 0 \\ 1, & z_i^q[L] < 0 \end{cases}$ 
     if  $c^q H^T = 0$  then goto End of decoding;
  end
End of decoding
    
```

그림 2. LDPC 부호의 layered MSA 복호
Fig. 2. Layered MSA decoding of LDPC code

값 $z_i^q[k]$ 는 VN 값 $L_{i \rightarrow j}^q[k]$ 와 업데이트된 CN 값 $L_{j \rightarrow i}^q[k]$ 을 더하여 계산된다.

III. 다중모드 LDPC 복호기 설계

3.1. 전체 구조

IEEE 802.11n 표준의 3가지 블록길이와 각 블록길이에 대한 4가지 부호율을 지원하는 다중모드용 LDPC 복호기를 layered 복호방식을 적용하여 설계하였다. Layered 복호방식은 하나의 레이어를 한번에 처리하는 방법과 레이어를 다시 여러개의 부행렬로 분할하여 처리하는 방법으로 구분된다. QC-LDPC 부호의 PCM은 다수의 부행렬로 구성되므로, 본 논문에서는 부행렬 단위로 복호연산이 이루어지는 블록-직렬 구조로 설계하였다.

설계된 LDPC 복호기의 내부 구조는 그림 3과 같으며, 최소합 알고리즘 기반의 복호연산을 수행하는 DFU

(Decoding Function Unit) बैंक, PCM 정보를 저장하는 H-ROM, PCM에 따라 데이터를 순환 이동시키는 permuter, CN 값을 저장하는 CN 메모리, 결정변수 값을 저장하는 APP 메모리, 그리고 제어블록으로 구성된다.

PCM을 구성하는 부행렬들의 대다수가 영(0) 행렬로 이루어져 있으며, non-zero 부행렬의 수는 부호율에 따라 7~22개로 가변적이다. 영 행렬은 CN와 VN 사이에 정보를 전달하지 않아 연산이 존재하지 않는다. 영 행렬을 효율적으로 무시하고, 부호율에 따른 다중모드 동작을 효율적으로 구현하기 위해 부행렬 단위로 복호연산을 수행하도록 설계하였다. 부행렬 크기는 블록길이에 따라 27, 54, 81이므로, 81개의 DFU를 3개의 DFU बैं크로 분할하여 블록길이에 따라 DFU बैं크가 선택적으로 동작하도록 설계하였다. 부호율에 따른 레이어 수는 단일 레이어 연산의 반복처리에 의해 구현되도록 설계하였다.

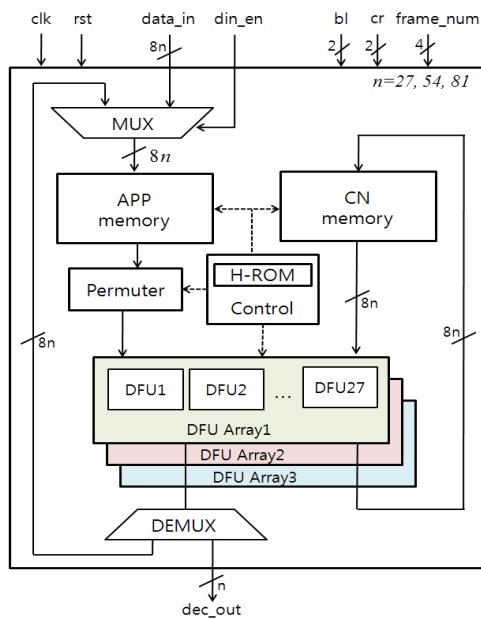


그림 3. 설계된 LDPC 복호기의 구조
Fig. 3. Architecture of LDPC decoder

3.2. DFU의 구조 및 동작

DFU는 오류가 포함되어 있는 입력 부호어의 오류를 정정하기 위해 자신을 제외한 나머지 부호어들의 LLR을 취합하여 원래의 부호어에 가장 가까운 LLR 값을 예

측하는 기능을 수행한다. DFU의 구조는 그림 4와 같으며, CN 값을 생성하는 CNV (Check Node Value) 블록, 최솟값 검출기, 부호비트 누산기, FIFO (First-In First-Out), 덧셈기, 뺄셈기, 비교기, 수체계 변환기 등으로 구성되며, 그림 2에 주어진 CN 연산과 VN 연산이 단일 클럭사이클에 처리한다.

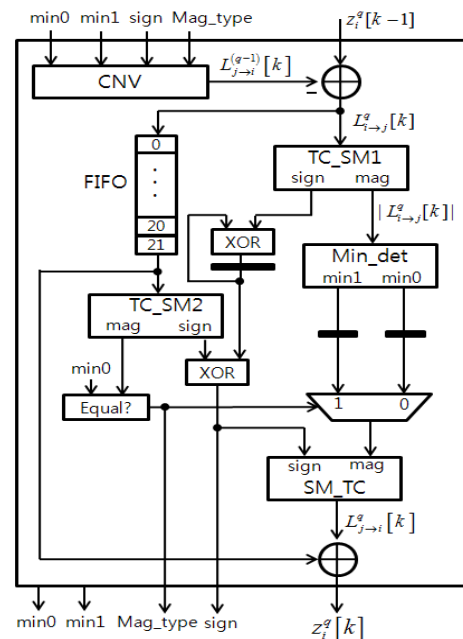


그림 4. 설계된 DFU의 구조
Fig. 4. Architecture of DFU

DFU는 다음의 과정으로 복호연산을 수행한다. MUX와 수체계 변환기로 구성되는 CNV 블록은 Mag_type 신호에 의해 CN 메모리에 저장된 최솟값(min0)과 준최솟값(min1) 중 하나를 선택하여 2의 보수 형태의 CN 값 $L_{j \rightarrow i}$ 로 변환한다. 계산된 CN 값 $L_{j \rightarrow i}$ 와 이전 레이어의 결정변수 값 z_i 는 뺄셈연산을 통해 VN 값 $L_{i \rightarrow j}$ 로 변환되며, 이는 수체계 변환기(TC_SM1)를 통해 부호와 크기로 분리되고, 부호는 순차적으로 계산되는 $L_{i \rightarrow j}$ 의 부호들과 누적 곱셈된다. VN 값의 크기 $|L_{i \rightarrow j}|$ 는 최솟값 검출기(Min_det)를 통해 최솟값과 준최솟값으로 검출되어 레지스터에 저장된다. 한편, VN 값 $L_{i \rightarrow j}$ 는 순차적으로 FIFO에 누적되어 지연된 후 수체계 변환기(TC_SM2)를 통해 부호와 크기로 분리된다. 분리된 $|L_{i \rightarrow j}|$ 는 비교기

를 통해 검출된 최소값 \min_0 와 비교되어 두 값이 같으면 준최소값 \min_1 이 새로운 CN 값의 크기 $|L_{j \rightarrow i}|$ 로 결정되고, 다르면 최소값 \min_0 이 새로운 $|L_{j \rightarrow i}|$ 로 결정된다. 또한 부호의 누적 곱셈도 동일한 원리로 모든 부호를 누적 곱셈한 후, i 번째 $L_{j \rightarrow i}$ 의 부호를 한 번 더 누적 곱셈하여 갱신된다. 결정된 $L_{j \rightarrow i}$ 의 크기와 부호는 2의 보수 수체계 변환을 통해 새로운 CN 값 $L_{j \rightarrow i}$ 으로 갱신된다. 갱신된 CN 값 $L_{j \rightarrow i}$ 와 FIFO에 의해 지연된 $L_{i \rightarrow j}$ 는 덧셈연산을 통해 새로운 결정변수 값 z_i 로 갱신된다. CN 값의 부호와 Mag-type은 CN 메모리에 2 비트로 저장되고, 최소값(\min_0)과 준최소값(\min_1)은 CN 메모리에 저장되어 다음번 반복복호 연산에 사용된다.

3.3. 효율적인 메모리 어드레싱

블록 직렬 방식의 LDPC 복호기는 DFU에 의한 복호 연산 중간결과 값들을 CN 메모리에 저장하고, 읽어오는 과정을 반복적으로 수행하며, 메모리 읽기/쓰기 동작은 메모리 어드레싱이 중요하다. 그림 5는 레이어 간의 메모리 어드레싱 타이밍도를 보여준다.

그림 5-(a)의 타이밍도에서 i -번째 레이어의 네번째 블록과 $(i+1)$ -번째 레이어의 첫번째 블록을 읽을 때, 데이터 해저드(data hazard)가 발생한 것을 볼 수 있다. DFU는 i -번째 레이어의 부행렬을 순차적으로 읽어 복호연산을 거친 후 다시 i -번째 레이어의 부행렬을 읽은 순서대로 메모리에 저장한다. 이 때, $(i+1)$ -번째 레이어의 첫번째 블록을 읽는 동시에 i -번째 레이어의 첫번째 블록 연산결과를 메모리에 저장하게 되어 데이터 해저드가 발생하게 된다. 이를 방지하기 위해 그림 5-(b)와 같이 stall을 삽입하여 i -번째 레이어에서 복호된 정보를 메모리에 저장한 후 메모리에서 $(i+1)$ -번째 레이어의 정보를 읽어오도록 하는 방법을 사용할 수 있다. 부호율이 클수록 연결한 레이어들 간에 변수노드의 중복이 많아 stall의 수가 증가하게 되고, 따라서 복호에 소요되는 클럭 수가 증가하여 성능이 떨어지는 단점이 있다. 본 논문에서는 이러한 단점을 보완하기 위해 그림 5-(c)와 같이 PCM의 부행렬 위치를 재배치(reordering)함과 동시에 read position과 write position의 address를 1-클럭 사이클 차이 나게 하여 stall을 삽입하지 않고도 정상적인 메모리 어드레싱이 가능하도록 하였다.

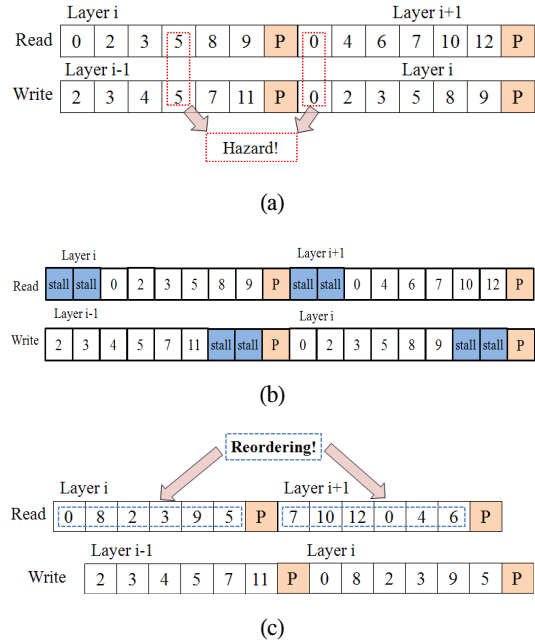


그림 5. CN 메모리 어드레싱 방법 (a) 레이어간 읽기-쓰기 해저드가 발생하는 경우, (b) stall 삽입을 통한 해저드 제거, (c) 본 논문의 메모리 액세스 방법 Fig. 5. CN memory addressing method (a) read-write hazard between layers, (b) hazard elimination using stall insertion, (c) proposed memory access method

3.4. CN 메모리 및 H-ROM 최소화

LDPC 복호기의 CN 메모리에는 CN 연산결과 $L_{j \rightarrow i}$ 가 저장된다. 일반적인 CN 메모리 구조에서는 w -비트의 $L_{j \rightarrow i}$ 를 유효 부행렬 수 S_i 만큼 저장하며, 각 레이어에는 S_i 개의 최소값/준최소값들이 부행렬 크기 z_j 만큼 존재하므로, $\{(w \times S_i) \times z_j\}$ -비트의 메모리 용량이 필요하다. S_i 개의 CN 갱신값들은 하나의 준최소값과 $(S_i - 1)$ 개의 최소값(이들은 모두 동일한 값임)으로 구성된다. 따라서 $(S_i - 1)$ 개의 동일한 최소값을 저장하는 대신에 한번만 저장하고, 각 유효 서브블록에 최소값과 준최소값을 구분할 수 있는 1 비트 신호를 할당하면 CN 메모리 크기를 효과적으로 감소시킬 수 있다.

블록길이가 1944이고 부호율이 1/2인 경우에, 검사노드 값 $L_{j \rightarrow i}$ 이 8 비트라면, 기존의 방법은 55,728 비트의 CN 메모리가 필요하다. 반면에 본 논문의 방법에서는 SM 메모리 13,932 비트와 CNM 메모리 15,552 비트를 합

한 총 29,484 비트의 메모리만 사용된다. 따라서 CN 메모리의 용량을 약 47% 감소시킬 수 있다.

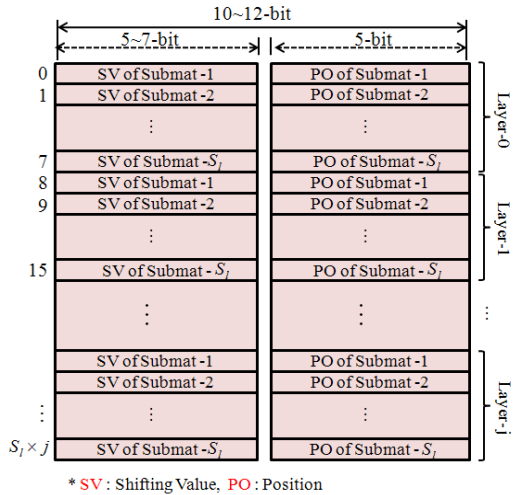


그림 6. 제안된 PCM 정보 저장방법
Fig. 6. Proposed method for storing PCM in H-ROM

IEEE 802.11n 표준에 정의된 3가지 블록길이와 4가지 부호율에 따른 12가지 PCM은 H-ROM에 저장된다. H-ROM에 PCM의 모든 정보를 저장하는 대신에, 그림 6 과 같이 영 행렬을 제외한 non-zero 부행렬들의 위치 정보와 순환 시프트 정보만을 저장하는 방법을 적용함으로써 H-ROM의 용량을 약 8.6% 감소시켰다.

IV. 설계검증 및 성능평가

4.1. 기능검증

설계된 LDPC 복호기는 Matlab과 연동하여 복호성능을 평가하였다. Matlab을 이용한 랜덤 소스벡터 생성, LDPC 부호화, QPSK 변조, 채널잡음 삽입 그리고 복조 등을 통해 Eb/No=1.5 ~ 3 dB (0.3 dB 간격)의 시뮬레이션 벡터를 생성하였다. 8 비트로 양자화된 시뮬레이션 벡터를 이용하여 설계된 복호기의 ModelSim 시뮬레이션을 수행하였으며, 소스벡터와의 비교를 통해 정정되지 못한 오류 비트들을 찾아 복호성능을 분석하였다.

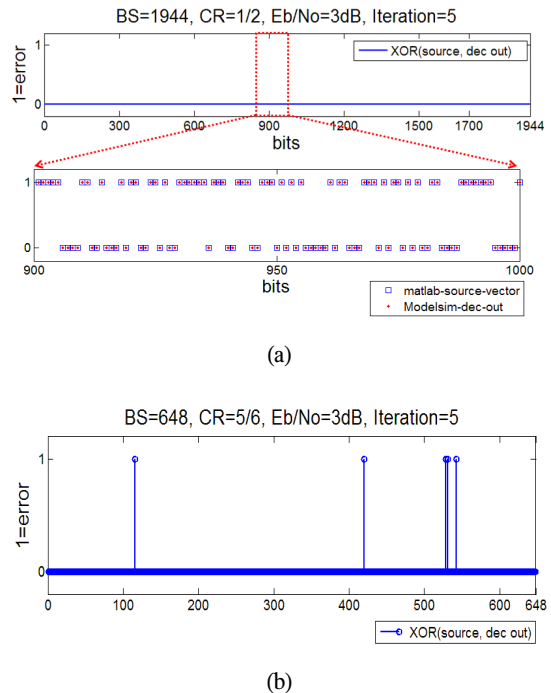


그림 7. 설계된 LDPC 복호기의 기능검증 결과 (Eb/No=3 dB, 반복복호=5회의 경우) (a) 블록길이: 1944, 부호율: 1/2, (b) 블록길이: 648, 부호율: 5/6
Fig. 7. Functional simulation results of LDPC decoder (Eb/No=3 dB, max_iteration=5) (a) block size: 1944, code rate: 1/2, (b) block size: 648, code rate: 5/6

그림 7은 설계된 LDPC 복호기의 기능검증 결과 중 일부이다. 그림 7-(a)는 블록길이 1944, 부호율 1/2의 경우이며, 복호결과가 소스벡터와 일치하여 오류가 완전하게 정정됨을 볼 수 있다. 그림 7-(b)의 블록길이 648, 부호율 5/6인 경우는 정정되지 못한 에러 5개를 제외 한 나머지 오류는 모두 정정되었으며, 반복복호 횟수를 6회로 증가시키면 모든 오류가 정정됨을 확인하였다. 그림 8은 복호성능 BER(bit error rate)을 분석한 결과이며, Matlab을 이용한 고정소수점 시뮬레이션 결과와 복호기의 ModelSim 시뮬레이션 결과가 일치되어 설계된 복호기가 올바르게 작동함을 확인하였다.

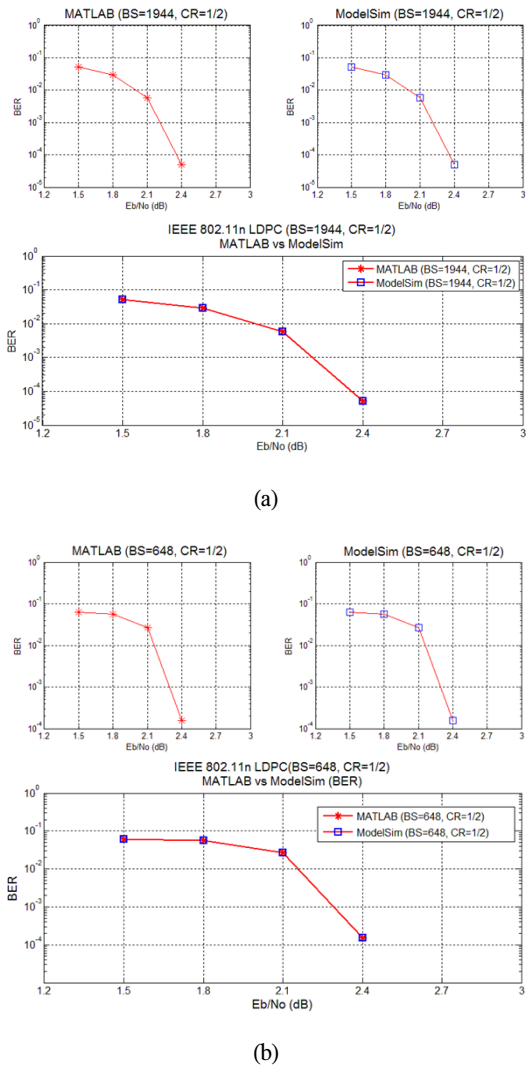


그림 8. 설계된 LDPC 복호기의 BER 성능
 (a) 블록길이: 1944, 부호율: 1/2, (b) 블록길이: 648, 부호율: 5/6
 Fig. 8. BER performance of LDPC decoder
 (a) block size: 1944, code rate: 1/2, (b) block size: 648, code rate: 5/6

4.2. 하드웨어 구현 및 검증.

설계된 복호기는 그림 9-(a)의 검증 시스템을 이용한 FPGA 구현을 통해 하드웨어 동작을 검증하였다. Xilinx Virtex-5 XC5VX50T FPGA 디바이스가 사용되었으며, RS-232c 직렬통신을 이용하여 PC와 연결된다.

PC에서 Matlab으로 생성된 테스트 벡터는 RS-232c 통신을 통해 FPGA 보드로 보내지며, FPGA 내부에 구현된 UART 코어와 wrapper를 통해 설계된 복호기로 인가된다. 복호기에 의해 복호된 데이터는 wrapper, UART 코어와 RS-232c 통신을 통해 PC로 보내진다. PC에서는 복호 결과로부터 정정되지 못한 오류에 대한 분석결과를 모니터에 출력한다. Eb/No=3.0 dB로 생성된 테스트 벡터를 복호기의 입력 데이터로 사용한 FPGA 검증결과는 그림 9-(b)와 같으며, 복호된 데이터가 시뮬레이션 결과와 일치하여 설계된 LDPC 복호기의 하드웨어 구현이 정상 동작함을 확인하였다.

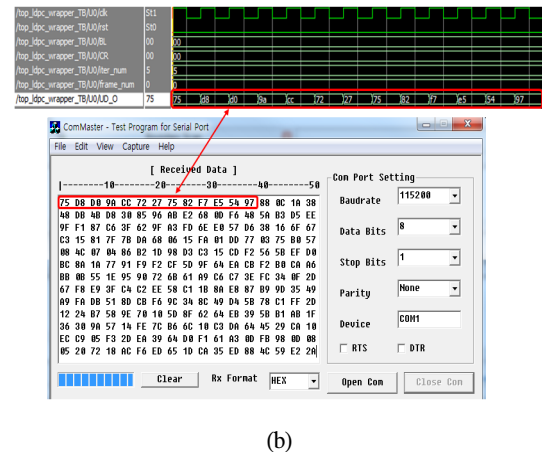
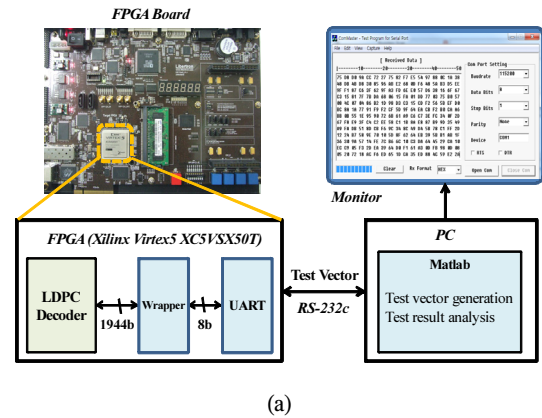


그림 9. LDPC 복호기의 FPGA 구현 검증 결과
 (a) FPGA 검증 시스템 구성도 (b) FPGA 검증 결과
 Fig. 9. FPGA verification result of LDPC decoder
 (a) FPGA verification system (b) verification result

기능검증이 완료된 LDPC 복호기를 0.18- μ m CMOS 표준셀로 합성하여 게이트 수와 동작속도를 평가한 결과, 총 219,100 게이트와 45,036 비트의 RAM으로 구현되었다. 설계된 LDPC 복호기는 50 MHz @2.5 V로 동작하여 164~212 Mbps의 성능을 가질 것으로 예상된다.

V. 결 론

차세대 무선 랜 표준 IEEE 802.11n의 12가지 동작모드를 지원하는 LDPC 복호기 프로세서를 설계하고 검증하였다. 설계된 복호기는 최소합 알고리즘을 기반으로 layered 복호구조로 설계되었다. 최소합 알고리즘의 특성을 이용한 최적화 방법을 적용함으로써 기존의 방법에 비하여 검사노드 메모리를 약 47% 감소시켰으며, PCM을 저장하는 ROM의 크기도 최소화하였다. 설계된 LDPC 복호기의 FPGA 구현을 통해 하드웨어 동작을 검증하여 실용성을 입증하였다.

감사의 글

본 논문은 2010년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업의 결과임(NO. 2010-0005589)

참고문헌

[1] R. Gallager, "Low-Density Parity-Check Codes," IRE Trans. Info. Theory, vol. IT-8, pp. 21-28, Jan. 1962.

[2] D.J.C. MacKay and R.M. Neal, "Near Shannon limit performance of low density parity check codes," IEE Electronic Letter, vol. 32, no. 18, pp. 1645-1646, Aug. 1996.

[3] T. Rhicardson and R. Urbanke, "Efficient Encoding of Low Density Parity-Check Codes," IEEE Trans. Inform. Theory, vol. 47, pp. 638-656, Feb. 2001.

[4] IEEE 802.11n: Wireless LAN medium access control(MAC) and physical layer (PHY) specification : enhancements for higher throughput, IEEE Std.

P802.11n, 2008.

[5] IEEE 802.16e: Air interface for fixed and mobile broadband wireless access systems, IEEE P802.16e/D12 Draft, Oct., 2005.

[6] DVB-S2 Draft ETSI EN 302 307 V1.1.1 (2004-06), ETSI

[7] F. Zarkeshvari and A. Banihashemi, "On implementation of min-sum algorithm for decoding low-density parity-check (LDPC) codes," Proc. IEEE GLOBECOM, vol. 2, pp. 1349 - 1353, Nov. 2002.

[8] M.M. Mansour and N.R. Shanbhag, "High- Throughput LDPC Decoders," IEEE Trans. VLSI sys., vol. 11, no. 6, Dec. 2003.

[9] Yang Sun, M. Karkooti and J. R. Cavallaro, "VLSI decoder architecture for high throughput, variable block-size and multi- rate LDPC codes," IEEE International Symposium on Circuits and Systems (ISCAS'07). May 2007.

저자소개

나영현(Young-Heon Na)

한국해양정보통신학회 논문지
제15권 제2호 참조

박해원(Hae-Won Park)

한국해양정보통신학회 논문지
제15권 제2호 참조

신경욱(Kyung-Wook Shin)

한국해양정보통신학회 논문지
제15권 제2호 참조