

코어와 L2 캐쉬의 수직적 배치 관계에 따른 3차원 멀티코어 프로세서의 온도 분석

손 동 오*, 안 진 우*, 박 재 형**, 김 중 먼***, 김 철 흥**

Analysis on the Temperature of 3D Multi-core Processors according to Vertical Placement of Core and L2 Cache

Dong-Oh Son*, Jin-Woo Ahn*, Jae-Hyung Park**, Jong-Myon Kim***, Cheol-Hong Kim**

요 약

멀티코어 프로세서를 설계하는데 있어서 구성요소들을 연결하는 와이어 길이의 증가로 인한 지연 현상은 성능향상에 큰 걸림돌이 되고 있다. 멀티코어 프로세서의 와이어 지연 문제를 해결하기 위하여 최근에는 3차원 구조의 멀티코어 프로세서 설계 기술이 많은 주목을 받고 있다. 3차원 구조 멀티코어 프로세서 설계 기술은 코어들을 수직으로 적층함으로써, 물리적인 연결망 길이를 크게 감소시켜 성능향상과 함께 연결망에서 소비되는 전력을 줄일 수 있다. 하지만 많은 전력을 소모하는 회로를 수직으로 적층함으로써 전력밀도가 증가하여 프로세서 내부의 온도가 크게 상승하는 문제를 가지고 있다. 본 논문에서는 3차원 구조 멀티코어 프로세서에서의 발열문제를 해결 할 수 있는 플로어플랜 방법을 제안하기 위해 칩 내부에 적층되는 코어의 수직적 배치 형태를 다양하게 변화시키면서 그에 따른 온도 변화를 살펴보고자 한다. 실험 결과를 통해, 프로세서 내부의 온도 감소를 위해서는 코어와 L2 캐쉬를 수직으로 인접하게 적층함으로써 코어의 온도를 낮추는 기법이 매우 효과적임을 알 수 있다. 코어와 코어가 수직으로 상호 인접하는 플로어플랜과 비교하여, 코어와 L2 캐쉬를 수직으로 인접하게 배치시키는 기법이 4-레이어 구조의 경우에는 평균 22%, 2-레이어 구조의 경우 평균 13%의 온도 감소 효과를 보임을 알 수 있다.

▶ Keywords : 멀티코어 프로세서, 3차원 집적회로, 온도, 플로어플랜

Abstract

In designing multi-core processors, interconnection delay is one of the major constraints in

• 제1저자 : 손동오 교신저자 : 김철흥

• 투고일 : 2010. 11. 19, 심사일 : 2010. 12. 06, 게재확정일 : 2011. 03. 10

* 전남대학교 전자컴퓨터공학부(School of Electronics and Computer Engineering, Chonnam National University)

** 울산대학교 컴퓨터정보통신공학부(School of Computer Engineering and Information Technology, University of Ulsan)

※ 본 연구는 지식경제부 및 정보통신산업진흥원의 대학 IT연구센터(NIPA-2011-C1090-1111-0008)의 지원과 2010년도 정부(교육과학기술부)의 재원으로 한국연구재단 기초연구사업(No. 2010-0015343)의 지원을 받아 수행되었음

performance improvement. To solve this problem, the 3-dimensional integration technology has been adopted in designing multi-core processors. The 3D multi-core architecture can reduce the physical wire length by stacking cores vertically, leading to reduced interconnection delay and reduced power consumption. However, the power density of 3D multi-core architecture is increased significantly compared to the traditional 2D multi-core architecture, resulting in the increased temperature of the processor. In this paper, the floorplan methods which change the forms of vertical placement of the core and the level-2 cache are analyzed to solve the thermal problems in 3D multi-core processors. According to the experimental results, it is an effective way to reduce the temperature in the processor that the core and the level-2 cache are stacked adjacently. Compared to the floorplan where cores are stacked adjacently to each other, the floorplan where the core is stacked adjacently to the level-2 cache can reduce the temperature by 22% in the case of 4-layers, and by 13% in the case of 2-layers.

▶ Keywords : multi-core processor, 3D integrated circuits, temperature, floorplan

1. 서론

공정 기술 발달에 기인하여 마이크로프로세서의 동작 주파수는 급속도로 증가하였다. 동작 주파수의 증가는 마이크로프로세서의 성능을 크게 향상시킨 반면 전력 소모량 증가와 높은 발열 등의 부작용으로 인해 한계에 도달하고 있다. 싱글코어 프로세서에서 성능을 향상시키는 가장 직접적이고 효율적인 동작 주파수의 증가가 한계에 부딪히게 되자 프로세서 설계자들은 새로운 방법을 모색하게 되었다. 그 결과, 싱글코어 프로세서의 대안으로 다수의 코어들을 단일 칩에 집적시키는 멀티코어 프로세서가 제안되었다. 멀티코어 프로세서는 여러 개의 코어를 사용하기 때문에 싱글코어 프로세서보다 낮은 동작 주파수를 사용하여도 충분히 높은 성능을 얻을 수 있다. 또한, 상대적으로 낮은 주파수에서 동작하기 때문에 싱글코어 프로세서에서 큰 문제가 되는 전력 소모량과 발열 문제 또한 완화시킬 수 있다. 현재 Sun사의 8코어 기반 Niagara 멀티코어 프로세서와 같이 많은 수의 코어를 내장한 멀티코어 프로세서들이 이미 프로세서 시장에서 널리 사용되고 있다[1]. 하지만 멀티코어 프로세서에서는 구성요소들을 연결시키는 연결망에서의 지연 시간(Interconnection delay)이 새로운 문제로 부각되었다. 연결망 지연 문제는 공정기술의 발달로 인해 트랜지스터의 크기가 점점 작아짐에 따라 각 구성요소들을 연결하는 내부 와이어의 길이가 무시할 수 없는 수준이 되면서 발생하게 되었다. 내부 와이어 길이의 증가는 지연 시간 증가 뿐 아니라, 연결망에서 소모되는 전력을 급격히 증가시키는 문제 또한 발생시킨다[2]. 최근에는, 멀티코어 프로세서에서의 연결망 지연 문제를 해결하기 위해 3차원 구조의 멀티

코어 프로세서가 제안되었다[3].

3차원 구조의 멀티코어 프로세서에서는 각 코어들을 평면이 아닌 수직으로 쌓는다. 2차원 구조의 멀티코어 프로세서는 평면으로 구성되어 있기 때문에 내부에 다수의 코어를 적재시키는 경우에는 칩의 전체 면적에 큰 영향을 미친다. 하지만 3차원 구조 멀티코어 프로세서는 코어를 수직으로 배치할 수 있기 때문에 칩의 전체 면적에 영향을 덜 주게 된다. 또한 3차원 구조 멀티코어 프로세서는 코어를 수직으로 적층한 뒤 각 레이어(Layer)를 TSV(Through-Silicon Vias)를 통해 수직으로 직접 연결시키기 때문에 연결망 지연 시간을 크게 감소시킬 수 있다[4].

하지만, 3차원 구조의 멀티코어 프로세서에서는 코어를 서로 인접하게 수직으로 적층시킴에 따라 발생된 높은 전력밀도로 인해 열섬(Hotspot)현상이 발생하는 문제점이 존재한다[5]. 열섬현상은 칩 내부에서 발생된 열이 전체적으로 불균형하게 분산되어 특정 영역에서만 온도가 크게 상승하는 현상으로 칩의 타이밍 오류(Timing error)와 물리적인 손상을 야기시킨다[6]. 3차원 구조의 멀티코어 프로세서에서 온도 문제를 효과적으로 해결하지 못한다면 칩의 변형과 신뢰성에 큰 문제를 가져오게 된다[7]. 또한 많은 냉각비용이 추가적으로 소모됨으로써 제품의 가격 경쟁력이 악화될 수 있다. 본 논문에서는 3차원 구조 멀티코어 프로세서의 플로어플랜을 변경하여 코어와 L2 캐쉬의 배치에 따른 온도 변화를 측정 및 분석하여 높은 발열 문제를 해결할 수 있는 방법을 제안하고자 한다.

3차원 구조 멀티코어 프로세서는 여러 가지 형태가 있지만 본 논문에서는 4개의 레이어를 적층하는 4-레이어 구조와 2개의 레이어를 적층하는 2-레이어 구조에 대해서 분석하고자 한다. 이하 본 논문의 구성은 다음과 같다. 2장에서는 관련된

구 내용에 대해 상세하게 기술하고, 3장에서는 본 논문에서 비교하는 다양한 플로어플랜 방법들에 대해서 설명한다. 4장에서는 실험 환경 및 상세한 실험 결과를 기술한다. 마지막으로, 5장에서 결론을 맺는다.

II. 관련 연구

1. 3차원 구조 멀티코어 프로세서

칩 제조 공정 기술의 발달과 함께 트랜지스터의 크기가 줄어들면서 단일 칩에 여러 개의 코어를 통합시키는 것이 가능해졌다. 반면 트랜지스터의 크기가 줄어들면서 칩 내부 연결망의 상대적 길이는 증가하게 되었고, 이로 인해 연결망을 통과하는 지연 시간이 프로세서의 성능 향상을 가로막는 문제점이 되었다. 내부 연결망에서 소모되는 전력 또한 프로세서의 경쟁력에 악영향을 미치고 있다. 이러한 기존의 2차원 구조 멀티코어 프로세서의 단점을 극복하기 위하여 최근에 주목을 받고 있는 방법이 3차원 구조 멀티코어 프로세서이다.

3차원 구조 멀티코어 프로세서에서는 2개 이상의 레이어를 수직으로 쌓아 단일 칩에 통합시킨다. 3차원 구조 멀티코어 프로세서 기술은 단일 칩에 들어갈 수 있는 장치의 수를 증가시키고 장치 간 신호전달을 위한 라우팅(Routing)에 매우 유연하며, 적층된 레이어 숫자를 n 이라 할 때 내부 연결망의 길이를 \sqrt{n} 비율로 줄여주는 장점을 가지고 있다[6]. 내부 연결망 길이의 감소는 프로세서의 성능 향상과 전력 소모 감소를 통해 제품 경쟁력을 크게 향상시킬 수 있는 요소가 된다.

3차원 구조 멀티코어 프로세서는 코어들이 적재된 각 층 사이를 TSV를 통해 수직 방향으로 연결함으로써 내부 연결망의 길이를 크게 줄일 수 있다. 즉, 수직으로 적층된 레이어에 통로를 만든 뒤 그 통로에 구리를 사용하여 전극을 형성시켜 통신을 위한 내부 연결선을 만드는 것이다. TSV를 통한 연결은 2차원 구조 멀티코어 프로세서에서 문제가 되던 연결망 지연 문제를 해결할 수 있다. 또한 평면으로 생산되는 2차원 구조 멀티코어 프로세서에 비해 3차원 구조 멀티코어 프로세서는 수직으로 레이어를 적층시킴으로써 면적을 줄여주기 때문에 칩의 생산 비용도 감소시키는 장점이 있다[8].

3차원 구조 멀티코어 프로세서 기술은 많은 장점들을 가지고 있지만, 단일 칩 내에 코어들이 수직으로 배치되면서 전력 밀도가 급격하게 증가함으로 인해 높은 발열 문제를 발생시키는 단점을 내포하고 있다. 3차원 구조 멀티코어 프로세서에서의 발열 문제는 기존의 2차원 멀티코어 프로세서와 비교하여

열섬 현상을 더욱 악화시키는 경향을 보인다. 특히 수직으로 적층된 각 레이어 내부에서 활성화 되는 내부 디바이스들이 일직선으로 배치되었을 때 이러한 상황이 심화된다[9]. 예를 들어, Alpha 계열의 마이크로프로세서 코어들로 구성된 2개의 레이어를 적층시킨 3차원 멀티코어 프로세서에서는 2차원 멀티코어 프로세서에 비해 최고 온도가 17~20°C 정도 증가할 수 있다고 한다[7]. TSV가 차지하는 면적에 의한 온도 영향도 무시할 수 없는 요소이다. 실제 65nm 공정에서는 TSV의 면적이 전체 칩에서 차지하는 비율이 1~2%밖에 되지 않았기 때문에 온도에 미치는 영향이 거의 없었지만, 공정 방법이 미세화됨에 따라 칩에서 차지하는 TSV의 상대적인 면적 비율이 증가하게 된다면 칩 전체의 온도에 미치는 영향 또한 커지게 된다[8]. TSV의 면적 비율에 의한 칩 내부의 온도 영향은 미세 공정을 통한 3차원 구조 멀티코어 프로세서를 설계할 때 반드시 고려되어야 하는 사항이 될 것으로 예상된다.

2. 3차원 구조 멀티코어 프로세서를 위한 저온도 플로어플랜

3차원 구조 멀티코어 프로세서에서는 코어 내부의 뜨거운 구성요소들이 수직으로 배치된다. 수직으로 구성요소들이 배치되면서, 전력밀도가 상승하고 이로 인해 발생하는 발열 문제는 프로세서의 신뢰성에 악영향을 미치므로, 발열 문제를 해결하기 위해 다양한 연구자들에 의해 온도 인지 기반의 플로어플랜 방법들이 연구되었다[10][11][12][13]. 온도 인지 기반의 플로어플랜 방법은 프로세서를 구성하는 내부 구성요소들의 배치를 결정할 때, 구성요소들이 발생시키는 온도를 고려하여 배치함으로써 열의 상쇄효과를 활용하여 프로세서 내부의 전체 온도를 낮춰주는 방법이다. 발생하는 열의 상쇄효과를 얻기 위해서는 높은 온도를 발생시키는 구성요소의 인접한 위치에 낮은 온도를 발생시키는 구성요소를 배치해야 한다.

과거에 연구된 2차원 구조 프로세서에서의 온도 문제 해결을 위한 대표적인 플로어플랜 기법으로는 Simulated annealing 기반의 최적화와 B*-Tree 알고리즘을 활용한 플로어플랜 기법을 들 수 있다[14]. Simulated annealing 방법을 기반으로 하는 온도 모델링에서 온도를 계산하기 위한 수치적인 방법으로는 FEM(Finite Element Method) 기반 방법, 단순화된 유사 온도 모델(Closed-form thermal model) 방법이 있다. FEM 기반의 방법은 가장 정확하지만 연산이 매우 많고, 유사 온도 모델은 가장 빠르지만 가장 낮은 정확성을 보이는 장단점이 있다[15].

최근에는 2차원 구조 프로세서에서의 저온도 플로어플랜 기법을 기반으로 3차원 구조 프로세서의 온도 문제를 해결하

기 위한 플로어플랜 기법들이 연구되고 있다. 대표적인 3차원 구조 프로세서에서의 저온도 플로어플랜 알고리즘으로는 Combined-bucked-and-2d-array(CBA)를 들 수 있다 [16]. CBA 기반의 알고리즘은 프로세서 코어 내부의 구성요소들의 배치를 서로 교체하는 방법과 레이어 자체의 수직적인 위치를 변경하는 방법을 통해 3차원 구조 멀티코어 프로세서를 위한 저온도 플로어플랜을 구성한다. 또한, 기존의 2차원 유사 온도 모델을 기반으로 3차원 구조 멀티코어 프로세서에 유사 온도 모델을 적용시켜 온도 결과에 따라 플로어플랜을 다시 적용하였다[17].

3차원 구조 멀티코어 프로세서를 제작할 때, 기존에 연구된 플로어플랜 방법에서는 열을 많이 발생시키는 코어와 상대적으로 열을 적게 발생시키는 L2 캐시를 서로 다른 레이어에 수직적으로 인접하게 위치시키거나 각 레이어마다 코어와 L2 캐시를 같은 비율로 분배함으로써 L2 캐시를 코어의 온도를 냉각시켜주는 기능을 수행하도록 한다.

일반적으로 3차원 구조 멀티코어 프로세서에서 방열판(Heat Sink)과 가까운 레이어에 적재된 코어는 방열판과 먼 레이어에 적재된 코어보다 같은 일을 수행하는 경우 더 낮은 온도를 기록한다[18]. 이러한 결과에 근거하여 코어와 L2 캐시를 서로 다른 레이어에 적재시키는 경우에 방열판과 가까운 레이어에는 코어를 배치하고 방열판과 먼 레이어에는 L2 캐시를 적재시켜 방열판과 가까운 L2 캐시를 이용하여 코어의 온도를 전반적으로 낮춰주는 방법을 사용하기도 한다.

각 레이어마다 코어와 L2 캐시의 비율을 동일하게 배치하는 경우에는 인접한 레이어끼리 높은 온도를 나타내는 코어들이 수직적으로 서로 겹치지 않게 배치하도록 주의해야 한다. 예를 들어 2개의 레이어를 수직으로 쌓은 2-레이어 멀티코어 프로세서에서는 각 레이어의 코어가 수직으로 인접하지 않은 플로어플랜이 인접하는 플로어플랜에 비해 훨씬 낮은 온도를 보인다[8].

III. 분석 대상 플로어플랜 방법

본 논문에서는 3차원 멀티코어 프로세서에서 플로어플랜에 따른 온도변화를 자세하게 분석하고자 한다. 먼저, 레이어 숫자에 따른 프로세서의 온도 변화를 알아보기 위해서 4개의 코어를 가지는 쿼드코어 프로세서를 4-레이어 구조와 2-레이어 구조로 구분하여 구성한다.

이전 실험[8]에서는 코어 내부를 구성하는 구성요소들의 플로어플랜은 변화시키지 않고 전체 코어를 하나의 블록으로 지정하여 평균 온도를 측정된 뒤 플로어플랜을 변경하였다.

그러나 본 논문에서는 플로어플랜에 따른 온도를 측정 시 블록의 평균 온도가 아닌 구성요소들의 세부온도를 측정함으로써 보다 상세하게 온도를 살펴보고자 한다. 플로어플랜을 구성할 때에는 L2 캐시가 코어에 미치는 온도영향을 고려하기 위해 코어와 L2 캐시의 크기를 동일하게 지정하여 실험을 수행한다. 실험을 위해 구성된 플로어플랜은 다음과 같다.

1. 4-레이어 구조

4-레이어 구조에서는 그림 1에서 보이는 바와 같이, 4개의 코어와 L2 캐시를 배치하는 방식을 두 가지로 달리하였다. 그림 1 (a)의 플로어플랜은 가장 일반적인 3차원 구조 쿼드코어 프로세서의 플로어플랜 방법으로 동일한 방향으로 4개의 레이어를 적층하는 것이다. 이와 달리, 그림 1 (b)의 플로어플랜은 코어가 위치하는 방향을 인접하는 레이어끼리 상호반대가 되도록 변경하여 구성한다. 이는 코어들이 수직방향으로 서로 겹치지 않게 함으로써 과열 현상을 막고자 하는 방법이다. 그림 1에서 보이는 2가지 방식 외에도 4-레이어에서의 플로어플랜 방법은 코어를 상하좌우로 변경 하는 방법, L2 캐시를 상하좌우로 변경하는 방법 등 다양한 방법들이 존재하지만, 이러한 플로어플랜 방법들은 공정과정에서 많은 비용과 복잡성이 발생할 것으로 예상되므로 실험에서는 제외한다. 그림 1에서 보이는 3차원 구조 쿼드코어 프로세서에서 방열판은 가장 밑에 배치하는 것으로 가정한다.

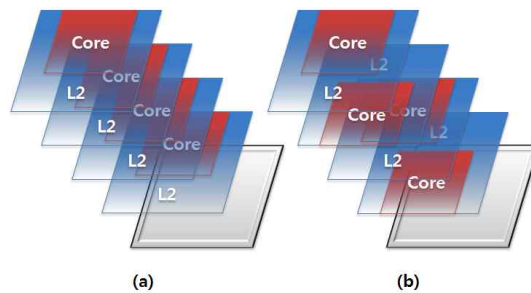


그림 1. 4-레이어 구조의 2가지 플로어플랜
Figure 1. Floorplans of 4-layer architecture

2. 2-레이어 구조

2-레이어 구조에서는 코어와 L2 캐시를 같은 크기로 지정 후 하나의 레이어에 각각 2개씩 배치한다. 4-레이어 구조와 마찬가지로 방열판은 가장 밑에 배치한다. 코어와 L2 캐시가 한 레이어에 하나씩 적재되는 4-레이어 구조와 달리 2-레이어 구조는 훨씬 다양한 플로어플랜을 구성할 수 있다.

본 논문에서는 그림 2와 같이 총 6가지 방식의 2-레이어 구조를 실험하고자 한다. 즉, 4개의 코어를 방열판에서 먼 레이어에 배치시키고 방열판과 가까운 레이어에는 4개의 L2 캐쉬를 배치시키는 플로어플랜 방법 (그림 2 (a)), 방열판과 거리가 먼 레이어에 4개의 L2 캐쉬를 배치하고 방열판과 가까운 레이어에 4개의 코어들을 배치하는 방법 (그림 2 (b)), 2개의 코어와 2개의 L2 캐쉬를 하나의 레이어에 배치시키고 코어들이 수직으로 인접하게 배치하는 방법 (그림 2 (c)), 그림 2 (c)의 플로어플랜에서 방열판과 가까운 레이어의 방향을 변경하여 수직으로 코어끼리 서로 인접하지 않도록 배치시키는 방법 (그림 2 (d)), 하나의 레이어에 위치하는 2개의 코어들이 수평으로 인접되지 않도록 L2 캐쉬를 코어 사이에 위치시킨 후 두 개의 레이어를 수직적으로 같은 방향으로 적층한 방법 (그림 2 (e)), 그림 2 (e)의 플로어플랜에서 방열판과 가까운 레이어의 방향을 변경하여 수직으로 코어끼리 서로 인접하지 않도록 배치하는 방법 (그림 2 (f))을 각각 실험하고자 한다.

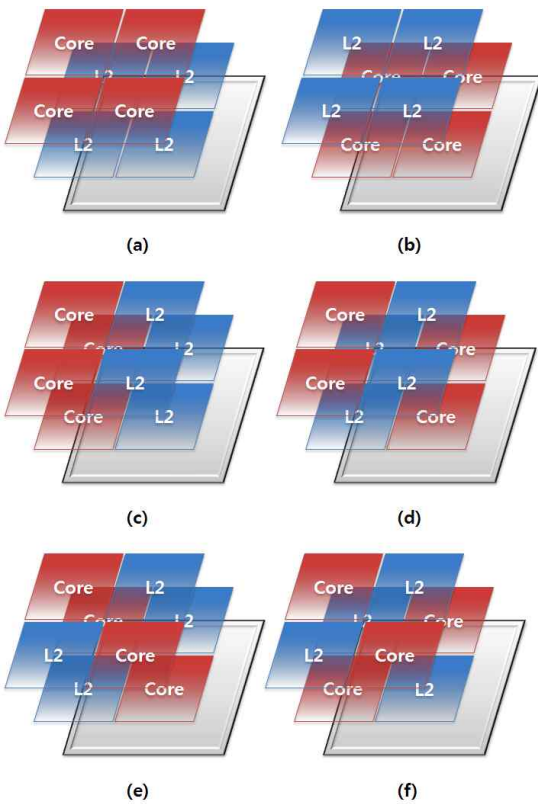


그림 2. 2-레이어 구조의 6가지 플로어플랜
Figure 2. Floorplans of 2-layer architecture

IV. 모의 실험

1. 실험 환경

본 논문에서는 3차원 구조 멀티코어 프로세서의 각 레이어 별로 온도분포를 상세하게 측정하기 위해서 다음과 같이 실험 환경을 구성하였다.

프로세서 내부를 구성하는 코어의 기본적인 특성을 분석하기 위하여 SimpleScalar[19] 시뮬레이터를 사용하였다. 코어의 구성요소에서 소모되는 소모 전력을 상세하게 측정하기 위해서 Wattch[20]를 사용하였다. 실험 시 사용한 프로세서 구성 요소들의 설정 변수들은 표 1에서 보이는 바와 같다.

표 4. 프로세서 구성 변수
Table 1. System Parameters

실험인자	값
Functional Units	4 integer ALUs, 4 FP ALUs, 1 integer multiplier/divider, 1 FP multiplier/divider
L1 I-Cache	32KB, 4-way, 32byte lines, 1 cycle latency
L1 D-Cache	32KB, 4-way, 32byte lines, 1 cycle latency
L2 Cache	512KB, 8-way, 32byte lines, 12 cycle latency

코어의 구성요소 배치는 그림 3의 Alpha 21264(EV6)[21][22]의 플로어플랜을 따른다. Alpha 21264(EV6)는 간단하면서도 빠른 구조의 플로어플랜을 사용하기 때문에 많은 논문에서 사용하고 있다. 따라서 본 실험에서는 빠른 실험과 L2 캐쉬와 코어 간의 유연한 배치를 위해서 Alpha 21264(EV6)를 채택 하였다. 코어와 L2 캐쉬의 배치 변화에 따른 레이어 자체의 크기를 동일하게 유지하기 위하여 L2 캐쉬의 크기는 코어와 같은 크기로 지정하였다.

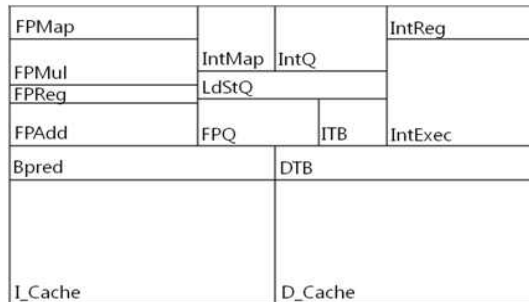


그림 3. Alpha 21264(EV6) 프로세서의 플로어플랜
Figure 3. Floorplan of Alpha 21264(EV6) processor

벤치마크 프로그램은 SPEC CPU2000[23]을 사용하였다. 제안한 플로어플랜 실험을 위한 벤치마크를 선택하기 전에 간단한 예비실험을 하였다. 이 예비실험을 통해 기존의 2차원 구조의 마이크로프로세서에서 총 8개의 정수형 벤치마크의 유닛별 최고온도를 구하였다. 정수형 벤치마크에 대한 유닛별 최고온도는 그림 4를 보면 알 수 있다. 각 벤치마크는 최고 92°C에서 최저 84°C의 온도를 보인다. 기존의 마이크로프로세서에서 8°C의 온도차는 신뢰성에 크게 문제될 수준은 아니지만 3차원 적층 구조에서는 전력밀도의 집중이 일어남에 따라 칩의 변형과 신뢰성에 문제를 일으킬 수 있다. 따라서 이 실험을 통해 총 8개의 벤치마크 중 높은 온도를 나타내는 mcf, 중간 온도를 나타내는 gzip 그리고 낮은 온도를 나타내는 vpr 3개의 벤치마크를 선택하여 실험하였다. 각 벤치마크별 특성에 따라 제안된 플로어플랜 방식이 어떠한 영향이 있는지 분석하기 위해 온도별 차이가 있는 벤치마크를 선택하였다.

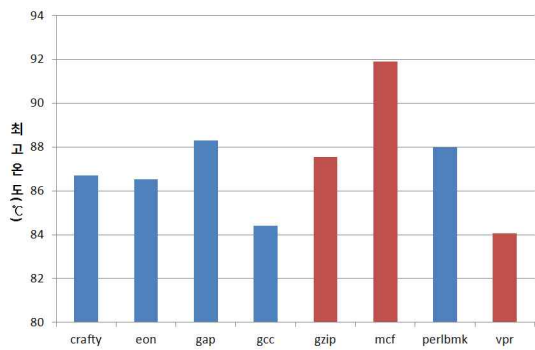


그림 4. 정수형 벤치마크에 대한 유닛별 최고온도
Figure 4. Peak temperature of INT benchmark

실험을 수행하는 각 플로어플랜에 따라서 L2 캐쉬의 배치가 변화하는데 L2 캐쉬의 위치 변화는 내부 연결망 길이의 변화로 이어진다. 하지만 SPEC CPU2000 벤치마크는 대부분 L1 캐쉬에 접근을 하고 L2 캐쉬로의 접근은 2% 미만이기 때문에, L2 캐쉬로의 내부 연결망 길이 변화에 따른 성능 변화는 고려하지 않는다[24]. 마지막으로 3차원 멀티코어 프로세서의 각 레이어별 온도 분포를 측정하기 위해서는 3차원 구조의 온도 시뮬레이션이 가능한 Hotspot 5.0 버전의 그리드 모델(Grid Model)을 사용하였다.

2. 실험 결과

4개의 코어와 4개의 L2 캐쉬를 3차원으로 적층하여 3차원 멀티코어 프로세서의 온도 분포를 총 8가지의 플로어플랜을 이용하여 분석한 결과는 다음과 같다.

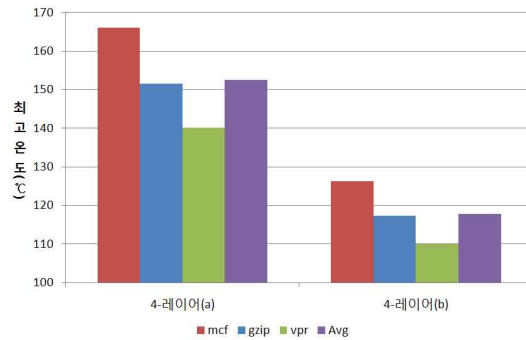


그림 5. 4-레이어 구조의 최고온도 비교
Fig. 5. Peak temperature comparison of 4-layer architecture

그림 5는 4-레이어 구조에 대한 각 벤치마크별 최고온도를 보이고 있다. 그림의 가로축에서 4-레이어(a)는 4개의 레이어를 가지는 그림 1 (a) 플로어플랜을 나타내고, 4-레이어(b)는 그림 1 (b) 플로어플랜을 의미한다. 그래프를 보면 4-레이어 구조에서 일반적인 방식으로 적층한 4-레이어(a) mcf의 경우 166°C의 아주 높은 온도를 보이는 것을 알 수 있다. 다른 벤치마크 역시 140°C 이상의 높은 온도를 보인다. 3차원 적층에 따라 벤치마크별로 약간의 온도 변화는 있지만 모든 벤치마크에서 평균 140°C의 고온을 보인다. 이러한 높은 발열은 프로세서의 작동에 악영향을 미칠 수 있다. 이러한 높은 발열에 대한 대안으로 코어의 배치를 위, 아래로 교차시켜서 배치한 4-레이어(b)를 보면 mcf의 경우 126°C로 40°C라는 큰 온도가 감소하는 것을 볼 수 있고, 다른 벤치마크 역시 30°C 이상의 많은 온도 감소가 발생함을 알 수 있다. 4-레이어 구조에서 코어의 배치를 위, 아래로 바꿀 경우 각 벤치마크에 대해 평균 34°C의 온도 감소 효과를 보인다. 이러한 플로어플랜은 온도 감소에 효과적이지만 프로세서가 안정적으로 동작하기에는 너무 높은 온도를 보이는 것으로 판단된다.

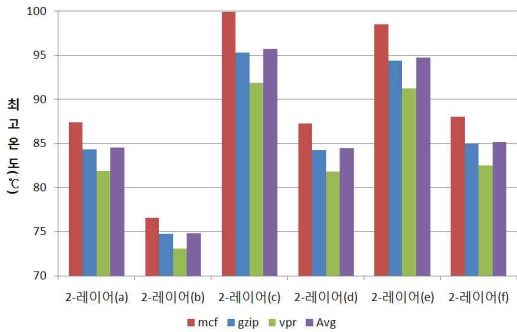


그림 6. 2-레이어 구조의 최고온도 비교
Fig. 6. Peak temperature comparison of 2-layer architecture

그림 6은 2-레이어 구조의 6가지 플로어플랜에 대한 결과이다. 2-레이어(a)는 2개의 레이어를 가지는 그림 2 (a) 플로어플랜을 의미하고, 2-레이어(f)는 그림 2 (f) 플로어플랜을 나타낸다. 그래프를 보면 그림 5와 같이 mcf에서 가장 높은 온도를 보인다. 또한 gzip과 vpr 역시 4-레이어 구조처럼 3차원 적층에 따른 벤치마크의 특성으로 비슷한 온도 분포를 보인다. 이러한 온도 분포는 기존의 2차원 구조의 마이크로프로세서의 온도 분포가 3차원 적층에서도 같은 양상으로 온도가 상승함을 알 수 있다. 2-레이어(a)를 보면 코어가 수평적으로 인접하여 기존의 쿼드코어 프로세서와 같이 높은 온도를 보일 것이라 예상 하였다. 또한 코어와 L2 캐쉬를 수평으로 인접시킨 2-레이어(c), 2-레이어(e)는 2-레이어(a)보다 낮은 온도를 보일 것이라 예상 하였다. 이는 기존의 연구에서 가장 작은 연산을 하는 L2 캐쉬가 프로세서에서 가장 차가운 유닛이기에 인접 코어 사이에 L2캐쉬를 배치하면 코어의 열을 흡수 하는 냉각장치로 이용할 수 있기 때문이다[24]. 하지만 실험결과에서 2-레이어(a)는 코어와 L2 캐쉬를 수평으로 인접시킨 2-레이어(c), 2-레이어(e)에 비해 평균 10°C의 낮은 온도를 보인다. 또한 2개의 코어가 인접한 2-레이어(c)와 코어 사이에 L2 캐쉬를 인접시킨 2-레이어(e)가 별 다른 온도차를 보이지 않는다는 결과를 통해 코어의 수평 방향의 인접은 3차원 적층 구조에서 온도에 미치는 영향이 크지 않음을 알 수 있다. 수직으로 코어가 인접해 있던 2-레이어(c)와 2-레이어(e)에 비해 레이어의 배치를 바꿔 코어의 수직적인 인접을 피한 2-레이어(d)와 2-레이어(f)에서 낮은 온도를 보인다. 이러한 결과는 코어간의 배치는 수평적인 배치보다 수직적인 배치에서 온도에 많은 영향을 미치는 것을 알 수 있다. 따라서 3차원 적층 구조에서 레이어별 배치에서 온도가 뜨거운 코어간 수직적 배치를 피함으로써 온도를 감소시킬 수 있

다는 것을 예측하게 한다.

그림 5와 그림 6의 그래프를 보면, 4-레이어 구조가 2-레이어 구조에 비해 아주 높은 온도를 보이는 것을 알 수 있다. 4-레이어 구조는 2차원 멀티코어 프로세서와 비교하여 75%에 가까운 칩 면적을 감소시켜 주지만, 수직방향의 적층에 따른 전력밀도의 상승으로 인해 높은 발열이 발생한다. 따라서 3차원 적층 구조에서 단순히 레이어를 적층하는 4-레이어 구조가 아닌 2-레이어 구조가 온도 측면에서 효과적임을 알 수 있다.

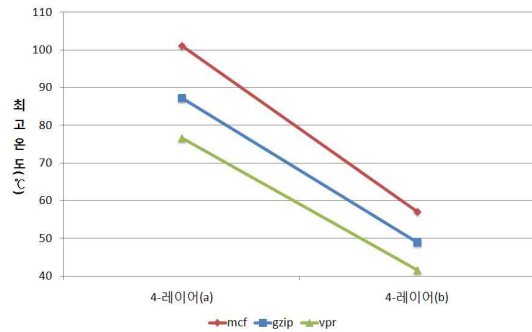


그림 7. 4-레이어 구조의 유닛 간 온도 차이
Fig. 7. Difference of unit temperature in 4-layer architecture

그림 7은 4-레이어 구조의 플로어플랜에 따른 구성요소들의 유닛간 온도 차이를 나타내는 그래프이다. 각 레이어별로 나뉜 유닛들 중에서 가장 높은 온도를 나타내는 유닛과 가장 낮은 온도를 나타내는 유닛간의 온도차를 나타낸다. 최고 온도가 높은 4-레이어(a)는 평균 88°C의 높은 온도차를 보이고 4-레이어(b)는 평균 49°C의 온도차를 보인다. 이러한 유닛간의 높은 온도 차이는 칩의 변형과 신뢰성에 큰 문제를 가져오게 된다.

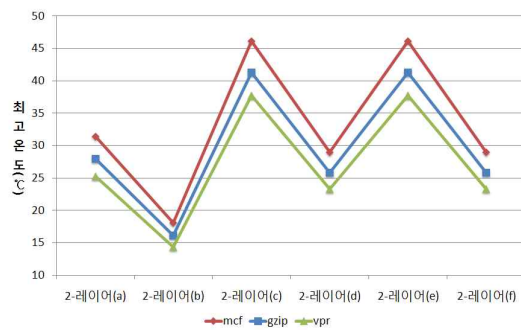


그림 8. 2-레이어 구조의 유닛 간 온도 차이
Fig. 8. Difference of unit temperature in 2-layer architecture

그림 8은 2-레이어 구조의 플로어플랜에 따른 구성요소들의 유닛간 온도 차이를 나타내는 그래프이다. 실험 결과 그림 6과 유사한 온도 분포를 보인다. 최고온도가 높으면 구성요소들의 온도차 또한 크고 최고온도가 낮으면 구성요소들의 온도차도 작음을 알 수 있다. 이러한 이유는 최고온도가 높은 플로어플랜일수록 코어가 수직적으로 인접하여 온도가 밀집되기 때문에 많은 온도 차이가 난다. 최고온도가 낮은 플로어플랜의 경우에는 코어가 수직적으로 인접하지 않고 온도가 차가운 L2 캐시가 뜨거운 코어에 수직적으로 냉각장치 역할을 함으로써 온도의 분산이 일어나기 때문에 낮은 온도 차이를 보인다. 따라서 3차원 적층 구조에서는 수직적 배치가 온도에 많은 영향을 주는 것을 알 수 있다.

V. 결론

본 논문에서는 3차원 멀티코어 프로세서에서의 플로어플랜에 따른 온도 변화를 상세하게 분석하기 위해 다양한 방법으로 실험을 수행하였다. 3개의 정수형 벤치마크에 대해 총 8가지의 플로어플랜을 실험한 결과 3차원 구조 멀티코어 프로세서에서 코어의 수평적인 인접에 따른 온도의 영향은 크지 않고, 수직적인 인접에 따른 온도의 영향이 매우 크게 나타남을 알 수 있었다. 코어끼리 상호 수직으로 인접하는 플로어플랜과 비교하여 코어와 L2 캐시를 수직으로 인접하게 적층하는 플로어플랜이 훨씬 낮은 최고온도를 보였다. 코어끼리 수직으로 적층하는 플로어플랜보다 코어와 L2 캐시를 수직으로 적층하는 경우 4-레이어에서는 약 22%, 2-레이어에서는 약 13%의 온도 감소 효과가 있었다. 그중 2-레이어에서 프로세서 코어가 방열판과 L2 캐쉬 사이에 수직으로 위치하는 경우가 가장 낮은 온도를 보였다. 이는 온도가 높은 코어를 온도가 낮은 방열판과 L2 캐쉬가 수직적으로 냉각장치 역할을 하였기 때문이다.

3차원 멀티코어 프로세서의 저온도 플로어플랜은 3차원 멀티코어 프로세서에서 심각한 문제로 고려되는 발열 문제를 해결하는 효과적인 방법이 될 수 있다. 본 논문에서 실험한 결과를 바탕으로, 3차원 멀티코어 프로세서를 설계한다면, 온도 문제로 인한 냉각 비용을 크게 줄임으로써 제품의 경쟁력을 높일 수 있을 것으로 기대된다.

참고문헌

- [1] P. Kongetira, K. Aingaran, K. Olukotun, "Niagara: A 32-way multithreaded SPARC processor," *IEEE Micro*, vol. 25, no. 2, pp.21-29, March-April, 2005.
- [2] C. Zhu, Z. Gu, L. Shang, R. P. Dick, R. Joseph, "Three-dimensional chip-multiprocessor run-time thermal management," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 27, no. 8, pp. 1479-1492, Sonoma, CA, USA, Aug, 2008.
- [3] S. W. Yoon, D. W. Yang, J. H. Koo, M. Padmanathan, and F. Carson, "3D TSV processes and its assembly/Packaging technology," In *Proceedings of IEEE International Conference on 3D System Integration*, pp.1-5, SanFrancisco, USA, Sep. 2009.
- [4] E. Wong, Sung Kyu Lim, "3D Floorplanning with Thermal Vias," In *Proceedings of the conference on Design, Automation and Test in Europe*, pp.878-883, Munich, Germany, Mar. 2006.
- [5] A. K. Coskun, J. L. Ayala, D. Atienza, T. S. Rosing, and Y. Leblebici, "Dynamic Thermal Management in 3D Multicore Architectures," In *Proceedings of Design, Automation & Test in Europe Conference & Exhibition*, pp.1410-1415, Nice, France, Apr. 2009.
- [6] J. W. Joyner, Zarkesh-Ha. P, Meindl J.D, "A Stochastic Global Net-length Distribution for a Three-Dimensional System on Chip (3D-SoC)," In *Proceedings of the 14th IEEE International ASIC/SOC Conference*, pp.147-151, Arlington, VA, USA, Sep. 2001.
- [7] K. Puttaswamy, G. H. Loh, "Thermal Analysis of a 3D Die Stacked High Performance Microprocessor," In *Proceedings of ACM Great Lakes Symposium*

- on VLSI, pp. 19-24, Philadelphia, USA, 2006.
- [8] Coskun AK, Kahng AB, Rosing TS, "Temperature- and Cost-Aware Design of 3D Multiprocessor Architectures," In Proceedings of 12th Euro-micro conference on Digital System Design, Architectures, Methods and Tools, pp.183-190, Patras, Greece, Aug. 2009.
- [9] Hung W.-L, Link G.M, Yuan Xie, Vijaykrishnan N., Irwin MJ, "Interconnect and Thermal-aware Floorplanning for 3D Microprocessors," In Proceeding of the 7th ISQED, pp.98-104, San Jose, CA, USA, March. 2006.
- [10] P. N. Guo, C. K. Cheng, and T. Yoshimura, "An O-Tree representation of non-slicing floorplan and its applications," In Proceeding of Design Automation Conference(DAC), pp.268-273, New Orleans, USA, June. 1999.
- [11] C. H. Tsai, S. M. Kang, "Cell-Level Placement for Improving Substrate Thermal Distribution," IEEE Trans. On Computer-Aided Des, vol. 19, no. 2, pp. 253-266, Feb. 2000.
- [12] K. W. Lee, T. Nakamura, T. Ono, Y. Yamada, T. S. Nakatake, H. Murata, K. Fujiyoshi, Y. Kajitani, "Module placement on BSG-structure and IC layout applications," In Proceedings of IEEE/ACM ICCAD, pp.484-491, San Jose, USA, Nov. 1996.
- [13] H. Murata, E. S. Kuh, "Sequence Pair Based Placement Method for Hard/Soft/Pre-placed Modules," In Proceeding of International Symposium on Physical Design(ISPD), pp.167-172, Monterey, California, USA, April. 1998.
- [14] Yun-Chih Chang, Yao-Wen Chang, Guang-Ming Wu, Shu-Wei Wu, "B*-Trees: A New Representation for Non-Slicing Floorplans," In Proceeding of DAC, pp. 458 - 463, Los Angeles, California, USA, June, 2000.
- [15] W. Chu, W. Kao, "A Three-Dimensional Transient Electrothermal Simulation System for ICs," In Proceeding of THERMINIC Workshop, pp. 201 - 207, Villard de Lans, France, Sept, 1995.
- [16] J. Cong, J. Wei, Y. Zhang, "A Thermal-Driven Floorplanning Algorithm for 3D ICs," In Proceeding of ICCAD, pp. 306 - 313, Dusit Resort, Pattaya Beach, Thailand, Nov, 2004
- [17] T. Chiang, S. Souri, C. Chui, K. Saraswat, "Thermal Analysis of Heterogenous 3D ICs with Various Integration Scenarios," In Proceeding of International Electron Devices Meeting(IEDM) Technical Digest, pp. 31.2.1 - 31.2.4, Washington, DC, USA, Dec, 2001.
- [18] K. Banerjee, et al., "3-D ICs: A Novel Chip Design for Improving Deep-Submicrometer Interconnect Performance and Systems-on-Chip Integration," In Proceedings of the IEEE, vol. 89, no. 5, pp. 602 - 633, May 2001.
- [19] D. C. Burger, and T. M. Austin, "The SimpleScalar tool set, version 2.0," ACM SIGARCH CAN, vol. 25, no. 3, pp. 13-25, Jun. 1997.
- [20] D. Brooks, V. Tiwari, and M. Martonosi, "Wattch: a framework for architectural-level power analysis and optimizations," in Proceedings of the 27th International Symposium on Computer Architecture, pp.83-94, Jun. 2000.
- [21] R. E. Kessler, E. J. McLellan, and D. A. Webb, "The Alpha 21264 Microprocessor Architecture," In Proceedings of the ICCD '98, pp.90-95, Austin, USA, Aug. 2002.
- [22] K. Skadron, M. R. Stan, W. Huang, S. Velusamy, K. Sankaranarayanan, and D. Tarjan, "Temperature-Aware Microarchitecture," In Proceedings of the 30th annual international symposium on Computer architecture, pp.83-94, Apr. 2002.
- [23] SPEC CPU2000 Benchmarks, available at <http://www.specbench.org>
- [24] Microarchitectural Floorplanning for Thermal Management: A Technical Report, available at <http://www.cs.virginia.edu/~techrep/CS-2005-08.pdf>

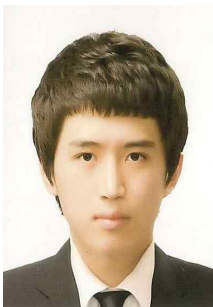
저 자 소개



손 동 오
2010년 : 전남대학교 전자컴퓨터공학부 공학사
2010년 : 전남대학교 전자컴퓨터공학과 석사과정
관심분야 : 컴퓨터구조, 임베디드 시스템
Email : scd1127@gmail.com



김 종 면
1995년 : 명지대학교 전기공학사
2000년 : University of Florida ECE 석사
2005년 : Georgia Institute of Technology ECE 박사
2005년 - 2007년 : 삼성종합기술원 전임연구원
2007년 - 현재 : 울산대학교 컴퓨터정보통신공학부 교수
관심분야 : 임베디드 SoC, 컴퓨터구조, 프로세서 설계, 병렬처리
Email : jmkim07@ulsan.ac.kr



안 진 우
2010년 : 전남대학교 전자컴퓨터공학부 공학사
2010년 : 전남대학교 전자컴퓨터공학과 석사과정
관심분야 : 컴퓨터구조, 임베디드 하드웨어 설계
Email : ajw0411@gmail.com



김 철 흥
1998년 : 서울대학교 컴퓨터공학사
2000년 : 서울대학교 대학원 컴퓨터공학부 석사
2006년 : 서울대학교 대학원 전기컴퓨터공학부 박사
2005년 - 2007년 : 삼성전자 반도체총괄 SYS.LSI 사업부 책임연구원
2007년 - 현재 : 전남대학교 전자컴퓨터공학부 교수
관심분야 : 임베디드시스템, 컴퓨터구조, SoC 설계, 저전력 설계
Email : chkim22@chonmama.kr



박 재 형
1991년 : 연세대학교 컴퓨터공학사
1993년 : 한국과학기술원 컴퓨터공학 석사
1997년 : 한국과학기술원 컴퓨터공학 박사
2002년 - 현재 : 전남대학교 전자컴퓨터공학부 교수
관심분야 : 네트워크 구조, 네트워크프로토콜
Email : hyeung@chonmama.kr