

Mobile-DTV 응용을 위한 광대역 DCO 설계

송성근[†], 박성모^{**}

요 약

본 논문은 Mobile-DTV 응용을 위한 광대역 DCO(Digitally Controlled Oscillator)의 설계에 대해 다룬다. DCO는 발진 주파수를 생성하는 회로로 ADPLL(All-digital Phase-locked Loop)의 핵심 블록이다. 본 논문에서는 광대역 DCO 설계를 위해 기존의 fixed delay chain을 변형한 binary delay chain(BDC) 구조를 제안하였다. 제안된 구조는 2^i 형태로 $0 \leq i \leq n-1$ 범위의 서로 다른 지연시간을 갖는 여러개의 지연셀의 조합을 통해 발진 주파수를 생성한다. BDC 형태는 응용에 맞는 지연셀의 조합과 해상도를 선택할 수 있기 때문에 지연셀의 최적화가 가능하다. 제안된 DCO는 1.8V chartered 0.18 μ m CMOS 공정을 이용하여 Cadence사의 Spectre RF 툴에서 검증되었다. 실험결과 77MHz~2.07GHz의 주파수 대역과 3ps의 해상도를 나타내었다. 위상잡음은 Mobile-DTV 표준의 최대 주파수인 1675MHz에서 -101dBc/Hz@1MHz를 나타내었고 전력소모는 5.87mW를 나타내었다. 이는 ATSC-M/H, DVB-H, ISDB-T, T-DMB 등 Mobile-DTV의 표준을 만족한다.

Design of a Wide Tuning Range DCO for Mobile-DTV Applications

Sung Gun Song[†], Sung Mo Park^{**}

ABSTRACT

This paper presents design of a wide tuning range digitally controlled oscillator(DCO) for Mobile-DTV applications. DCO is the key element of the ADPLL block that generates oscillation frequencies. We proposed a binary delay chain(BDC) structure, for wide tuning range DCO, modifying conventional fixed delay chain. The proposed structure generates oscillation frequencies by delay cell combination which has a variable delay time of 2^i in the range of $0 \leq i \leq n-1$. The BDC structure can reduce the number of delay cells because it make possible to select delay cell and resolution. We simulated the proposed DCO by Cadence's Spectre RF tool in 1.8V chartered 0.18 μ m CMOS process. The simulation results showed 77MHz~2.07GHz frequency range and 3ps resolution. The phase noise yields -101dBc/Hz@1MHz at Mobile-DTV maximum frequency 1675MHz and the power consumption is 5.87mW. The proposed DCO satisfies Mobile-DTV standards such as ATSC-M/H, DVB-H, ISDB-T, T-DMB.

Key words: Mobile-DTV(이동식 디지털수상기), ADPLL(전 디지털 위상고정루프), DCO(디지털 제어 발진기), Oscillator(발진기), Delay Cell(지연셀)

1. 서 론

PLL(Phase Locked Loop)은 주파수 합성, 클럭 및 데이터 복원 등의 기능을 수행하기 위해 무선 통신

시스템에서 사용되는 핵심 부품이다. PLL의 용도는 무선 통신 시스템뿐만 아니라 마이크로프로세서, 디지털 신호 처리, 인터페이스 회로 등 그 응용 분야가 매우 다양하다. 기존의 PLL은 저항과 캐패시터로 구

* 교신저자(Corresponding Author) : 박성모, 주소 : 광주광역시 북구 용봉로 77(500-757), 전화 : 062)530-1798, FAX : 062)530-1759, E-mail : smpark@jnu.ac.kr
접수일 : 2011년 1월 20일, 수정일 : 2011년 3월 29일
완료일 : 2011년 4월 4일

[†] 정회원, 전남대학교 전자컴퓨터공학과 박사과정
(E-mail : ssgun0@gmail.com)

^{**} 정회원, 전남대학교 전자컴퓨터공학과 교수

* 이 논문은 2008년도 전남대학교 학술연구비(연구년연구비) 지원에 의하여 연구되었음.

성된 루프 필터에 전하를 저장하여 조절된 전압을 통해 주파수를 생성하는 CP-PLL(Charge-Pump PLL)이 주로 사용되어 왔다. 하지만 CP-PLL 구조는 미세화 된 공정으로 갈수록 작은 가용전압범위와 큰 누설전류로 인해 주파수 대역이 좁아지고 특성이 저하되어 안정도 또한 보장할 수 없게 되었다[1]. 이에 따라 최근 CP-PLL의 아날로그 블록을 디지털 블록으로 대체하는 All-digital PLL(ADPLL)에 관한 연구가 활발히 진행되고 있다. ADPLL은 기존의 아날로그 구조의 PLL에 비해 고속화, 저전력, 재구성 용이성 등 여러 가지 장점을 가지며 보다 높은 해상도와 광대역 설계가 가능하다. 이러한 ADPLL은 발진 주파수를 생성하는 DCO(Digitally Controlled Oscillator) 블록에 의해 성능이 좌우된다. 따라서 ADPLL의 설계를 위해서는 반드시 DCO에 대한 설계가 선행되어야 한다.

본 논문에서는 Mobile-DTV에 응용 가능하도록 광대역의 DCO를 설계하였다. DTV는 디지털화로 인해 기존 아날로그 방송에 비해 여러 장점을 제공하며 차세대 방송 기술로 자리매김하고 있다[2]. 그 중 Mobile-DTV는 최근 한정된 방송 주파수 자원을 효율적으로 사용하고, 전송 효율을 높이며 멀티미디어 콘텐츠의 고화질 및 고품질화를 위해 전 세계 주요 국가에서 다양한 방식으로 서비스 되고 있으며, 이동통신과 스마트폰 등 휴대형 단말기의 발달과 함께 빠른 속도로 전환점을 맞고 있다. 현재 Mobile-DTV는 표 1과 같이 미국의 ATSC-M/H, 유럽의 ISDB-T, 일본의 DVB-H, 한국의 T-DMB로 크게 4가지 방식으로 서비스 되고 있다. 이 4가지 방식은 현재 서로 다른 지역에서 서비스 되고 있지만 최근 개발되는 휴대용 단말기는 소비자가 다른 지역에서도 방송 서비스가 가능하도록 여러 가지 방송 방식을

표 1. Mobile-DTV 방송 방식

국가	방송방식	주파수 대역
미국	ATSC-M/H	174~216MHz(VHF), 470~806MHz(UHF)
일본	ISDB-T	90~222MHz(UHF), 470~770MHz(VHF)
유럽	DVB-H	470~890MHz(UHF), 1452~1675MHz(L-Band)
한국	T-DMB	174~216MHz (VHF), 1450~1492MHz(L-Band)

지원하는 추세이다. 이미 국내에서 T-DMB와 DVB-H를 동시에 지원하는 SoC (System on a Chip)이 개발되었고, 이에 따라 앞으로 여러 방송 방식을 동시에 지원하는 시스템이 출시될 것으로 예상된다[3]. 이러한 다양한 Mobile-DTV의 주파수 대역을 안정적으로 지원하기 위해서는 ADPLL의 핵심 블록인 DCO가 광대역을 지원하여야 한다.

1.1 All-Digital Phase-Locked Loop

그림 1은 일반적인 ADPLL의 구조로 PFD(Phase Frequency Detector), TDC(Time to Digital Converter), DLF(Digital Loop Filter), DCO로 구성된다. PFD는 기준 클럭인 reference clock과 DCO에서 출력된 pll clock간의 위상차를 검출하여 TDC를 통해 디지털 값으로 변환된다. DLF는 이 위상차를 반영하여 DCO 주파수를 제어한다. 이 과정은 기준 클럭과 pll clock의 위상과 주파수가 맞아서 locking 될 때까지 반복된다. 디바이더는 주파수 분주를 통해 출력주파수를 좀 더 세분화하기 위하여 사용된다. ADPLL에서 DCO는 주어진 디지털 코드에 의해 필요한 발진 주파수를 생성하는 블록으로 ADPLL의 핵심이다[4].

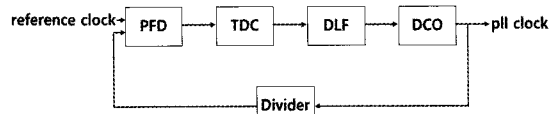


그림 1. 일반적인 ADPLL의 구조

1.2 Digitally Controlled Oscillator

일반적인 DCO는 크게 두 가지 구조로 나뉜다. 첫 번째 구조는 직렬로 연결된 delay chain과 MUX (multiplexer)로 구성되며 MUX를 통해 선택된 하나의 지연경로가 피드백 되어 주파수를 생성한다[5,6]. 첫 번째 구조는 다시 coarse 블록과 fine 블록으로 나뉘어 직렬 연결된다. coarse 블록은 발진 주파수 대역을 넓히기 위해 사용되며 fine 블록은 해상도를 높이고 위상 잡음을 줄이기 위해 사용된다. 두 번째 구조는 ring 발진기 형태로, 병렬로 연결된 많은 지연셀로 이루어진다. 병렬로 연결된 지연셀은 주어진 제어 코드에 의해 활성화된다. 활성화된 지연셀의 개수에 따라 지연경로 자체의 기생 성분과 구동전류가

변하고 발진 주파수가 달라진다[7-9]. 그러나 기존의 구조 모두 발진 주파수 대역을 넓히기 위해서 지연셀을 추가할 경우 늘어나는 MUX 단과 기생 성분으로 인하여 최대 발진 주파수가 낮아지는 문제를 가진다. 반대로 지연셀의 지연시간을 늘릴 경우에도 역시 최대 발진 주파수는 낮아지며 또한 출력 가능한 주파수의 수가 감소한다. 이는 최대 발진 주파수와 발진 주파수 대역이 본질적으로 상관관계를 형성하기 때문이며 광대역 설계에 어려움을 주는 요소이다.

최근에는 MUX을 사용하지 않는 ladder-shaped digitally controlled delay line 구조가 발표되었다 [10,11]. 이 구조는 크게는 첫 번째 형태에 속하지만 MUX 대신 NAND 게이트를 통해 지연경로를 선택한다. 만약 NAND 게이트에 활성화 신호가 들어가면 지연셀이 다음 단의 지연셀과 연결되어 지연시간이 늘어나고 리셋 신호가 입력되면 연결이 끊어져 지연시간이 짧아지게 된다. 지연셀은 대역에 독립적인 작은 상수 형태로 유지되지만 역시 광대역 설계 시 위와 같은 근본적인 문제를 해결하지 못하며 내부 로직이 크고 복잡해진다.

본 논문에서는 광대역 DCO 설계를 위해서 서로 다른 지연시간을 갖는 지연셀의 조합을 통하여 주파수를 생성하는 binary delay chain 구조를 제안한다. 제안된 구조는 응용에 맞는 지연셀의 조합과 해상도를 선택할 수 있기 때문에 지연셀의 최적화가 가능하다. 제안된 DCO는 chartered 0.18 μ m CMOS 공정을 이용하여 Cadence사의 Spectre RF 틀에서 설계 및 검증되었다. 본 논문의 구성은 서론인 1장에 이어서 2장에서 제안하는 DCO의 구조와 설계에 대하여 설

명한다. 3장에서는 실험 결과에 대하여 기술하며 마지막으로 4장에서 결론을 맺는다.

2. 제안하는 DCO

기존의 delay chain 방식은 같은 지연시간을 가지는 여러 개의 지연셀로 이루어지기 때문에 광대역 설계에 제한을 주었다. 기존의 delay chain 구조를 이용하여 DCO 설계 시 해상도를 높이기 위해서는 지연셀의 지연시간이 작아야 하며, 대역폭을 넓히기 위해서는 이에 비례하여 많은 수의 지연셀이 추가되어야 한다. 이러한 경우 늘어나는 RC로 인하여 최대 발진주파수 또한 낮아지는 문제가 발생한다. 따라서 응용에 맞는 지연셀 조합의 선택이 필요하다. 본 논문에서는 서로 다른 지연시간을 갖는 지연셀을 사용하여 응용에 맞는 지연셀의 조합이 가능한 DCO 구조를 제안한다. 또한 binary weight 형태의 지연시간을 갖도록 설계하여 좀 더 효율적으로 지연셀의 수를 줄일 수 있도록 하였다.

2.1 제안하는 DCO의 구조

본 논문에서는 서로 다른 지연시간을 가진 지연셀의 조합인 binary delay chain(BDC) 구조를 제안한다. BDC는 $T_{UNIT} \times 2^i$ 형태로 $0 \leq i \leq n-1$ 범위의 서로 다른 지연시간을 갖는 여러 개의 지연셀이 MUX를 통해 matrix 형태로 연결된다. 그림 2는 제안된 DCO의 전체 구조이다. 크게 Coarse Tuning Stage와 Fine Tuning Stage의 두 블록으로 나뉘며 Coarse Tuning Stage는 다시 1차 BDC 블록과 2차 BDC 블

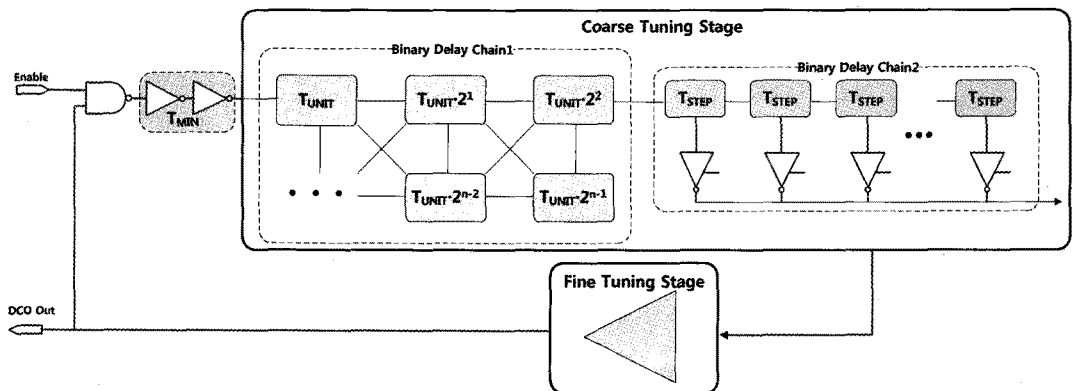


그림 2. 제안된 DCO의 구조

록으로 구분된다. Coarse Tuning Stage의 1차 BDC 블록에서는 주파수 대역을 결정하고, 2차 BDC 블록에서는 해상도를 결정하기 위해 사용된다. Fine Tuning Stage는 해상도를 높여 더 많은 발진 주파수를 생성하고 위상잡음을 줄이기 위해 사용된다. DCO의 동작은 여러개의 버퍼로 구성된 지연셀의 출력이 NAND 게이트로 피드백 되어 발진되는 전형적인 링 발진기 구조로 이루어진다. 이러한 링 발진기 구조는 아날로그 회로의 성격이 적으며 디지털 공정에서 소형화 및 저전력 구현에 유리하다[12].

2.1.1 Coarse Tuning Stage

Coarse Tuning Stage는 1차 BDC 블록과 2차 BDC 블록으로 구성된다. 1차 BDC 블록에서는 발진 주파수 대역이 결정되고 2차 BDC 블록에서는 해상도가 결정된다. 그림 3은 Coarse Tuning Stage의 전체 블록도를 보여준다.

먼저 1차 BDC 블록은 정해진 단위시간 T_{UNIT} 을 기준으로 $T_{UNIT} \times 2^i$ 형태로 $0 \leq i \leq n-1$ 의 범위의 서로 다른 지연시간을 갖는 여러 개의 지연셀로 이루어진다. 모든 지연셀의 출력은 MUX를 통해 다른 지연셀의 입력과 연결된다. 지연셀의 지연시간은 피드백 회로가 형성되어 하나의 주기를 이루는 시간을 의미하며, 지연셀의 지연시간과 개수에 따라 발진주파수 대역이 결정된다. 예를 들어 4ns의 단위시간을 기준으로 5개의 지연셀을 가지도록 설계되었다면 4ns에서 $4 \times (2^5 - 1)ns$ 까지 즉, $\frac{1}{124 \times 10^{-9}}Hz \sim \frac{1}{4 \times 10^{-9}}Hz$ 의 발진 주파수 대역을 가지며 해상도는 단위시간 (T_{UNIT})인 4ns이다. 하지만 최대 발진 주파수는 T_{MIN} 에 의해 제한되는데, T_{MIN} 은 Coarse Tuning Stage가

활성화 될 때 안정적인 발진을 위해 항상 동작하는 지연셀의 지연 시간을 나타낸다. T_{MIN} 은 발진을 위해 필요한 최소한의 버퍼(T_{OSC})를 포함하며 여기에 NAND 게이트(T_{NAND})와 경로선택을 위한 MUX (T_{MUX})의 전달 지연시간이 더해진다. 결국 발진 주파수 대역은 T_{MIN} 을 기준으로 $T_{UNIT} \times 2^i$ 의 범위를 갖게 되며 $\frac{1}{T_{MIN}}Hz$ 은 최대 발진 주파수가 된다. 만약 위의 예에서 T_{MIN} 이 5ns 라면 T_{MIN} 일종의 오프셋(offset)이 되어 발진 주파수 대역이 $\frac{1}{(5+124) \times 10^{-9}}Hz$ 에서 $\frac{1}{5 \times 10^{-9}}Hz$ 으로 이동(shift) 하게 된다. 최종적으로 지연셀의 개수 i 에 따른 발진 주파수 대역은 식(1)과 같이 결정된다.

$$F(Hz) = \frac{1}{T_{MAX}} \sim \frac{1}{T_{MIN}}$$

$$T_{MIN} = T_{OSC} + T_{NAND} + T_{MUX}$$

$$T_{MAX} = T_{UNIT} \times 2^{i-1} + T_{MIN}$$
(1)

1차 BDC 블록에서 하나의 지연셀은 자신의 비트에 속하는 $T_{UNIT} \times 2^i$ 의 지연시간을 가진다. 이 지연시간은 앞에서 말한 것처럼 한 주기를 표현하기 때문에 $T_{UNIT} \times 2^i$ 에는 피드백에 사용되는 모든 로직 게이트의 전달 지연시간이 포함되어야 한다. 피드백은 NAND 게이트를 시작으로 T_{OSC} , 1차 BDC 블록, 경로선택 MUX 순으로 이루어진다. 여기서 NAND 게이트와 T_{OSC} , 경로선택 MUX의 전달 지연시간은 T_{MIN} 으로 표현된다. T_{MIN} 은 오프셋 형태로 항상 1차 BDC 블록의 지연시간과 더해져 출력되기 때문에 1차 BDC 블록의 요소만 남게된다. 1차 BDC 블록에서 지연셀의 전달 지연시간외에 지연셀 조합을 위한 추

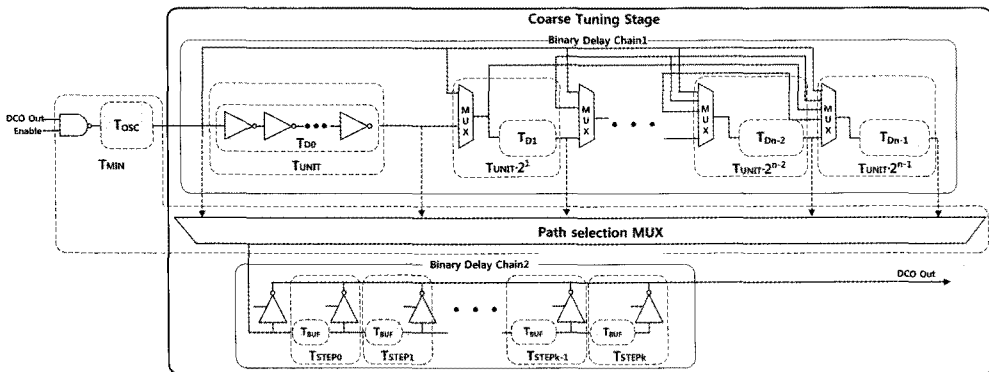


그림 3. Coarse Tuning Stage의 구조

가적인 MUX(T_{EXTRA})의 전달 지연시간이 존재하며 각 지연셀의 지연시간에서 고려되어야 한다. 따라서 주어진 2진 제어 코드에 따른 1차 BDC 블록의 출력은 식 (2)와 같고 하나의 지연셀의 전달 지연시간은 식 (3)과 같이 된다.

$$T_{BDL1} = f(B_{BDC1\ n-1} T_{Dn-1} + B_{BDC1\ n-2} T_{Dn-2} + \dots + B_{BDC1\ 1} T_{D1} + B_{BDC1\ 0} T_{D0}) + T_{MIN} \quad (2)$$

$$T_{UNIT} \times 2^i = T_{Dn} + T_{EXTRA} \quad (3)$$

$$T_{Di} = (T_{UNIT} \times 2^i) - T_{EXTRA}$$

다음으로 2차 BDC 블록은 1차 BDC 블록의 T_{UNIT} 을 세분화하여 Coarse Tuning Stage의 해상도를 결정한다. 2차 BDC 블록은 같은 지연시간을 가진 여러 개의 지연셀로 구성된다. 하나의 지연셀은 T_{STEP} 의 지연시간을 가지며 3상 인버터를 이용하여 뒷단과 연결된다. 이는 MUX의 전달 지연시간이 상대적으로 크기 때문이며 T_{STEP} 역시 피드백에 사용되는 3상 인버터의 전달 지연시간(T_{INV})이 포함되어야 한다. 최종적으로 T_{STEP} 은 Coarse Tuning Stage의 해상도가 된다. T_{STEP} 의 전달 지연시간과 모든 주파수 대역을 같은 해상도로 조절하기 위해 필요한 T_{STEP} 의 개수 K 는 식 (4)와 같이 계산된다.

$$K = \frac{T_{UNIT} - T_{STEP}}{T_{STEP}} \quad (4)$$

$$T_{STEP} = T_{BUF} + T_{TINV}$$

여기서 T_{STEP} 은 1차 BDC의 해상도인 T_{UNIT} 의 지연 범위를 지원(cover)하여야 하며 지연시간이 작을수록 해상도가 높아진다. 하지만 해상도의 증가는 최대 발진 주파수에 영향을 주기 때문에 응용에 맞는 설계가 필요하다. 최종적으로 Coarse Tuning Stage의 출력은 1차 BDC 블록과 2차 BDC 블록의 지연시간 조합으로 나타나고 활성화 코드 B에 따른 2차 BDC 블록의 출력은 식 (5)와 같이 된다.

$$T_{COARSE} = T_{BDL1} + T_{BDL2} \quad (5)$$

$$T_{BDL2} = B_{BDC2} \times T_{STEP}$$

2.1.2 Fine Tuning Stage

Fine Tuning Stage는 해상도를 더욱 높이고 위상 잡음을 줄이기 위해 사용한다. Fine Tuning Stage는 피드백 되는 최종 출력단에 병렬로 연결된 제어 가능

한 2^M 개의 nmos로 구성되며 일정한 지연시간을 가지도록 설계된다. 이는 shunt nmos capacitor 구조로 그림 4와 같이 부하단에 캐패시턴스 성분으로 나타나며, 전달 지연시간은 식 (6)과 같이 잘 알려져 있다 [13].

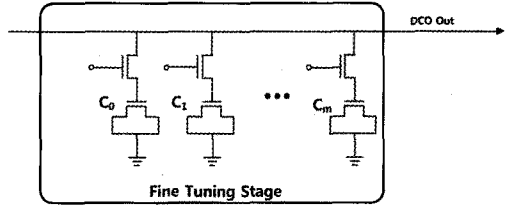


그림 4. Fine Tuning Stage의 구조

$$T_{DELAY} = \frac{C_L}{I_D} \Delta V \quad (6)$$

여기서 C_L 은 부하에 연결된 총 캐패시턴스를 의미하며 ΔV 는 입력 전압, I_D 는 구동 전류를 나타낸다. 제어 블록에 의해 활성화된 nmos의 개수가 증가할수록 루프 내의 캐패시턴스 C_L 은 증가하고, 반면에 루프의 입력전압과 총 구동 전류는 근본적으로 변하지 않으므로 방전 및 충전의 시간이 늘어나게 된다. 즉, 지연시간이 늘어남으로써 출력 주파수가 조절된다. Fine Tuning Stage의 해상도는 제어 가능한 nmos의 수에 의해 결정되며 Coarse Tuning Stage의 해상도인 T_{STEP} 을 세분화한 값으로 표현할 수 있다. 이는 DCO 최종 해상도가 되며 활성화 된 nmos의 수에 따른 Fine Tuning Stage의 출력은 식 (7)과 같다.

$$T_{RES} = \frac{T_{STEP}}{2^M} \quad (7)$$

$$T_{FINE} = B_{FINE} \times T_{RES}$$

최종적으로 DCO의 출력은 Coarse Tuning Stage와 Fine Tuning Stage의 합으로 나타나며 식 (8)과 같이 표현된다.

$$T_{DCO} = T_{COARSE} + T_{FINE} \quad (8)$$

2.2 Mobile-DTV 대역의 DCO 설계

DCO의 대역폭은 지원 해상도, 발진주파수의 수, 지연셀의 조합, 사용 공정 및 전압 등 여러 요소에 의해 결정되며 본 논문에서는 1.8V의 전압 동작이 가능한 chartered 0.18 μ m CMOS 공정 라이브러리를

사용하여 목표인 Mobile-DTV에 맞추어 DCO를 설계하였다. 제안된 DCO는 Coarse Tuning Stage와 Fine Tuning Stage로 나뉘어 설계되며, Coarse Tuning Stage는 다시 1차 BDC 블록과 2차 BDC 블록으로 구성된다. 1차 BDC 블록의 설계에 따라 발진 주파수 대역이 결정되며, 2차 BDC 블록과 Fine Tuning Stage 설계에 따라 해상도와 위상잡음이 변한다. 설계 목표인 Mobile-DTV의 멀티 스탠다드 주파수를 지원하기 위해서는 90MHz에서 1675MHz의 주파수 대역을 가지도록 설계되어야 한다.

먼저 1차 BDC 블록은 400ps에서 6,400ps까지 $T_{UNIT} \times 2^i$ 형태로 $0 \leq i \leq 5-1$ 의 범위의 서로 다른 지연시간을 갖는 5개의 지연셀로 이루어진다. 따라서 T_{UNIT} 은 400ps가 되고 최소 지연시간 T_{MIN} 은 설계된 버퍼와 nand 게이트, MUX의 전달 지연시간을 더한 시간이 된다. T_{MIN} 의 시간은 공정과 설계에 따라 달라지며 본 논문에서는 483ps를 나타내었다. 따라서 $\frac{1}{(483+12,400) \times 10^{-12}} Hz$ 에서 $\frac{1}{483 \times 10^{-12}} Hz$ 가 발진 주파수 대역이 되며, 이는 77MHz에서 2070MHz로 Mobile-DTV의 멀티 스탠다드 주파수 대역을 충분히 넘어선다. 해상도는 T_{UNIT} 인 400ps로 결정되고, 제어 비트는 2^i 의 지연시간을 가지는 5개의 지연셀이 사용되므로 $n=5$ 비트가 된다.

다음으로 2차 BDC 블록은 T_{STEP} 의 지연시간을 갖는 여러 개의 지연셀들로 설계된다. T_{STEP} 은 1차 BDC의 해상도인 T_{UNIT} 을 세분화하여 해상도를 높이기 위해 사용된다. 2차 BDC 블록의 해상도가 너무 낮으면 Fine Tuning Stage의 조절 범위가 늘어나게 되며 이는 Fine Tuning Stage설계 시 해상도를 높이는 데 제한을 준다. 따라서 2차 BDC 블록을 통한 적절한 분배가 필요하다. 본 논문에서는 T_{STEP} 을 50ps를 갖도록 설계하였다. T_{STEP} 은 T_{UNIT} 지연범위에 속하며 나누어 떨어져야 효율적이다. 지연셀의 개수는 T_{UNIT} 이 400ps이기 때문에 식 (3)에 의해 $K = \frac{400ps - 50ps}{50ps} = 7$ 개가 되고, 7개의 지연셀을 제어하기 위해서 3비트가 필요하다. 따라서 Coarse Tuning Stage의 제어 비트는 1차 BDC 블록을 위한 상위 5비트와 2차 BDC 블록을 위한 하위 3비트로 총 8비트가 사용된다.

마지막으로 Fine Tuning Stage는 16개의 nmos가 일정한 지연범위를 가지도록 설계하였다. 따라서

DCO의 최종 해상도 $T_{RES} = \frac{50ps}{16} = 3ps$ 가 되고 77MHz에서 2070MHz의 주파수 범위를 3ps의 해상도로 조절 가능하다. Fine Tuning Stage의 제어비트는 16개의 서로 다른 값을 표현하기 위해 4bit가 필요하다. 최종적으로 DCO는 Coarse Tuning Stage 제어를 위한 상위 8비트와 Fine Tuning Stage 제어를 위한 하위 4비트로 총 12비트로 구성된다.

3. 시뮬레이션 결과

본 논문에서 제안된 DCO는 Cadence사의 Spectre RF 툴을 통해 1.8V의 입력 전압을 주어 chartered 0.18 μ m CMOS 공정의 SPICE 모델을 사용하여 시뮬레이션으로 검증하였다. 측정 결과 LSB 해상도는 3ps를 나타내었으며 최대 주파수와 최소 주파수는 각각 2070MHz와 77MHz를 나타내었다. 이는 Mobile-DTV의 주파수 대역인 90MHz~1675MHz를 충분히 넘어선다. 그림 5의 (a)는 각 Mobile-DTV 표준들의 최대, 최소 발진 주파수에 대한 시뮬레이션 결과이다. ATSC-M/H의 대역은 174MHz~807MHz, DVB-H 대역은 90MHz~769MHz, ISDB-T 대역은 470MHz~1675MHz, 그리고 T-DMB 대역은 174MHz~1494MHz로 측정되었다. 오차 범위는 1MHz~2MHz로 ADPLL 설계를 통해 모두 해결되는 부분으로 Mobile-DTV의 DCO 블록으로 충분히 사용 가능성을 확인하였다. Mobile-DTV 표준들은 모두 6, 7, 8MHz의 channel space를 가지도록 명시하고 있으며 LSB 해상도가 3ps이기 때문에 표준을 만족함을 알 수 있다. 그림 5의 (b)는 위에서 측정된 Mobile-DTV 표준들의 최대, 최소 발진 주파수에 대한 전력소모를 나타낸다. 최소 4.34mW에서 최대 5.87mW로 CMOS 공정을 이용하여 설계되었으므로 트랜지션이 많이 일어나는 높은 주파수 대역에서 전력소모가 늘어남을 알 수 있다.

그림 6은 Mobile-DTV의 최대 발진 주파수인 1675MHz에서 위상잡음을 측정된 결과이다. 위상잡음은 1MHz 오프셋에서 -101dBc/Hz를 나타내었고 설계된 DCO의 전체적인 동작 특성은 표 2에 나타내었다.

4. 결론

본 논문에서는 Mobile-DTV에 응용 가능한 광대역 DCO를 설계하였다. 기존의 delay chain 구조는

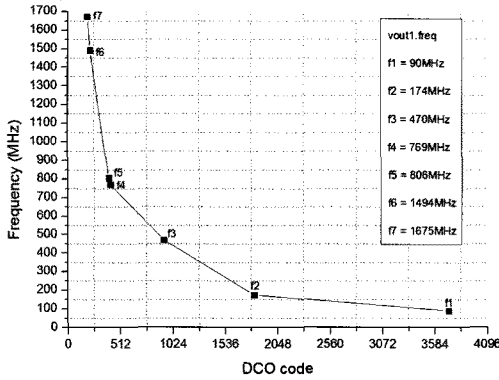


그림 5. 제안된 DCO의 주파수 응답과 전력소모

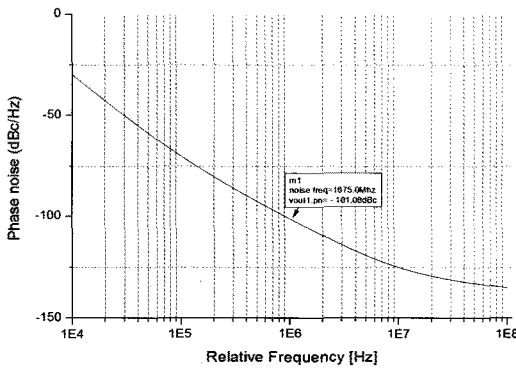
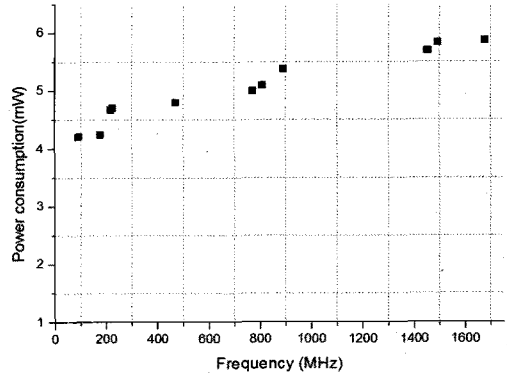


그림 6. 제안된 DCO의 위상 잡음

표 2. 설계된 DCO의 성능

분 류	성 능
주파수 대역	77MHz ~ 2.07GHz
LSB 해상도	3ps
위상잡음	-101dBc/Hz@1MHz at 1675MHz
전력소모	5.87mW@1.675GHz
설계공정	chartered 0.18 μ m CMOS
전 압	1.8V

같은 지연시간을 가지는 여러 개의 지연셀로 이루어지기 때문에 광대역 설계에 제한을 주었다. 본 논문에서는 광대역 설계를 위해 기존의 fixed delay chain을 변형한 binary delay chain(BDC)를 제안하였다. BDC는 2ⁿ 형태로 지연 시간이 증가하는 여러개의 지연셀이 MUX를 통해 matrix 형태로 상호 조합되어 발진 주파수를 생성한다. 이러한 구조는 응용에 맞는 지연셀의 조합과 해상도를 선택할 수 있기 때문에 지연셀의 최적화가 가능하다. 또한 2차 BCD 블록과 fine tuning stage 구조를 사용하여 해상도를 분배함으로써 해상도를 더욱 개선할 수 있다.

제안된 DCO는 1.8V chartered 0.18 μ m CMOS 공정을 사용하여 cadence사의 Spectre RF 툴에서 설계 및 검증되었다. 발진 주파수 대역은 77MHz에서 2.07GHz로 Fine Tuning Stage의 해상도인 3ps 단위로 조절 가능하다. 위상잡음은 Mobile-DTV의 최대 발진 주파수에 해당하는 1675MHz에서 -101dBc/Hz@1MHz를 나타내었고, 전력 소모는 5.87mW를 나타내었다. 이는 현재 서비스 중인 Mobile-DTV의 규격인 ATSC-M/H, DVB-H, ISDB-T, T-DMB의 표준을 만족한다. 또한 이 대역을 사용하는 다양한 멀티미디어 시스템에도 응용 가능할 것으로 사료된다.

참 고 문 헌

- [1] Liangge Xu, Kari Stadius, Tapio Rapinoja, and Jussi Ryynanen, "Agile Frequency Synthesizer for Cognitive Radios," IEEE Circuit Theory and Design Conf, pp. 275-278, 2009.
- [2] Sang-Myeong Shin, Dong-Gi Im, and Min-Soo Jung, "Efficient Native Processing Modules for Interactive DTV Middleware Based on the Small Footprint Set-Top Box," *Journal of Korea Multimedia Society*, Vol.9, No.12, pp. 1617-1627, 2006.
- [3] Bon-Keek Kim, Tae-Wook Kim, Young-Ho Cho, Min-Su Jeong, Se-Yeob Kim, Hee-Young Yoo, Seong-Mo Moon, Tae-Ju Lee, Jin-Kyu Lim, and Bo-Eun Kim, "A 100mW Dual-Band CMOS Mobile-TV Tuner IC for

-T-DMB/ DAB and ISDB-T,” IEEE Solid-State Circuits Conf, pp. 2534-2543, 2006.

[4] Jen-Shiun Chiang and Kuang-Yuan Chen, “The Design of an All-Digital Phase-Locked Loop with Small DCO Hardware and Fast Phase Lock,” *IEEE Transactions on Circuits and Systems II-analog and digital signal processing*, Vol.46, No.7, pp. 945-950, 1999.

[5] P.-L. Chen, C.-C. Chung, J.-N. Yang, and C.-Y. Lee, “A Clock Generator with Cascaded Dynamic Frequency Counting Loops for Wide Multiplication Range Applications,” *IEEE J. Solid-State Circuits*, Vol.41, No.6, pp. 1275-1285, 2006.

[6] Chen Juan, Fang Shou-hai, and Chen Xin, “A Novel DCPLL with Small-Area and Low-Power DCO for SoC Applications,” IEEE Solid-State and Integrated-Circuit Technology Conf, pp. 1867-1870, 2008.

[7] T. Olsson and P. Nilsson, “A Digitally Controlled PLL for SoC Application,” *IEEE J. Solid-State Circuits*, Vol.39, No.5, pp. 751-760, 2004.

[8] Staszewski. R. B, Dirk Leipold, Khurram Muhammad, and Poras T. Balsara, “Digitally Controlled Oscillator(DCO)-Based Architecture for RF Frequency Synthesis in a Deep-Submicrometer CMOS Process,” *IEEE Transactions on Circuits and Systems II-analog and digital signal processing*, Vol.50, No.11, pp. 815-823, 2003.

[9] J. A. Tierno, A. V. Rlyakov, and D. J. Friedman, “A Wide Power Supply Range, Wide Tuning Range, All Static CMOS All Digital PLL in 65 nm SOI,” *IEEE J. Solid-State Circuits*, Vol.43, No.1, pp. 42-51, 2008.

[10] R.-J. Yang and S.-I. Liu, “A 2.5 GHz All-Digital Delay-Locked Loop in 0.13 μ m CMOS Technology,” *IEEE J. Solid-State Circuits*, Vol.42, No.1, pp. 2338-2347, 2007.

[11] Kwang-Hee Choi, Jung-Bum Shin, Jae-Yoon Sim, and Hong-June Park, “An Interpolating

Digitally Controlled Oscillator for a Wide-Range All-Digital PLL,” *IEEE transactions on circuits and system*, Vol.56, No.9, pp. 2055-2063, 2009.

[12] Tomar A., Pokharel R.K., Nizhnik O., Kanaya H. and Yoshida K., “Design of 1.1 GHz Highly Linear Digitally-Contrlled Ring Oscillator with Wide Tuning Range,” RFIT2007-IEEE International Workshop on Radio-Frequency Integration Technology, pp. 82-85, 2007.

[13] G. Jovanovic and M. Stojcev, “Voltage Controlled Delay Line for Digital Signal,” *Facta Universitatis, Series: Electronics and Energetic*, Vol. 16. No.2, pp. 215-232, 2003.



송 성 근

2000년 2월~2004년 2월 호남대학교 정보통신공학과 공학사

2004년 3월~2006년 2월 호남대학교 정보통신공학과 공학석사

2007년 3월~현재 전남대학교 전자컴퓨터공학과 박사과정

관심분야: SoC 설계, 디지털 RF-IC 설계, 비동기 회로 설계, 임베디드 시스템 등



박 성 모

1977년 서울대학교 전자공학과 학사

1979년 한국과학기술원 전기 및 전자공학과 석사

1988년 노스캐롤라이나 주립대학 전기 및 컴퓨터공학과 공학박사

1979년~1984년 한국전자기술연구소 설계개발부 선임연구원

1988년~1992년 올드도미니언대학교 전기 및 컴퓨터공학과 조교수

1992년~현재 전남대학교 전자컴퓨터공학부 교수
관심분야: 멀티미디어 프로세서 구조, SoC 설계, 영상압축, 임베디드 시스템 등