
버퍼 변환과 단일 위치 레지스터 구조를 이용한 저전력 DTMB 디인터리버 구조

강형주*

Low-Power DTMB Deinterleaver Structure Using Buffer Transformation and
Single-Pointer Register Structure

Hyeong-Ju Kang*

요 약

본 논문에서는 버퍼 변환과 단일 위치 레지스터 구조를 이용하여 SDRAM에서의 전력 소모를 줄이는 DTMB 디인터리버 구조를 제안하였다. 수신 성능 향상을 위해 인터리빙의 길이가 긴 DTMB의 디인터리버는 그 특성상 SDRAM에 긴 지연버퍼들을 배치하여 구현한다. 그러나 기존의 구조는 데이터를 읽고 쓸 때 마다 거의 매번 새로운 SDRAM row를 활성화하는 단점이 있다. 제안하는 구조에서는 버퍼 변환을 통해 길이가 짧은 여러 개의 지연버퍼로 변환함으로써 row 활성화 수를 줄이고, 단일 위치 레지스터 구조를 도입하여 위치 레지스터의 개수가 늘어나는 문제점을 보완하였다. 실험결과를 통해 면적은 거의 동일하면서 SDRAM에서의 전력 소모는 약 37%로 줄일 수 있음을 확인하였다.

ABSTRACT

This paper proposes a DTMB deinterleaver structure to reduce the SDRAM power consumption with buffer conversion and the single pointer-register structure. The DTMB deinterleaver with deep interleaving for higher performance consists of long delay buffers allocated on SDRAM. The conventional structure activates a new SDRAM row almost everytime when it reads and writes a datum. In the proposed structure, long buffers are transformed into several short buffers so that the number of row activations is reduced. The single pointer-register structure solves the problem of many pointer-registers. The experimental results show that the SDRAM power consumption can be reduced to around 37% with slight logic area reduction.

키워드

DTMB, 디인터리버, 길쌈 디인터리버, SDRAM

Key word

DTMB, deinterleaver, convolutional deinterleaver, SDRAM

* 정회원 : 한국기술교육대학교(hjkang@kut.ac.kr)

접수일자 : 2011. 03. 11

심사완료일자 : 2011. 03. 23

I. 서 론

지난 몇 년에 걸쳐 전 세계적으로 아날로그 TV에서 디지털 TV로 이전하고 있다. 대표적인 디지털 TV 표준으로는 미국의 Advanced Television Systems Committee (ATSC) 표준, 유럽의 Digital Video Broadcasting - Terrestrial (DVB-T), 일본의 Terrestrial Integrated Services Digital Broadcasting (ISDB-T), 중국의 Digital Terrestrial Multimedia Broadcast (DTMB)가 있다. 앞으로 10여년에 걸쳐 디지털 TV의 완전히 이전할 나라들이 많으며, 이미 차세대 디지털 TV의 표준화 작업이 시작되고 있다.

중국의 DTMB는 비교적 늦게 발표되면서 다른 표준들의 장점들을 받아들였다 [1]. 그 중의 하나는 간섭이 있는 채널에서 수신 성능을 높여주는 인터리빙(interleaving)의 길이를 길게 한 것이다 [2].

인터리빙은 송신할 때 데이터의 순서를 바꾸고 수신할 때 원래의 데이터 순서를 복원하는 기술을 말한다. 송신에서 순서를 바꿀 때, 인접한 데이터가 서로 떨어지도록 한다. 채널에서 발생하는 burst 에러는 수신기에서의 순서 복원 과정에서 인접한 에러가 서로 떨어지게 되므로 random 에러로 바뀌게 된다. 이러한 과정을 통해 burst 에러의 정정 능력을 높일 수 있는 것이다. 송신기에서 순서를 바꾸는 과정을 인터리빙이라고 부르고, 수신기에서 원래 순서를 복원하는 과정을 디인터리빙(deinterleaving)이라고 부른다.

인터리빙에는 블록 인터리빙과 길쌈 인터리빙 방식이 있으며, DTMB의 인터리빙은 길쌈 인터리빙 방식이다. 길쌈 인터리빙에서는 입력 데이터를 여러 경로로 분산 시킨 뒤, 각 경로의 데이터를 서로 다른 양만큼 지연시킨다 [3]. 각 경로의 데이터들을 다시 모으면, 경로들의 지연 차이로 인해 데이터의 순서가 바뀌는 것이다. 수신기에서는 데이터들에 지연의 차이를 보상하는 만큼 데이터들을 지연시켜서 원래의 순서를 복원한다.

길쌈 인터리빙의 디인터리버는 여러 개의 지연 버퍼로 구성된다. DTMB의 디인터리버에 들어가는 지연 버퍼는 길이가 기므로, 쉼클러 버퍼 방식으로 구현한다. 일반적인 쉼클러 버퍼 구현에서는 지연 버퍼 하나 당 한 개의 위치 레지스터를 할당해서 읽기/쓰기 위치를

제어해야 한다. 지금까지의 디인터리버에 대한 논문들은 쉼클러 버퍼 방식에서 위치 레지스터가 여러 개 있는 상황에서 메모리의 효율적인 사용 등에 집중되어 왔다 [4]-[6].

위치 레지스터의 개수를 줄이기 위해 한 개의 위치 레지스터로 디인터리버를 구현하는 구조가 제안되기도 하였다 [7]. 이 구조를 사용하면 디인터리버에서 지연 버퍼의 개수에 상관없이 한 개의 위치 레지스터로 구현할 수 있다. 그러나 이 구조는 아직 널리 알려지지 않아서 이 구조에 대한 연구는 아직 미흡하다.

본 논문에서는 단일 위치 레지스터 구조를 DTMB의 디인터리버에 적용했을 때, SDRAM에서 소모되는 전력을 줄이는 방법에 대해 연구한다. 디인터리버에서 지연 버퍼의 길이가 공약수를 가지면, 그 공약수만큼 경로의 수를 늘리면서 지연 버퍼의 길이는 줄일 수 있다. 지연 버퍼의 길이가 줄어들면 연속된 SDRAM의 접근이 같은 row에서 발생할 확률이 높아진다. 그러므로 SDRAM의 row 활성화 빈도를 낮추어서 전력 소모를 줄일 수 있는 것이다. 단일 위치 레지스터 구조에서는 지연 버퍼의 개수가 늘어나더라도 하드웨어의 면적이 늘어나지 않으므로 이러한 변환이 가능하다.

본 논문은 다음과 같이 구성되어 있다. 2장에서는 DTMB 표준에서의 인터리빙에 대해 고찰하고, 3장에서는 SDRAM에서의 전력 소모를 줄이는 구조를 제안한다. 4장에서 실험결과를 보이고, 5장에서 결론을 맺을 것이다.

II. DTMB 인터리빙

인터리빙은 데이터의 순서를 바꿈으로써 burst 에러의 정정능력을 높이는 기법이다. 인터리빙에는 블록 인터리빙과 길쌈 인터리빙이 있다. 블록 인터리빙은 데이터를 블록으로 나누고 블록 안에서 순서를 바꾸는 방식이다. 이에 반해 길쌈 인터리빙은 데이터를 나누지 않고 입력 데이터를 연속해서 처리한다.

길쌈 인터리빙의 동작은 그림 1와 같다. 입력 데이터는 여러 개의 경로로 나뉘어지며 각 경로에서는 서로 다른 양 만큼 데이터를 지연시킨다. 인터리버의 끝에서 데이터를 다시 모으면 경로에서의 지연차로 인

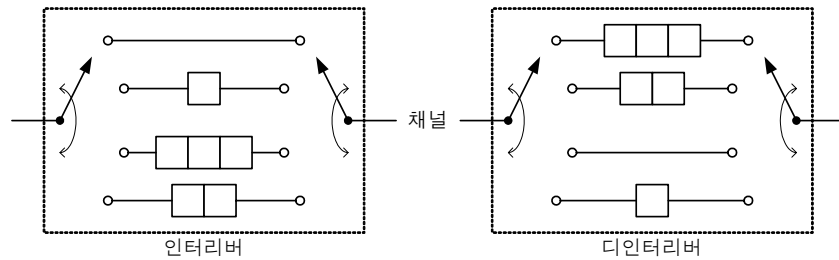


그림 1. 길쌈 인터리빙의 인터리버와 디인터리버
Fig. 1 Interleaver and deinterleaver of convolutional interleaving

해 데이터가 섞이는 것이다. 디인터리버에서는 각 경로의 데이터가 겪는 총 지연량이 서로 같도록 보상하는 만큼의 지연을 가함으로써 원래의 데이터 순서를 복원한다.

DTMB에서는 수신 성능을 높이기 위해 그림 2과 같이 각 경로의 지연량이 매우 크다. 그림 2에서 M 값은 240 또는 720이다. 한 개의 입력 데이터는 I/Q 샘플로 이루어지며, 한 OFDM 심볼에는 3744개의 I/Q 샘플이 들어 있다. 그러므로 한 OFDM 심볼이 처리될 때, 디인터리버의 각 경로로는 72개의 데이터가 들어가고 나온다.

DTMB 디인터리버에서 저장해야 할 데이터의 양을 계산하면 다음과 같다. 지연 버퍼의 길이의 합은 $51 \times 52 / 2 \times M$ 이다. I/Q 샘플이 각각 8bit여서 입력 데이터의 폭을 16bit라 가정하면, M 이 720일 때도 처리를 해야 하므로 저장할 데이터의 양은 $51 \times 52 / 2 \times 720 \times 2 \text{byte} \approx 1.9 \text{Mbyte}$ 이다.

지연버퍼는 보통 쉬프트 레지스터로 구현한다. 그러나 DTMB 디인터리버의 경우에는 데이터의 양이 쉬프트

레지스터로 구현하기에는 너무 많다. 쉬프트 레지스터의 대안은 써클러 버퍼 방식으로써 메모리에 데이터들을 저장하고 읽기/쓰기 위치를 관리하는 방식이다. DTMB 디인터리버는 52개의 지연버퍼로 이루어지므로, 52개의 읽기/쓰기 위치 레지스터가 필요하다.

DTMB 디인터리버가 요구하는 1.9Mbyte 저장 공간은 일반적인 SRAM으로 처리하기에 매우 많은 양이다. 그러므로 SDRAM에 저장하는 것이 일반적이다 [8]. SDRAM은 SRAM과는 달리 각 데이터를 읽기 쓰기 전에 row 활성화 단계를 거친다. 한 개의 row를 활성화시키기 위해서는 읽기/쓰기에 비해 전력을 많이 소모한다. 그러므로 한 번 row를 활성화시키면 그 row 안에서 읽기/쓰기를 많이 하는 것이 전력 소모를 줄이는데 도움이 된다.

그러나 DTMB 디인터리버는 한 지연버퍼의 길이가 매우 길다. 그러므로 한 개의 지연버퍼가 여러 개의 row를 차지한다. 디인터리버 동작의 특징은 한 개의 지연버퍼에 한 번 읽고 쓴 후에는 그 다음 지연버퍼에 읽고 써야 한다는 것이다. 그러므로 row를 한 개 활성화시켜서

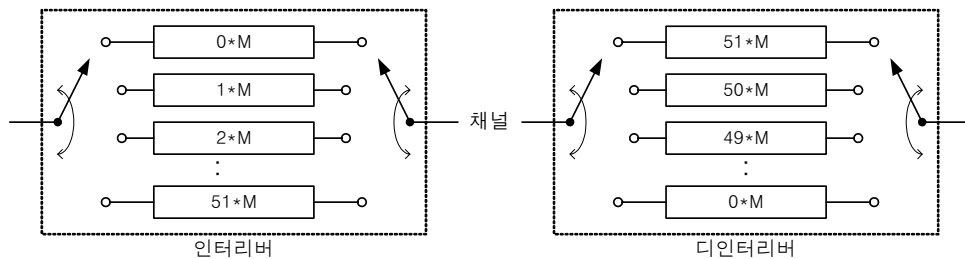


그림 2. DTMB의 인터리버와 디인터리버
Fig. 2 Interleaver and deinterleaver of DTMB

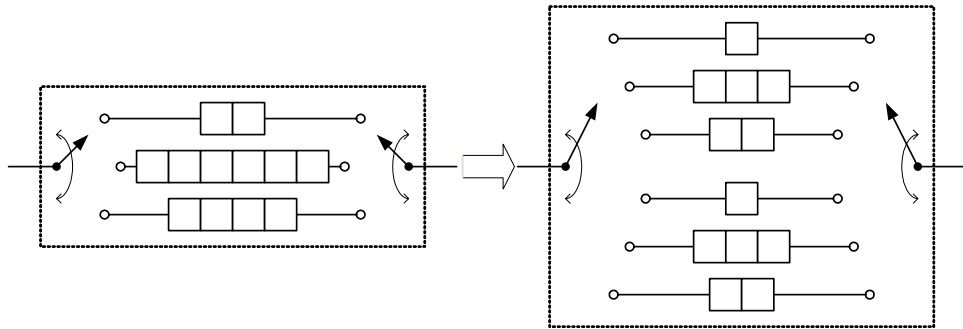


그림 3. 지연 버퍼 변환
Fig. 3 Delay buffer conversion

한 번 읽고 쓴 후에는, 다음 지연 버퍼를 위해 다른 row를 활성화시켜야 된다. 이렇게 되면 row 활성화를 거의 매번 하게 되어서 전력이 많이 소모된다.

III. 버퍼 변환을 통한 저전력 구조

3.1. 버퍼 변환

디인터리버와 같이 각 지연버퍼에 차례로 데이터가 들어오고, 지연버퍼들이 동일한 수의 배수로 이루어질 경우 그림 3와 같은 변환을 할 수 있다. 왼쪽 디인터리버와 오른쪽 디인터리버는 동일한 입출력 동작을 가진다. 왼쪽 디인터리버에 있는 긴 지연버퍼들의 길이를 반씩 쪼개고, 경로의 수를 두 배로 늘린 것이다. 이렇게 되면, 한 지연 버퍼에 대한 입출력 빈도가 절반으로 떨어지면서 지연이 반으로 줄어들기 때문에, 결과적으로는 입출력이 동일해 지는 것이다. 왼쪽 디인터리버에서 제일 위에 있는 길이 2인 지연버퍼의 기능을, 오른쪽 디인터리버에서는 위에서 첫 번째와 네 번째 지연버퍼가 나누어서 수행하고 있다. 구현의 관점에서 보면 오른쪽 디인터리버는 왼쪽에 비해 지연 버퍼의 수는 늘리면서 각 지연 버퍼의 길이를 줄이는 구조이다.

DTMB 디인터리버의 경우에는 지연버퍼들이 M의 배수로 이루어지므로 그림 4와 같은 단위 블록을 M개 수직적으로 배열하는 구조로 바꿀 수 있다. 이렇게 되면 각 지연 버퍼의 길이가 줄어들므로 한 개의 지연버퍼를 처리한 후 다음 지연버퍼를 처리할 때, 새로 row를 활성화시킬 확률이 떨어지게 된다.

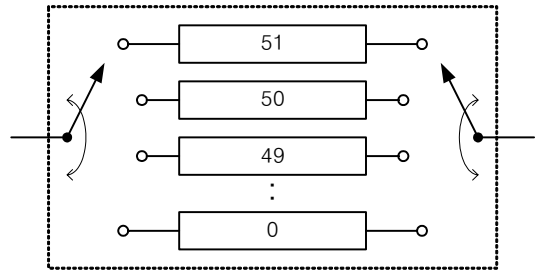


그림 4. 변환된 디인터리버의 단위 블록
Fig. 4 Building block of converted deinterleaver

이 구조의 문제점은 위치 레지스터의 개수가 52개에서 $52 \times M$ 개로 늘어난다는 것이다. 이 문제는 단일 위치 레지스터 구조로 해결할 수 있다.

3.2. 단일 위치 레지스터 구조

디인터리버에 대한 최근의 논문에 따르면[7], 디인터리버의 경우 한 개의 위치 레지스터만으로도 모든 지연 버퍼의 읽기/쓰기 위치를 생성할 수 있다. 기존의 구조에서는 지연 버퍼 마다 고정된 메모리 영역을 할당받는데 반해, 단일 위치 레지스터 구조에서는 지연 버퍼가 차지하는 영역이 움직인다.

단일 위치 레지스터 구조에서는 각 지연버퍼를 순서에 따라 연속적으로 메모리에 배치한다. 그리고 각 버퍼 마다 새로운 데이터가 들어오면 버퍼가 차지하는 영역의 바로 앞에 데이터를 적으며, 데이터를 읽을 때는 제일 뒤의 데이터를 읽는다. 데이터를 읽은 자리는 비게 되고, 버퍼가 연속적으로 배치되어 있으므로 이 자리는 다음

버퍼 영역의 바로 앞이 된다. 다음 버퍼에 데이터가 들어 오면 이 자리에 데이터를 쓰는 것이다.

이와 같이 동작하면 버퍼의 길이만큼 주소값을 증가시키면서 한 개의 위치 레지스터로 동작이 가능해진다.

IV. 실험 결과

본 논문에서 제안하는 구조를 기존 구조와 비교하였다. 입력 데이터의 폭은 16bit이고 M은 720일 때를 가정하였다. 합성 라이브러리는 TSMC의 0.25um 공정을 사용하였고 Cadence사의 RTL Compiler로 합성하였다. 두 구조 모두 단일 위치 레지스터 방식으로 구현하였다. 합성툴에서 보고하는 값을 2-input NAND equivalent gate count로 변환하면, 기존 구조는 1389gate이고 제안하는 구조는 1219gate이다. 둘 다 위치 레지스터를 한 개만 사용하므로 면적의 차이가 적음을 알 수 있다.

OFDM 한 심볼당 SDRAM을 읽고 쓰는 회수는 두 구조 모두 3672회이다. 그러나 row 활성화 회수는, 기존 구조의 경우 거의 매번 row를 활성화해야 해서 3643회이다. 이에 반해 제안하는 구조의 경우에는 187회이다.

두 구조의 SDRAM 전력 소모를 비교한 것이 표 1이다. SDRAM의 전력은 Micron사의 SDRAM Power Calculator[9]로 계산하였다. SDRAM의 row를 활성화하는 회수가 줄었으므로 활성화 전력 역시 약 85mW 줄어들었다. 읽기/쓰기 전력과 배경 전력까지 합한 전체 전력을 비교하면 전력 소모를 약 37%로 줄일 수 있었다.

표 1. SDRAM 소모 전력(mW)
Table. 1 SDRAM power consumption(mW)

	전체 전력	활성화 전력
기존 구조	134.6	89.6
제안된 구조	49.6	4.60

V. 결 론

본 논문에서는 SDRAM에서의 전력 소모를 줄일 수 있는 저전력 DTMB 디인터리버 구조를 제안하였다. DTMB는 수신 성능을 향상시키기 위해 긴 인터리빙을 사용한다. 긴 인터리빙을 위해 디인터리버는 SDRAM에 써클러 버퍼 구조로 구현한다. 그러나 DTMB의 특성상 SDRAM의 row 활성화를 많이 해야하는 어려움이 있었다. 이 논문에서는 버퍼 변환을 통해 row 활성화의 회수를 줄이는 구조를 제안하였다. 위치 레지스터가 늘어나는 문제는 단일 위치 레지스터 구조를 도입하여서 해결하였다. 그 결과 SDRAM 전력 소모를 약 37%로 줄일 수 있었다.

참고문헌

- [1] Z. Yang, Z. Wang, J. Wang, J. Wang, K. Peng, F. Yang, and J. Song, "Technical review for Chinese future DTTB system," *IEEE Vehicular Technology Conference Fall*, pp. 1-6, 2010.
- [2] M. Liu, M. Crussiere, J.-F. Helard, and O. P. Pasquero, "Analysis and performance comparison of DVB-T and DTMB systems for terrestrial digital TV," *Proc. Int. Conf. Communication Systems*, pp. 1399-1404, 2008.
- [3] J. L. Ramsey, "Realization of optimum interleavers," *IEEE Trans. Inform. Theory*, vol. 16, no. 3, pp. 338-345, 1970.
- [4] M. Rim, "A VLSI architecture for convolutional deinterleavers," *Proc. Int. Conf. Consumer Electronics*, pp. 130-131, 1996.
- [5] Y.-N. Chang, "A multibank memory-based VLSI architecture of DVB symbol deinterleaver," *IEEE Trans. Very Large Scale Integration Systems*, vol. 18, no. 5, pp. 840-843, 2010.
- [6] H. Yang, Y. Zhong, and L. Yang, "An FPGA prototype of a forward error (FEC) decoder for ATSC digital TV," *IEEE Trans. Consumer Electronics*, vol. 45, no. 2, pp. 387-395, 1999.

- [7] H.-J. Kang, H. Seo, and J. Kwak, "Area-efficient convolutional deinterleaver for mobile TV receiver," *ACM Transactions on Embedded Computing Systems*, to be published.
- [8] Y. Zhong, H. Yang, and A. Prabhakar, "A VLSI implementation of a FEC decoding system for DTMB(GB20600-2006) standard," *Proc. Int. Conf. ASIC*, pp. 926-929, 2007.
- [9] Micron Technology, Inc., "SDRAM system-power calculator," http://www.micron.com/support/dram/power_calc.html

저자소개



강형주(Hyeong-Ju Kang)

1998년 한국과학기술원
전기및전자공학과 학사

2000년 한국과학기술원
전기및전자공학과 석사

2005년 한국과학기술원 전자전산학과 박사

2005년~2006년 (주)매그나칩반도체 선임연구원

2006년~2010년 (주)지씨티리써치 선임연구원

2010년~현재 한국기술교육대학교 컴퓨터공학부
전임강사

※ 관심분야: VLSI 설계 및 CAD, 마이크로프로세서
설계, 통신 모델 설계