DTV 튜너를 위한 48MHz~1675MHz 주파수합성기 설계

고승오* · 서희택** · 권덕기*** · 유종근****

Design of a 48MHz～1675MHz Frequency Synthesizer for DTV Tuners

Seung-o Ko* · Hee-teak Seo** · Duck-ki Kwon*** · Chong-gun Yu****

이 논문은 인천대학교 2010년도 자체연구비 지원에 의하여 연구 되었으며,
IDEC 지원에 의해서도 일부 수행되었음

요 약

본 논문에서는 DTV 응용을 위한 광대역 주파수 합성기 회로를 0.18μm CMOS 공정을 사용하여 설계하였다. 설계한 주파수 합성기는 DTV의 모든 주파수 대역을(48MHz～1675MHz) 만족한다. 하나의 VCO만을 사용하여 광대역을 만족시킬 수 있는 구조를 제안하였으며, 고주파 대역과 저주파 대역에서의 VCO 이득의 차이와 주파수 간격의 변화를 줄여 안정적인 광대역 특성을 구현하였다. 모의실험 결과, VCO의 발진주파수 범위는 1.85GHz～4.22GHz이며, 4.2GHz에서 위상잡음은 100kHz offset에서 -89.7dBc/Hz이다. VCO 이득은 62.4～95.8MHz/V(±21.0%)이고 주파수 간격은 22.9～47.9MHz(±35.3%)이다. 설계된 주파수합성기의 고착시간은 약 15㎲이다. 제작된 칩을 측정한 결과 VCO는 2.05～3.4GHz의 대역에서 발진하는 것을 확인하였다. 설계된 주파수 보다 shift down 되었지만 마진을 두어서 설계를 하였기 때문에 DTV 튜너로 사용할 수 있는 주파수 대역은 만족한다. 설계된 회로는 1.8V 전원 전압에서 23～27mA의 전류를 소모한다. 칩 면적은 PAD를 포함하여 2.0mm×1.5mm이다.

ABSTRACT

In this paper a wideband frequency synthesizer is designed for DTV tuners using a 0.18㎛ CMOS process. It satisfies the DTV frequency band(48～1675MHz). A scheme is proposed to cover the full band using only one VCO and reliable broadband characteristics are achieved by reducing the variations of VCO gains and frequency steps. The simulation results show that the designed VCO has frequency range of 1.85～4.22GHz, phase noise at 4.22GHz of -89.7dBc/Hz@100kHz, gains of 62.4～95.8MHz/V(±21.0%) and frequency steps of 22.9～47.9MHz(±35.3%). The designed VCO has a phase noise of -89.75dBc/Hz at 100kHz offset. The designed synthesizer has a lock time less than 15 ㎲. The measured VCO tuning range is 2.05～3.4GHz. The frequency range is shifted down but still satisfy the target range owing to the design for enough margin. The designed circuit consumes 23～27mA from a 1.8V supply, and the chip size including PADs is 2.0mm×1.5mm.

키워드
DTV 튜너, LC VCO, 주파수합성기, 광대역

Key word
DTV tuners, LC VCO, Frequecy Synthesizer, Wideband

* 정회원 : Silicon Works
** 준회원 : C&S Technology
*** 정회원 : Fairchild Korea
**** 종신회원 : 인천대학교 (교신저자, chong@incheon.ac.kr)

접수일자 : 2011. 02. 06
심사완료일자 : 2011. 03. 11

Ⅰ. 서 론

디지털 기술의 급속한 발전에 따라 기존의 아날로그 방송은 영화 수준의 고화질(디지털 TV방송)과 CD 수준의 고음질(DAB방송)을 제공할 수 있는 디지털 방송으로 대체되고 있는 것이 세계적인 추세이다. 이러한 추세에 따라, cable & off-air DTV 수신기와 mobile-DTV 수신기는 많은 전자 시스템(HDTV, set-top box, VCR/DVD, computer TV, portable device, cell phone 등)에 사용되고 있으며, 그 수요가 지속적으로 증대되고 있다.

DTV 수신기는 크게 RF 튜너부, 베이스밴드 신호 처리부, 멀티미디어신호 처리부 그리고 각종 주변회로 등으로 구성되어 있는데, 이 중에서도 특히 RF 튜너의 성능이 매우 중요하다. RF 튜너의 핵심 블록이 채널 선택을 위한 안정적인 LO(local oscillator) 신호를 합성해 내는 주파수합성기이며, 주파수합성기의 성능이 전체 RF 튜너의 성능을 좌우하게 된다.

DTV 튜너 IC 및 튜너용 주파수합성기에 대한 국내외 기술개발 현황을 표 1에 요약하였다. 미국에서는 DTV와 CATV용 튜너의 광대역 특성(54MHz-806MHz, 48MHz-860MHz)을 만족시키기 위해 3개 또는 4개의 VCO를 사용하여 주파수합성기를 구현하고 있다. 그러나 이 방법은 주파수 대역 별로 VCO의 특성을 최적화하여 좋은 성능을 얻을 수 있다는 장점은 있으나, 여러 개의 LC VCO를 사용하기 때문에 필요한 on-chip 인덕터의 수가 늘어나서 칩 면적이 커지고 비용이 증가한다는 문제점이 있다[1-3]. 일본에서는 자국의 디지털 TV 방송 방식인 ISDB-T(470MHz-770MHz)와 라디오 방식인

표 1. DTV 튜너용 주파수합성기 국내외 개발 현황
Table. 1 Development status of frequency synthesizers for DTV tuners

	[1]	[2]	[3]	[4]	[5]	[6]	목표 사양
Applications	DTV (ATSC)	Digital CATV	DTV /CATV	mobile DTV (ISDB-T ISDB-TSB)	mobile DTV (DVB-T ISDB-T)	mobile DTV (T-DMB ISDB-T DVB-H)	모든 방식의 DTV
Freq. band (MHz)	54～806 (98～850)	48～860	48～860	90～222 470～890	90～862	170～240 470～862 1450～1492 1670～1675	48～1675
Number of VCOs	4	4	3	2	1	2	1
VCO Freq. (GHz)	-	1.8～3.6	1.1～1.5 1.5～1.9 1.9～2.2	1.5～2.48 2.2～3.78	2.3～3.5	0.94～1.724 2.9～3.35	2.1～3.6
Loop BW (kHz)	-	-	200	-	300	-	200
Phase Noise (dBc/Hz)	<-76 @10kHz	-88@10k -108@100k	-	<-100 @100k	<-100 @100k <-130@1M	<-90 @100kHz	<-90 @100kHz
Process	0.35um CMOS	0.5um BiCMOS	0.18um CMOS	0.11um CMOS	0.18um CMOS	0.18um CMOS	0.18um CMOS
VDD(V)	3.3	3.3	1.8	1.2	2.2	1.8	1.8
Current(mA)	-	-	-	15.3～16.9	70	21～23	<20
Lock time (us)	-	-	-		<70	150	<50
chip size (mm x mm)	-	-	-	2.0 x 0.95	1.15 x 1.3	2.5 x 2.5	2 x 2
Type	-	-	-	Integer-N	Fractional-N	Fractional-N	Fractional-N
Kvco & fstep Comp.	-	-	-	X	X	O	O
VCO type	-	-	-	NP-core w/o Bias	NP-core w/o Bias	NP-core w/ p-Bias	NP-core w/o Bias
Control bit	-	-	-	6: cap bank 1: VCO	5: cap bank	6: cap bank	6: cap bank
Country	USA	Netherland	USA	Japan	Taiwan	Korea	Korea
Year	2007	2003	2008	2006	2007	2007	2010

ISDB -TSB(90MHz-222MHz) 대역을 만족시키기 위해 2개의 VCO를 사용하여 주파수합성기를 구현하였다. 그러나 이 기술은 일본의 방송방식인 ISDB-T에만 적용가능 하다는 단점이 있다[4].

최근에는 휴대용 멀티미디어 시스템이 다양한 방송방식을 지원할 수 있도록 개발되는 추세이며, DTV 튜너 또한, 다중 밴드와 multi-standard를 만족하도록 개발되고 있으나, 아직은 일부 방송 방식만을 지원하거나, 여러 개의 VCO를 사용함으로써 비용적인 측면에서 문제점을 가지고 있다.

대만에서는 최근에 DVB-T 방식과 ISDB-T 방식을 동시에 만족하도록 90MHz-862MHz 대역에서 동작하는 DTV 튜너용 주파수합성기를 1개의 VCO만을 사용하여 구현하였으나 일부 방송 방식만을 지원한다[5]. 국내에서는 최근에 T-DMB, ISDB-T, DVB-H 방식을 동시에 만족하는 mobile-DTV용 주파수합성기를 개발하여, 한국, 일본, 유럽, 미국 방식을 동시에 만족하였다. 그러나 구현된 주파수 대역이 170MHz-862MHz와 1450MHz-1675MHz로 광대역이어서 2개의 VCO를 사용하였다[6].

DTV 튜너의 주파수 대역이 광대역이기 때문에 VCO 또한 광대역 특성을 만족해야 한다. 따라서 광대역에서 우수한 위상잡음 특성을 얻기 위해 보통의 경우는 capacitor bank를 이용한 coarse tuning 기법을 사용한다. 그러나 VCO의 주파수가 낮아질수록 이득이 감소하는 현상이 발생 하는데, 이는 주파수합성기의 안정도를 향상시키지만, 주파수 지원 범위를 감소시키고 주파수 합성기의 동작을 위한 다른 회로의 특성 변화를 가져온다. 따라서, tuning curve 간의 이득(Kvco)과 주파수 간격(Fstep)을 일정하게 유지시키는 기술의 적용이 필요하다.

본 논문에서는 mobile-DTV, stationary-DTV, digital CATV, DAB 등 모든 방식의 디지털 방송 규격을 만족할 수 있는 universal 주파수합성기를 설계하였다. 한 개의 VCO만을 사용하여 DTV 모든 방식의 주파수 대역(48~1675MHz)을 만족하는 동시에 칩 면적 및 전력소모를 최소화하도록 설계하였으며, VCO의 tuning curve 간 이득과 주파수 간격을 일정하게 유지시키는 기술을 적용하여 주파수 범위의 감소를 방지하였다.

Ⅱ. 회로설계

2.1. 광대역 주파수합성기 구조

본 논문에서 설계한 DTV 튜너를 위한 광대역 주파수합성기의 전체 블록도를 그림 1에 나타내었다. 주파수합성기 회로는 LC-VCO, 위상/주파수검출기(PFD), 전하펌프(Charge Pump, CP), D-Block, 그리고 저역통과필터 역할을 하는 루프필터(Loop filter, LP)로 구성된다. Dblock은 fractional spur를 줄이기 위해서 사용되는 시그마-델타 변조기와 multi -modulus 분주가 가능한 Divider 블록으로 구성되어 있으며, carrier 주파수를 프로그램하는 역할을 수행한다. Multi-modulus divider 블록은 4/5 prescaler, 4-bit main counter, 2-bit auxiliary counter 등으로

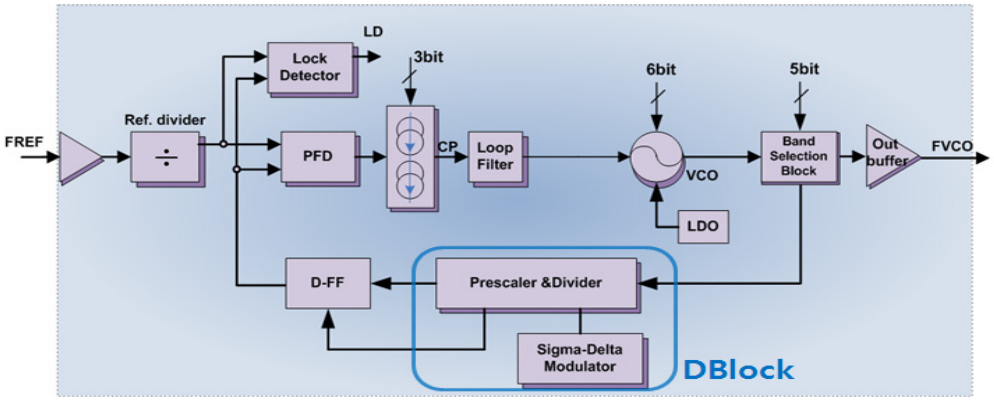

그림 1. 설계된 주파수합성기의 블록다이어그램
Fig. 1 Block diagram of the designed frequency synthesizer

구성되어 있으며 최소 20분주 최대 45분주모드까지 동작할 수 있도록 설계하였다.

2.2. 제안된 광대역 RF VCO 구조

RF VCO는 광대역 특성을 가져야 하며, 표 2에서 제시된 모든 디지털 방송 규격을 만족하기 위해서는 48MHz에서 1675MHz의 주파수 대역을 만족해야 한다. 1개의 VCO를 사용해서 광대역(48-1675MHz)을 만족하기 위한 RF VCO 블록을 그림 2에 보였다. 본 논문에서 제안하는 회로는 하나의 광대역 LC VCO와 1개의 1.5분주 회로, 3개의 2분주 회로 및 I/Q 신호 발생을 위한 1개의 4분주 회로와 다수의 버퍼로 구성된다. VCO는 2100MHz에서 3600MHz의 대역 범위에서 발진하며, 발진 신호는 Div1 path 또는 Div1.5 path를 통해 band selection control에 따라 대응되는 divider path를 거쳐 출력에 전달된다. 그림 3의 주파수 계획에서 보듯이 Div1 path의 sub-band들과 Div1.5 path의 sub-band들은 overlap이 되며 출력 주파수 범위는 43.75MHz에서 1800MHz이다.

표 2. 디지털 방송 방식별 주파수 대역
Table. 2 Frequency bands of digital broadcasting standards

디지털 방송 방식	주파수 대역 (MHz)			
	VHF	UHF	L1	L2
T-DMB	174-216		1452-1492	
DVB-H	170-230	470-862	1452-1492	1670-1675
ISDB-T	90-222	470-770		
ATSC	54-216	470-806		
Cable	48-860			

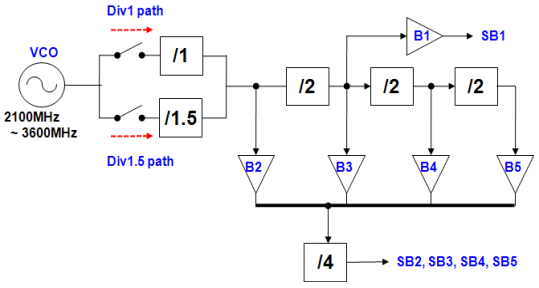

그림 2. 제안된 광대역 RF VCO 블록
Fig. 2 Proposed wideband RF VCO block

2.3. 광대역 VCO 설계

그림 4는 설계한 VCO의 회로도이다. 설계한 VCO는 NP-core 형태로써 N-core only 유형이나 P-core only 유형에 비해 같은 바이어스 전류에서 출력 진폭이 크기 때문에 전력소모 면에서 유리하며, 출력신호파형의 대칭성이 우수한 장점이 있다.

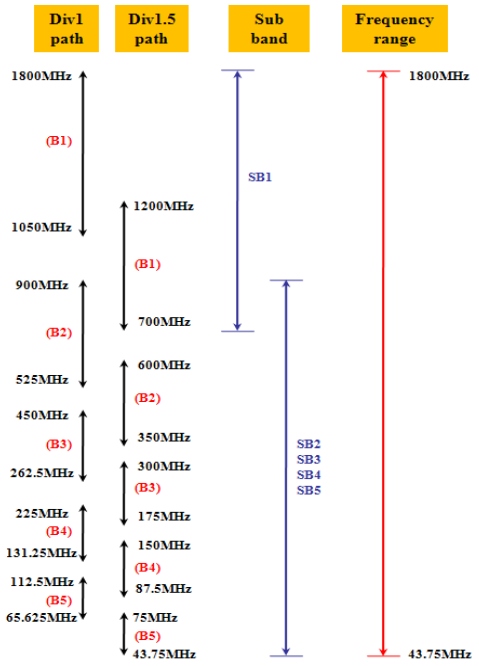

그림 3. 제안된 주파수 계획
Fig 3. Proposed frequency plan

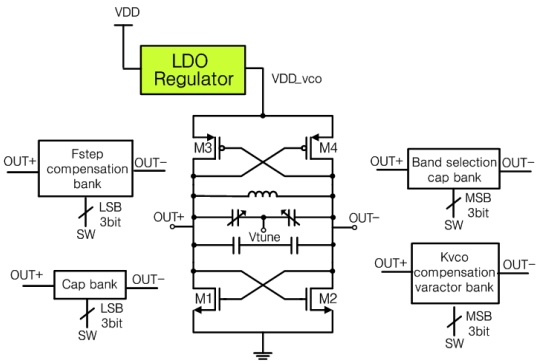

그림 4. 설계된 VCO 회로도
Fig 4. Designed VCO schematic

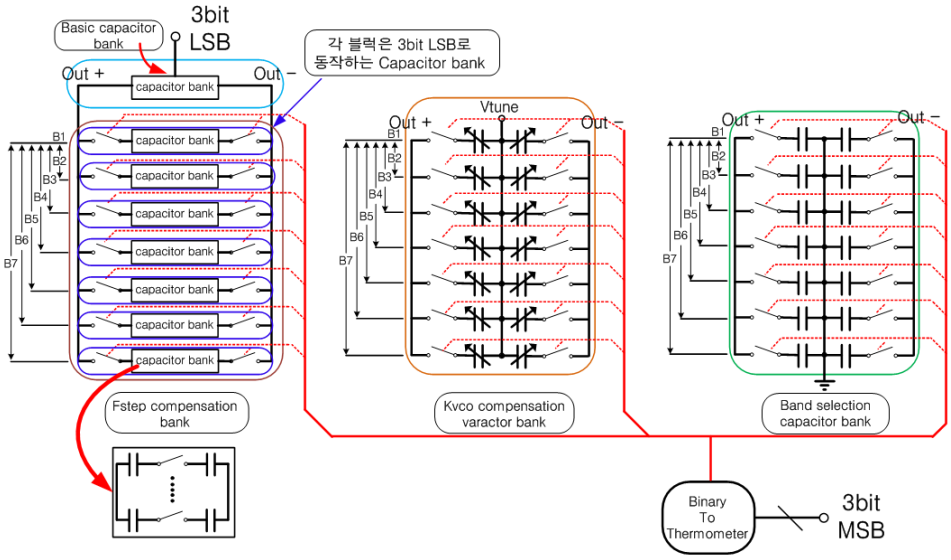

그림 5. 6-bit VCO 커패시터 뱅크
Fig. 5 6-bit VCO capacitor bank

LC-tank는 2턴의 symmetry 인덕터와 선형성이 좋은 accumulation-mode MOS varactor를 사용하였다. 기존의 NP-core VCO에서 사용되던 bias 전류원을 제거함으로써, bias 전류원에서 발생하는 저주파 플리커 잡음(1/f noise)의 up-conversion 및 고주파 열잡음(thermal noise)의 down-conversion에 의한 위상잡음 열화를 방지하였다. 또한, 광대역에 적합하도록 넓은 tuning range 갖기 위해 6-bit(SW0～SW5) 제어신호로 동작하는 capacitor bank를 구성하였고, VCO tuning curve 간의 이득 변화와 주파수 간격 변화를 줄이기 위해서 그림 5에서와 같이 Band selection capacitor bank, Kvco compensation varactor bank, Fstep (frequency step) compensation bank를 사용하였다.

VCO의 tuning range가 넓기 때문에 주파수 대역을 8개의 band(B0～B7)로 나누었으며, 각 band의 선택은 6bit 중 3bit MSB를 이용하여 Binary To Thermometer 회로를 동작시키고 그 출력으로 Band selection capacitor bank를 동작 시켜서 band를 선택한다. 하나의 band 안에서는 3bit LSB를 이용하여 capacitor bank를 동작시켜서 8개의 tuning curve를 얻을 수 있다. 하지만 VCO 이득의 변화율이 각 band마다 크기 때문에 그것을 보상해 주기 위해 3bit MSB로 동작하는 Kvco compensation varactor bank를 사용하였다. 이 bank를 사용하여 각 band에서의 Kvco를 보상해 줄 수 있다. 또한, Fstep의 변화율을 줄이기 위해 각 band에서 capacitor bank가 동작을 할때 같은 3bit LSB로 동작하는 Fstep compensation bank를 사용하였다. Fstep compensation bank안의 각 블록은 3bit LSB로 동작하는 또 하나의 capacitor bank이다. 주파수가 내려가면서 band를 선택할 때나 Kvco 변화와 Fstep 변화를 줄여줄 때에는, 사용했던 capacitor를 재사용 하는 방식을 적용하여 필요한 전체 capacitance를 줄이고 칩 면적을 줄였다.

Ⅲ. 모의실험 결과

설계된 VCO를 0.18um CMOS 공정 변수를 이용하여 모의실험한 결과 VCO의 발진 주파수 범위는 1.85GHz부터 4.22GHz까지로, 표 1의 목표사양(2.1～3.6GHz)을 충분히 만족하고 있다. 설계된 VCO의 위상잡음 특성은 발진주파수 4.2GHz와 1.8GHz일 때 100kHz offset에서 각각 -89.75dBc/Hz, -95.4dBc/Hz이며, 1MHz offset에서는 각각 -116.7dBc/Hz, -121.6dBc/Hz이다.

그림 6, 7은 설계된 VCO의 Kvco와 Fstep의 변화를 모

의실험한 결과이다. 6bit(SW0~SW5) 제어신호에 따른 64개의 VCO tuning curve가 약 62.4~95.8MHz/V(±16.7MHz/V, ±21.0%)의 Kvco를 가지고 Fstep은 22.9~47.9MHz(±12.5MHz, ±35.3%)를 갖는다. 제안된 VCO는 Kvco와 Fstep의 변화율이 각각 ±21.0%, ±35.3%로, 보상 기술을 사용하지 않은 일반적인 VCO의 변화율에 비해 상당한 개선 결과가 있음을 알 수 있다.

그림 8은 설계된 전체 주파수합성기의 locking 특성을 모의실험 결과이다. VCO의 제어 전압은 약 15us후에 고정이 되는 것을 볼 수 있다.

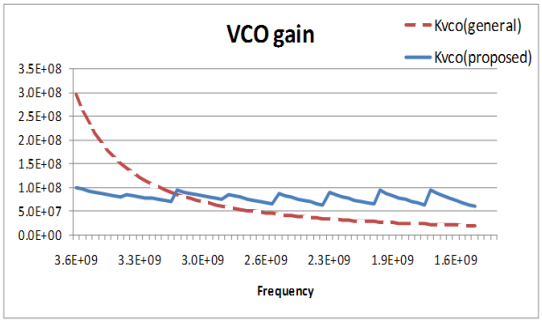

그림 6. VCO 이득 변화
Fig. 6 VCO gain variation

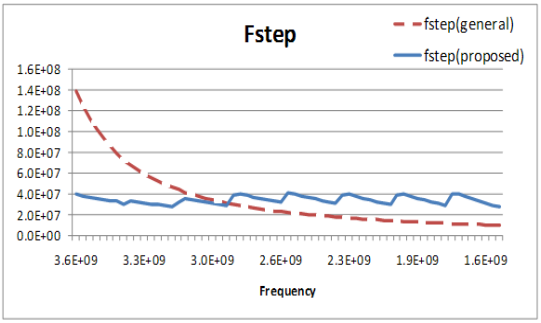

그림 7. 주파수 간격 변화
Fig. 7 Frequency step variation

Ⅳ. 칩 제작 및 측정 결과

설계된 회로를 0.18um CMOS 공정을 이용하여 레이아웃하고 칩 제작을 하였다. 그림 9는 설계한 주파수합성기의 레이아웃 도면이고, 그림 10은 제작된 칩 사진이다. 칩의 크기는 PAD를 포함하여 2000㎛×1500㎛이다. VCO의 크기는 560㎛×800㎛이다.

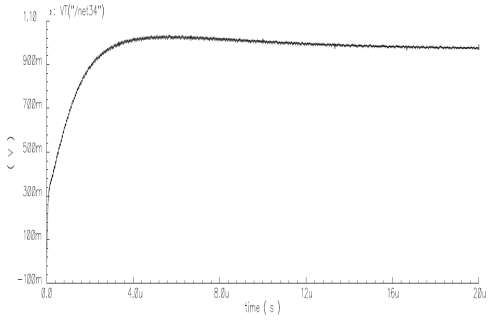

그림 8. VCO 제어전압
Fig. 8 VCO control voltage

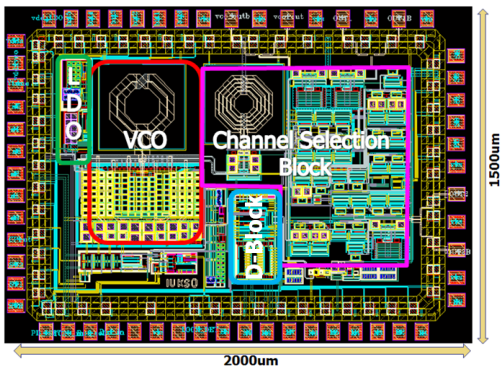

그림 9. 주파수합성기 레이아웃 도면
Fig. 9 Frequency synthesizer layout

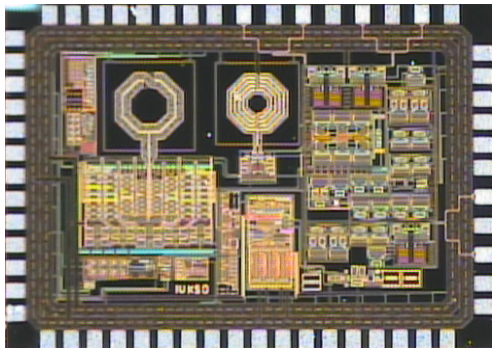

그림 10. 주파수합성기 칩 사진
Fig. 10 Frequency synthesizer die photograph

그림 11은 칩 측정을 위해 제작한 PCB 보드(DUT)와 측정 환경 사진이다. 측정에 사용된 크리스탈 오실레이터(TCXO)의 주파수는 40MHz이며, 신호 발생기(Agilent E4432B), 전원 공급기 (Tektronix PS2521G), 스펙트럼 분석기(Nex1 NS-265), 오실로스코프(HP infinium 54825A), 신호 분석기(Agilent E5052B) 등의 장비가 사용되었다.

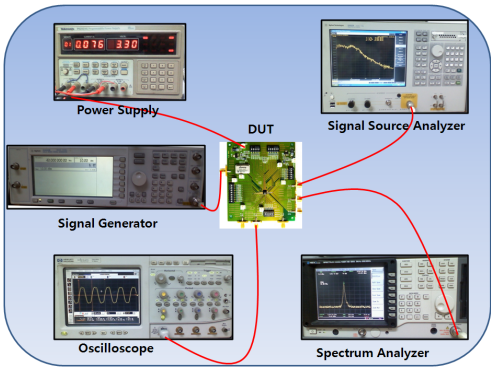

그림 11. 테스트 보드 및 측정 환경
Fig. 11 Test board and measurement setup

그림 12와 13은 VCO의 출력신호를 스펙트럼 분석기로 측정한 결과이다. 가장 높은 발진주파수를 얻기 위해 control bit를 '000000'로 설정한 경우, VCO의 출력주파수는 그림 12에서 보듯이 약 3.4GHz이다. 이는 모의실험 결과(약 4.2GHz)와 비교해 보면 많이 shift down된 것을 알 수 있다. Post-layout 모의실험 결과는 약 600MHz 정도 shift down 되었으나 측정을 해본 결과 800MHz 정도 shift down 된 것을 확인 할 수 있었다. 이는 post-layout 시뮬레이션으로도 정확히 추출되지 않는 기생 커패시턴스 성분들 때문인 것으로 예상된다.

그림 13은 control bit가 '110111'일 때의 출력으로서 약 2.05GHz의 주파수를 갖는다. 이보다 더 큰 control bit에서는 VCO가 발진을 하지 않았다. 따라서 설계된 VCO의 발진 주파수 범위는 2.05GHz에서 3.4GHz이며, 주파수 조절 특성은 그림 14와 같다. 8개 대역(B0~B7) 중에 B7을 제외하고 다른 모든 대역에서는 VCO가 발진을 한다. 제일 아래 대역인 B7에서 VCO가 발진하지 않은 이유는 주파수가 낮아질수록 인덕터의 Q factor 값은 감소하고, 커패시터 뱅크의 스위치를 많이 사용함으로써 저항이 증가하여 전체 Q factor를 감소시켜서 VCO가 발진을 하지 못한 것으로 확인되었다. 이점을 보완하려면 인덕터를 선택할 때 Q factor값이 광대역에 걸쳐 변화가 적은 것을 선택해야 하고, layout시 스위치에서 발생할 수 있는 저항을 최소화해야 한다.

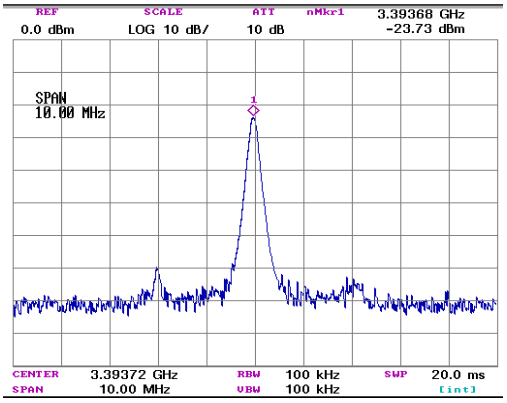

그림 12. VCO 출력 스펙트럼 (@ '000000')
Fig. 12. VCO output spectrum (@ '000000')

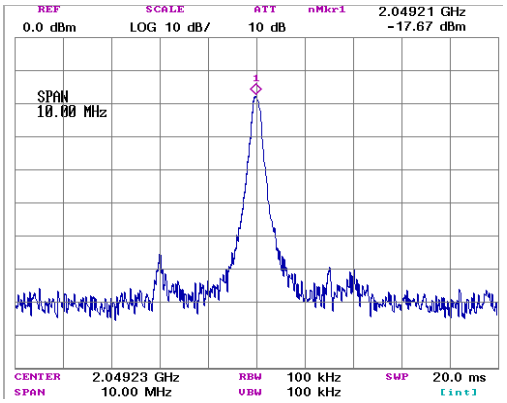

그림 13. VCO 출력 스펙트럼 (@ '110111')
Fig. 13. VCO output spectrum (@ '110111')

7개 대역에서 VCO의 Kvco와 Fstep 그리고 주파수를 측정한 결과를 표 2에 요약하였다. 측정된 VCO의 Fstep 변화율이 모의실험 결과에 비해 다소 크게 나타났다. 이 이유는 각 대역 안에서는 Fstep이 거의 비슷하게 측정되었으나, 대역간의 이동을 할 때 Fstep이 커지는 것을 확인 할 수 있었다. 이것은 Band selection capacitor bank의 커패시터가 주위의 기생 커패시터들과 더해져 커패시턴스 값이 커지면서 주파수가 낮아 진 것으로 확인 되었다.

이런 문제를 해결하기 위한 한 가지 방법은 Band selection capacitor bank를 같은 커패시턴스 값을 갖는 셀로 배열을 하여 band간의 간격에 따라 커패시터를 외부에서 제어 할 수 있게 하는 것이다.

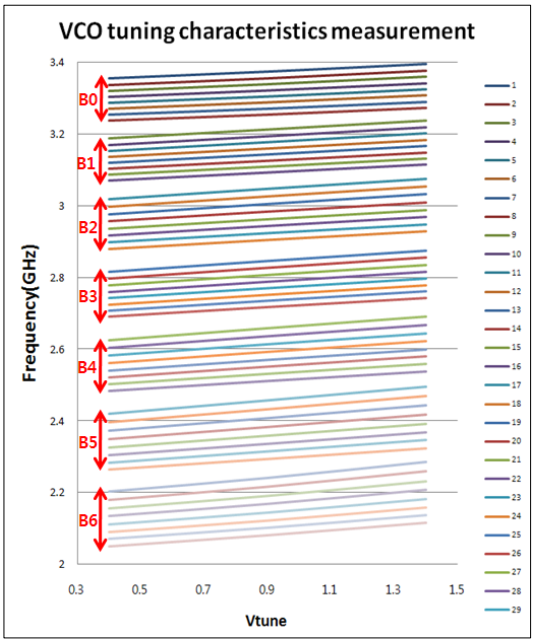

그림 14. VCO의 주파수 조절 특성
Fig. 14 VCO frequency tuning characteristics

표 2. VCO 측정 결과
Table 2. Measurement result of VCO

Kvco	Fstep	주파수
최대값	최대값	최대값
8.260E+07	5.820E+07	3.394E+09
최소값	최소값	최소값
3.620E+07	1.620E+07	2.050E+09
변화율	변화율	변화
±39.0%	±56.4%	1.345E+09

VCO가 2.5GHz에서 동작을 하도록 D-block을 프로그램하고 주파수 합성기가 locking이 되는 것을 확인 하였다. 그림 15는 locking이 되는 순간의 VCO의 제어 전압을 측정한 결과이다.

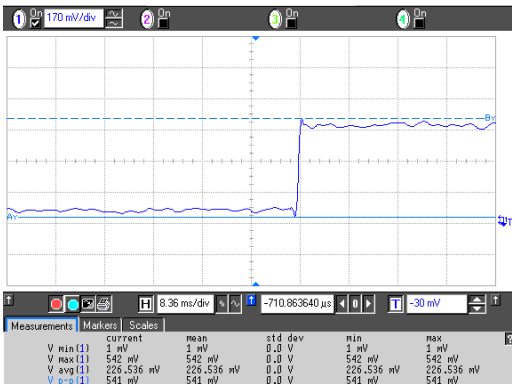

그림 15. VCO 제어 전압
Fig. 15 VCO control voltage

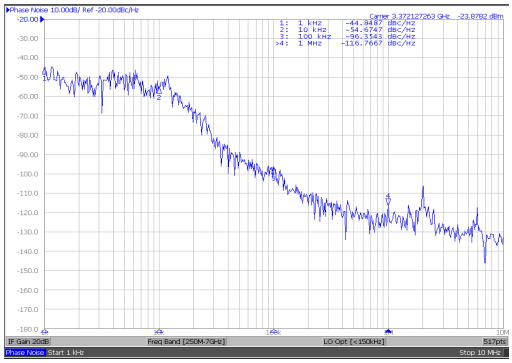

그림 16. 위상잡음 @ 3.372GHz
Fig. 16 Phase noise @ 3.372GHz

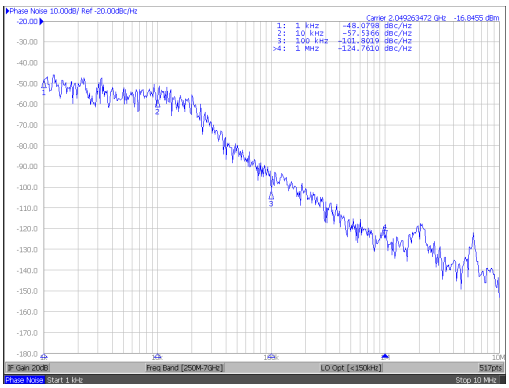

그림 17. 위상잡음 @ 2.049GHz
Fig. 17 Phase noise @ 2.049GHz

표 3. DTV 튜너용 주파수합성기 성능비교
Table. 3 Performance comparison of the frequency synthesizer for DTV

	[4]	[5]	[6]	This work (모의실험결과)	This work (측정결과)
Applications	mobile DTV (ISDB-T ISDB-TSB)	mobile DTV (DVB-T ISDB-T)	mobile DTV (T-DMB ISDB-T DVB-H)	모든 방식의 DTV	모든 방식의 DTV
Freq. band (MHz)	90～222 470～890	90～862	170～240 470～862 1450～1492 1670～1675	48～1675	48～1675
Number of VCOs	2	1	2	1	1
VCO Freq. (GHz)	1.5～2.48 2.2～3.78	2.3～3.5	0.94～1.724 2.9～3.35	1.8～4.2	2.05～3.4
Tuning range(%)	35, 38.5	41.4	65.5, 13.4	80.0	65.8
VCO gain variation(MHz/V)	6.2～10.4(±25.3%) 12.1～15.9(±13.6%)	-	37～72(±32.1%)	62.4～95.8 (±21.0%)	36.2～82.6 (±39.0%)
Fstep variation (MHz/code)	-	-	9～16(±28.0%)	22.9～47.9 (±35.3%)	16.2～58.2 (±56.4%)
Phase Noise (dBc/Hz)	<-100 @100k	<-100 @100k <-130@1M	<-90 @100kHz	-89.7@100kHz at 4.2GHz	-96.3@100kHz at 3.4GHz
Process	0.11um CMOS	0.18um CMOS	0.18um CMOS	0.18um CMOS	0.18um CMOS
VDD(V)	1.2	2.2	1.8	1.8	1.8
Current(mA)	15.3～16.9	70	21～23	23～27	23～27
chip size (mm x mm)	2.0 x 0.95	1.15 x 1.3	2.5 x 2.5	2.0 x 1.5	2.0 x 1.5

그림 16과 17은 VCO 출력의 위상잡음을 측정한 결과이다. 상위 주파수인 3.372GHz에서 위상잡음은100KHz와 1MHz offset 주파수에서 각각 -96.3dBc/Hz, -116.7dBc/Hz이며, 하위 주파수인 2.049GHz에서 위상잡음은 각각 -101.8dBc/Hz, -124.7dBc/Hz인 것을 확인하였다.

설계된 주파수합성기의 모의실험 결과와 측정결과를 기존 논문과 함께 표 3에 비교 요약하였다. 설계된 광대역 주파수합성기는 기존 논문과 비교시 다른 성능들은 비슷한 특성을 보이면서 하나의 VCO로 DTV 모든 대역을 만족한다는 장점을 갖는다. 1차 제작된 칩의 측정결과는 모의실험 결과에는 미치지는 못했지만 원인 파악을 통해 개선이 가능할 것으로 생각된다.

Ⅴ. 결 론

본 논문에서는 0.18㎛ CMOS 공정을 이용하여 DTV 튜너용 광대역 주파수 합성기를 설계하였으며, 모의실험을 통해 설계된 주파수합성기의 성능을 검증하였다. 한 개의 VCO만을 사용하여 DTV 모든 방식의 주파수 대역(48～1675MHz)을 만족하는 동시에 칩 면적 및 전력소모를 최소화하도록 설계하였으며, 한 개의 VCO로 광대역 특성을 얻기 위해 VCO의 tuning curve 간 이득과 주파수 간격을 일정하게 유지시키는 기술을 적용하였다.

설계한 주파수합성기를 칩으로 제작하여 측정한 결과 VCO의 주파수가 800MHz 정도 shift down되어서 2.05～3.4GHz의 대역에서 발진하는 것을 확인하였다. 설계된 주파수 보다 shift down 되었지만 처음부터 마진을 두어서 설계를 하였기 때문에 DTV 튜너로 사용할 수 있는

주파수 대역은 만족한다. 설계된 회로는 2.0mm x 1.5mm의 칩 면적을 차지하며, 1.8V의 전원에서 약 25mA의 전류를 소모한다.

참고문헌

[1] J. Xiao, et al., “Low-Power Fully Integrated CMOS DTV Tuner Front-End for ATSC Terrestrial Broadcasting,” *VLSI Design*, Article ID 71974, 2007.

[2] J. van Sinderen et al., “A 48.860 MHz digital cable tuner IC with integrated RF and IF selectivity,” *IEEE ISSCC Dig. Tech. Papers*, pp. 444-445, 2003.

[3] S. Lerstaveesin. et al., ″A 48-860MHz CMOS Low-IF Direct-Conversion DTV Tuner,″ *IEEE J. Solid-State Circuit*, vol. 43, no. 9, pp. 2013-2024 Sep. 2008.

[4] M. Marutani, et al., ″An 18mW 90 to 770MHz Synthesizer with Agile Auto-Tuning for Digital TV-Tuners,″ *ISSCC Dig. Tech. Papers*, 11.1, Feb. 2006

[5] Yu-che Yang. et al., ″A Single-VCO Fractional-N Frequency Synthesizer for Digital TV Tuners,″ *IEEE/MTT-S International Microwave Symposium,* pp.1545-1548 June 2007.

[6] Jeawook Shin. et al., ″A Delta-Sigma Fractional-N Frequency Synthesizer for Quad-Band Multi-Standard Mobile Broadcasting Tuners in 0.18um CMOS,″ *IEEK JSTS*, vol. 7, no.4, pp.267-273, Dec. 2007.

저자소개

고승오(Seung-o Ko)

2008.2 : 인천대학교 전자공학과 학사
2010.2 : 인천대학교 전자공학과 석사
2010.3～현재 : Silicon Works
※관심분야 : 고성능 PLL, 주파수합성기 설계

서희택(Seung-o Ko)

2009.2 : 인천대학교 전자공학과 학사
2011.2 : 인천대학교 전자공학과 석사
2011.3～현재 : C&S Technology
※관심분야 : 고성능 PLL, 주파수합성기 설계

권덕기(Duck-ki Kwon)

1998.2 : 인천대학교 전자공학과 학사
2000.2 : 인천대학교 전자공학과 석사
2005.8 : 인천데학교 전자공학과 박사
2005.8～현재 : Fairchild Korea
※관심분야 : Analog/Power IC 설계

유종근(Chong-gun Yu)

1985.2 : 연세대학교 전자공학과 학사
1987.2 : 연세대학교 전자공학과 석사
1993.12 : Iowa State University 전기 및 컴퓨터공학과 Ph.D.
1994.3～현재 : 인천대학교 전자공학과 교수
※관심분야 : CMOS Analog/Mixed-mode IC 설계, RFIC 설계