

솔더 나노입자를 사용한 TSV Interconnection 기술

이 종 현 · 윤 종 호 · 현 창 용

TSV Interconnection Technology Using Solder Nanoparticles

Jong-Hyun Lee, Jong-Ho Yoon and Chang-Yong Hyun

1. 서 론

전자 패키징(electronic packaging) 분야에서 interconnection 기술의 개발은 새로운 패키지(package), 나아가서는 새로운 전자 제품의 개발로 이어지게 되는 핵심 연구 분야이다. 따라서 선진 패키징 업체들은 매년 자사의 interconnection 기술에 대한 로드맵(roadmap)을 따르며 기술을 발전시키게 되는데, 이에 기술적 한계에 다다르게 되면 기존과는 다른 새로운 interconnection 재료를 개발, 도입하기도 한다.

표 1은 2009년 ITRS(international technology roadmap for semiconductors)에서 발표한 interconnection 기술의 로드맵을 보여준다. 패키징 공정에서의 대표적 chip-to-package substrate interconnection

방법인 와이어 본딩(wire bonding)과 플립칩 본딩(flip chip bonding)을 언급하고 있는데, 플립칩 본딩 기술의 경우는 2016년도부터는 최소 35 um의 피치(pitch)가 사용되어야 됨을 알 수 있다. 여기서 플립칩 본딩 기술은 도전성 접속 소재를 사용하여 칩의 active surface를 기판(substrate)과 직접 물리적, 전기적으로 연결시키는 기술로, 접속을 위한 도전성 소재로 ACA(anisotropic conductive adhesive)가 사용되기도 하나 아직까지 대표 접속 소재로 솔더(solder)가 주로 사용되고 있다. 이는 솔더링(soldering) 기술의 오랜 양산 역사와 다중 접합 특성에 따른 우수한 생산성에 기인한 결과로 해석된다.

TSV(through silicon via) 기술은 그림 1과 같이 실리콘 웨이퍼(wafer) 또는 다이(die)를 관통하는 비아

표 1 ITRS의 interconnection 기술 로드맵(2009)

Year of Production	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	2021	2022	2023	2024
Au wire Bond Pitch																
Au Wire bond-single in-line(μm)	35	30	30	25	25	25	25	25	25	25	25	25	25	25	25	25
Au Two-row Pitch(μm)	40	35	35	35	30	30	30	30	30	30	30	30	30	30	30	30
Au Three-tier Pitch(μm)	50	50	45	45	40	40	35	35	35	35	35	35	35	35	35	35
Au Wire bond-Wedge Pitch(μm)	20	20	20	20	20	20	20	20	20	20	20	20	20	20	20	20
Chip on Film	25	20	20	15	15	10	10	10	10	10	10	10	10	10	10	10
Cu wire Bond Pitch																
Cu wire-single inline	50	45	40	40	35	35	35	35	35	35	35	35	35	35	35	35
Cu wire-dual row	60	50	45	45	40	40	40	40	40	40	40	40	40	40	40	40
Flip Chip Pitch																
Flip chip array, low end dc consumer	210	210	200	200	180	180	150	150	150	150	150	150	150	150	150	150
Flip Chip array, mobile products	160	135	120	110	110	100	100	100	95	95	95	95	95	95	95	95
Flip Chip peripheral(1 On 2 row-center) mobile and chip to chip array application	60	50	50	40	40	40	40	35	35	35	35	35	35	35	35	35
Flip Chip PC, notebook, netbook = same as consumer	150	135	120	110	110	100	100	100	95	95	95	95	95	95	95	95
Flip Chip-high performance(will lag consumer)	160	150	150	130	130	120	120	120	110	110	110	110	100	100	100	100

(via)를 통해 다이 간의 전기적 수직 interconnection을 구현하는 것으로 SiP(system in package)를 위한 chip stacking의 대표 기술로서 현재 양산화가 추진되고 있다. 따라서 TSV를 통한 개별 다이의 접합 기술은 플립칩 본딩 기술과 크게 다르지 않다고 할 수 있다. 접합부와 연결되는 TSV의 직경 또한 현재의 플립칩 본딩을 위한 패드(pad)의 직경 또는 피치와 유사한 크기이거나 궁극적으로 이보다 작은 크기로 형성되어야 할 것으로 예상된다.

TSV를 통한 개별 다이의 interconnection 기술은 초기 Au to Au mechanical caulking법으로부터 최근 저온 Cu to Cu 본딩(bonding)법까지 연구가 진행되고 있으나^{2,3)}, 아직까지는 플립칩 본딩 기술과 유사하게 솔더 cap 구조를 사용한 본딩법이 가장 양산에 근접한 공정법으로 인식되고 있다. 즉, 솔더를 사용한 TSV 접합 기술을 위해서 그림 1과 같이 비아부를 금속으로 채우고 그 끝을 솔더 재료로 감싼 범프(bump) 구조가 현재 가장 일반적으로 고려되고 있다. 아울러 보다 강건한 접합부의 형성을 위하여 그림 1과 같이 TSV 접합부를 제외한 부분은 NCP(non-conductive paste)를 도포, 개제하여 접합 단계에서 NCP의 접합을 추가적으로 구현하는 방법도 고려되고 있다. 비아

filling 소재로는 전기 및 열전도도가 우수하고 가격적인 이점이 있는 Cu가 가장 유망한데, 비아 filling 기술은 실제 TSV 기술을 구현하는데 있어 가장 큰 난제(bottleneck) 중 하나이다. 현재는 전해도금 기술의 발달로 결함 및 기공이 없고 공정 시간이 단축된 filling 기술이 속속 제시되고 있는데, 그 공정속도는 차후 다이가 박형화되면서 더욱 개선될 것으로 예상된다.

이후의 솔더 구조물은 cap 형태의 얇은 두께로 만들어지거나, 범프 형태의 두꺼운 두께로 만들어질 것으로 예상되는데, 이들은 공정성 및 추후 접합부 신뢰성 측면에서 다소간의 차이를 나타낼 것으로 예상된다. 솔더 구조물은 현재 PR(photo resist) 패터닝 후 전해도금하여 형성하고 있으나, 경쟁력 있는 양산 공정으로의 변신을 위해서는 나노 솔더 페이스트(paste)의 적용이 고려될 수 있다. 따라서 최근 활발히 연구되고 있는 솔더 나노입자들의 1차 적용 분야는 나노 솔더 페이스트가 될 것이다. 이는 기존의 솔더 페이스트에 함유된 마이크로 크기의 솔더 입자들을 나노 입자들로 대체함으로써 스크린 프린팅(screen printing) 등으로 미세 인쇄성을 구현하고자 하는 접합 소재이다.

표 2는 2010년 지식경제부가 발표한 지식경제통합기술청사진 생산기술 분야의 연도별 로드맵을 보여준다. 스크린 프린팅을 통한 미세 피치 대응 기술은 2011년에 120 um로 설정되었으나, 돌파(breakthrough) 기술의 부재로 이후의 로드맵에서는 목표치가 설정되어 있지 않은 것을 알 수 있다. 즉, 현재의 스크린 프린팅 기술은 100 um 이하의 패터를 구현하는데 있어 한계를 지니고 있어 이를 개선시킬 수 있는 재료의 개발이 시급한 상황이다. 궁극적으로 미세 스크린 프린팅 기술의 개발은 페이스트 내 필러(filler) 재료인 솔더 입자의 미세화에 의해 이룩될 수 있을 것이다.

TSV 접합을 위한 솔더 구조물을 cap 형태로 제조하는 경우를 현재의 SOP(solder on pad) 공정과 관련하여 설명하면 다음과 같다. SOP 공정이란 범프를 가

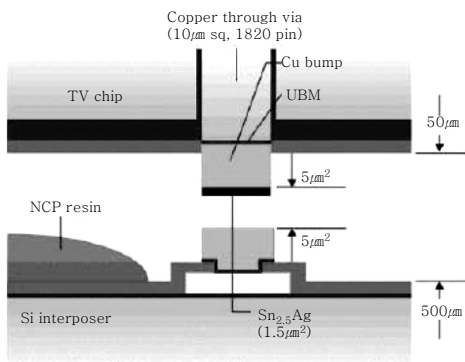


그림 1 솔더 cap을 사용한 TSV 접합부 형성의 대표 공정 모식도¹⁾

표 2 지식경제통합기술청사진 생산기술분야 로드맵(2010)

핵심기술	성능지표	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018
초협피치 패키지용 스크린 프린팅 시스템기술	인쇄 피치간격(µm)	180	150	120	-	-	-	-	-	-	-
Wafer level package를 위한 인쇄 범프 제조기술	인쇄 피치(µm)	180	150	140	130	120	110	100	90	80	70
초미세피치 interconnection 공정기술	적용 피치간격(µm)	100	100	90	80	70	-	-	-	-	-
미세 솔더범프 제조공정 및 시스템 기술	범프 사이즈(µm)	50	40	30	20	-	-	-	-	-	-
10 마이크로 이하 미세피치 직접 패터닝 기술	회로폭(µm)	25	20	15	10	-	-	-	-	-	-

진 칩의 플립칩 본딩을 안정적으로 구현하고 그 수율을 향상시키기 위하여 접합될 기관의 패드 표면을 솔더로 코팅하는 기술로 현재는 이 역시 전해도금으로 구현되고 있다. 따라서 만약 이 전해도금 공정을 나노 솔더 페이스트와 같이 정밀 패턴링의 구현이 가능한 소재로 도포하여 대체할 수 있다면 공정 비용이 크게 절감되는 차세대 SOP 공정의 개발이 가능해진다. 이와 같은 공정은 나노 솔더 페이스트의 일차적인 적용 분야로 고려되는 바, 그 적용 가능성이 매우 크다고 할 수 있다.

TSV 접합을 위한 솔더 구조물을 범프 형태로 제조하는 경우를 스크린 프린팅을 통한 솔더 범프 형성 공정과 관련하여 설명하면 다음과 같다. 그림 2는 나노 솔더 페이스트의 대표 적용 분야로 차세대 미세 피치용 솔더 범핑(bumping) 기술을 설명하고 있다. 공정 가격이 비싸고 합금 조성 구현에 제약이 큰 현재의 전해도금 기술과 장비 가격이 비싸고 고가의 template를 사용하여 현재까지도 대중화되지 못하고 있는 IBM사의 C4NP(controlled collapsed chip connection new process) 공법에 비해 미세 피치 구현 공정만 확보된다면 양산 가격을 포함한 모든 측면에서 스크린 프린팅 기술이 유리한 것은 잘 알려진 사실이다. 미세 피치를 구현하면서 솔더 페이스트를 두껍게 인쇄하는 것은 매우 까다로운 공정 기술이나 피치에 다소간의 여유가 있다면 용융 솔더의 표면적 감소 거동을 적절히 이용하여 패드 면적보다 넓게 솔더 페이스트를 인쇄하여 범핑시키는 방법도 시도할 수 있다.

결론적으로 50~10 um 직경의 TSV 접합부를 솔더 페이스트의 프린팅 및 dispensing으로 대응하기 위해서는 사용되는 솔더 입자가 sub-micron급으로 적용되는 것이 바람직하다. 따라서 nano급의 솔더 입자를 저가격으로 합성하여 interconnection 소재로 응용하는 기술

은 TSV의 접합뿐만이 아니라 기존의 interconnection 로드맵을 다방면으로 검토할 경우에도 반드시 확보되어야 할 핵심 기술을 알 수 있다. 아울러 이러한 기술을 선점할 수 있다면 반도체 assembly 공정의 핵심 기술인 초미세 interconnection 기술을 저가격으로 구현할 수 있으므로 반도체 패키징 업체의 경쟁력 강화에 크게 이바지하게 될 것이다.

나노 솔더 페이스트는 상기 언급된 패드 상부에서의 접합 패턴 형성 수준을 뛰어넘어 다양한 미래 전기·전자 부품의 3차원적 interconnection 형성 소재로도 사용될 수 있다. 그림 3은 ULVAC사에서 제시한 나노 페이스트를 사용한 wiring 기술을⁴⁾, 그림 4는 Fraunhofer IZM에서 제시한 극박형 IC 칩에 16개의 등방성 인쇄 contact을 스크린 프린팅 공정으로 형성시킨 이미지를 보여준다⁵⁾. 즉, 제시된 그림과 같이 인쇄 공정에 의한 전기적 interconnection 기술은 공정

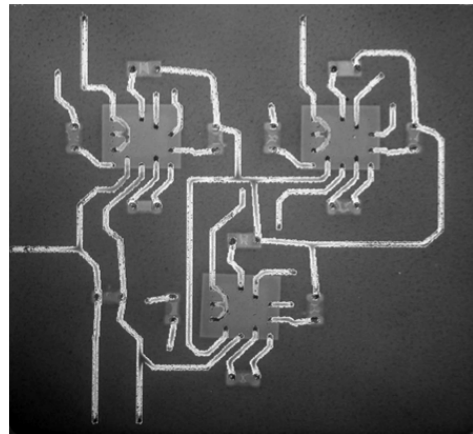


그림 3 Ag nanopaste의 인쇄를 통한 wiring의 형성 이미지⁴⁾

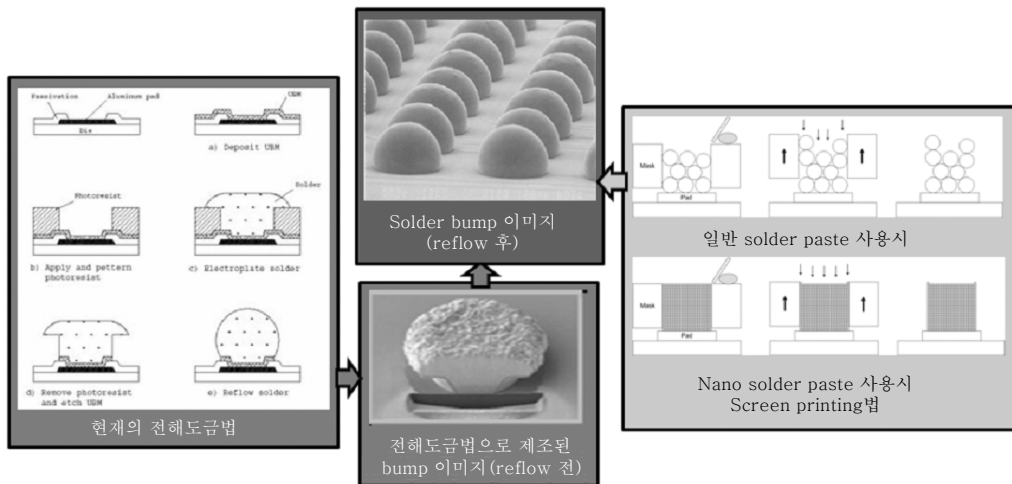


그림 2 나노 솔더 페이스트를 사용한 솔더 범프 형성 공정의 이해

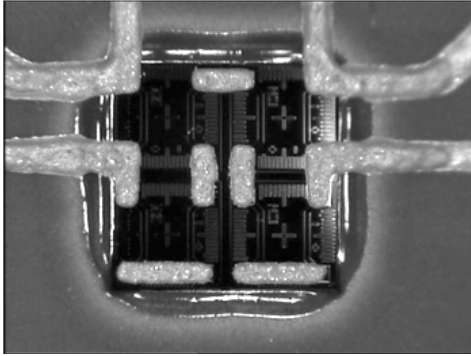


그림 4 극박형 2×2mm² IC 칩에 16개의 등방성 인쇄 contact을 형성시킨 이미지⁵⁾

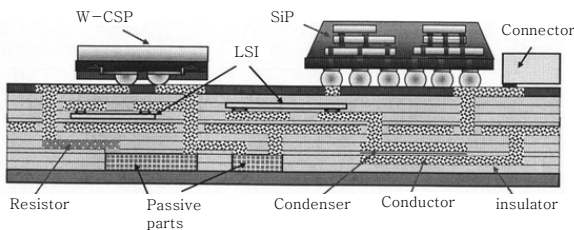


그림 5 System in board 개념의 모식도

의 간편성과 저렴함으로 그림 5와 같은 미래의 SIB (system in board)를 구현하는데 있어서도 핵심 기술로 고려될 것이다. 따라서 기존의 은 함유 나노 페이스트를 주석 기반의 솔더 나노 페이스트로 대체할 수 있다면 이러한 interconnection 기술의 파급은 보다 광범위해질 것으로 예상된다. 이와 같은 interconnection의 형성 공정은 대개 요철을 가지는 3차원 구조상에서 이루어지는 경우가 많을 것이므로 dispensing 또는 jetting과 같은 비접촉 도포 공정법의 적용이 적합하다.

2. 극미세 솔더 입자의 용점강하 현상

주석 기반의 나노 솔더 입자가 수십 nm 수준인 경우에는 입자 미세화에 의한 용점 강하 현상으로 저온 솔더링 공정을 구현할 수 있는 가능성이 있다. Gibbs-Thomson 효과에 의하면 입자의 크기가 감소할수록 표면 원자의 불완전성이 더욱 커지면서 원소의 용점보다도 낮은 온도 상태에서도 원자 결합을 끊고 자유로워질 수 있기 때문에 용점 강하 현상이 관찰되는 것이다. 입자 크기의 감소에 따른 용융 온도의 감소 정도는 아래의 Gibbs-Thomson 식으로부터 계산될 수 있다.

$$T_m(r) = T_m^{bulk} - \frac{2(T_m^{bulk} + 273.15)}{\Delta H_m^{bulk} \rho_s r} \left[\sigma_{sv} - \sigma_{lv} \left(\frac{\rho_s}{\rho_l} \right)^{2/3} \right]$$

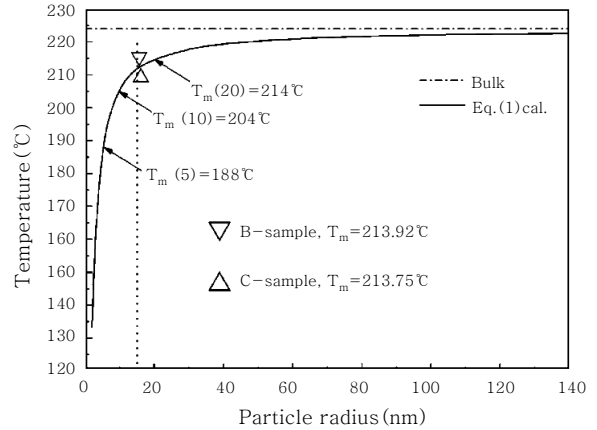


그림 6 입자 크기의 함수로 계산된 Sn-2.62Ag-0.34Cu 조성의 용점 변화⁶⁾

여기서, $T_m(r)$ 은 나노입자의 용점, T_m^{bulk} 는 bulk 금속의 용점, ΔH_m^{bulk} 는 bulk 금속의 용융 시 잠열(latent heat), r 은 입자의 반경, ρ_s 와 ρ_l 는 bulk 금속의 고상 및 액상의 밀도, σ_{sv} 와 σ_{lv} 는 고상-증기상 및 액상-증기상의 계면 에너지를 각각 나타낸다. 이를 통해 입자 크기에 따라 계산된 Sn-2.62Ag-0.34Cu 조성의 용점 변화를 그래프로 도시하면 그림 6과 같다⁶⁾. Bulk Sn-2.62Ag-0.34Cu 조성의 용점에 비해 20 nm 반경의 입자는 214°C, 10 nm 반경의 입자는 204°C, 5 nm 반경의 입자는 188°C에서 용융되는 것으로 계산되어, 직경 30 nm 이하의 입자 크기에서부터 용점 강하 현상이 두드러지게 일어나며 직경 20 nm 이하에서는 용점 강하가 매우 급속도로 진행되는 것을 관찰할 수 있다.

한편 고전 열역학 수식으로부터 Hanszen이 계산한 입자 크기 대비 순수 Sn의 이론적 용점 변화(그래프 상에서의 실선)와 Lai 등이 실험을 통해 측정된 결과(error bar를 포함한 점들)를 그래프에 동시에 도시하면 그림 7과 같다⁷⁾. 역시 직경 30 nm 이하의 입자 크기에서부터 용점 강하 현상이 두드러지게 관찰되었으며, 직경 20 nm 이하에서는 용점 강하가 급속도로 매우 진행되는 것을 확인할 수 있다. 따라서 직경 20 nm 이하의 솔더 나노입자를 접합 소재로 사용하게 될 경우에는 합금화 방법을 사용하지 않고도 기존 유연(Pb containing) 솔더의 공정 온도와 유사한 의미있는 저온 접합 공정을 구현할 수 있는 가능성이 관찰된다.

3. 나노 솔더입자의 대표 제조 공정

앞서 언급된 기술적 응용 분야와 저온 솔더링의 가능성을 고려할 때 솔더 나노입자의 저가격 대량 합성 기

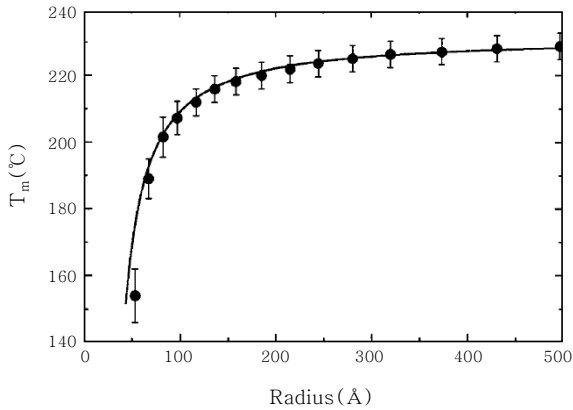


그림 7 입자 크기의 함수로 계산된 순수 Sn 입자의 이론적 용점 변화와 실제 측정값⁷⁾

솔의 개발이 매우 필요한 시점이다. CVD법 또는 폭발법 등과 같은 나노입자 제조공정은 저가격 대량 생산 측면에서 근원적인 문제점을 가지므로 논외로 하고, 현재 다양한 저널을 통해 그 공정법이 구체적으로 제시되고 있으며 저가격 대량 생산의 가능성을 지지고 있는 나노 솔더입자의 제조공정을 다음에서 설명코자 한다.

3.1 CDCA 공정

Consumable-electrode direct current arc(CDCA) 공정은 그림 8과 같이 arc discharge를 통해 나노입자를 제조하는 방법으로 근본적으로 그 기구는 gas metal arc welding(GMAW)의 원리와 동일하다. 따라서 전류량을 충분히 높여 spray transfer로 metal transfer를 구현하는 것이 나노입자의 형성에 적합할 것이다. 단지 생성 나노입자의 산화와 뭉침을 방지하기 위해 arc discharge는 용매 내에서 이루어져야 하므로 사용 용매는 유전 특성을 가지면서 산소 고용량이 적은 것을 채택하여야 한다. 실제 현재까지의 연구 결과를 보더라도 사용 용매의 종류에 따라 생성된 주석 기반 나노입자의 크기 분포와 산화정도는 큰 차이를 내는 것으로 알려지고 있다. 따라서 CDCA 공정에서는 최적의 용매를 선택하는 것이 일차적으로 매우 중요하다고 할

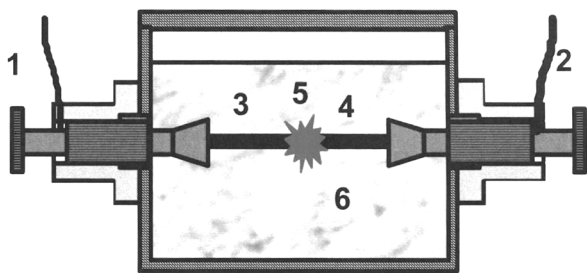


그림 8 Arc discharge를 위한 CDCA 장치의 모식도⁸⁾

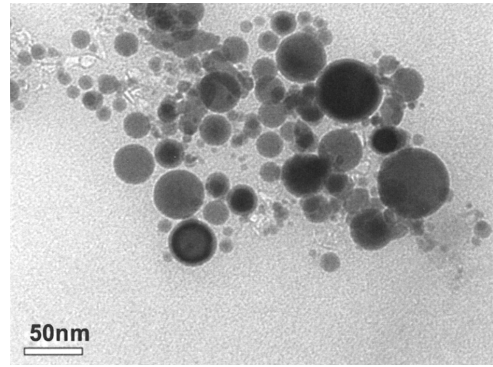


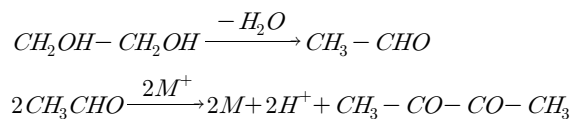
그림 9 CDCA법으로 합성된 Sn-0.4Co-0.4Cu 조성 나노입자의 TEM 이미지⁸⁾

수 있다.

그림 9는 CDCA법으로 합성된 Sn-0.4Co-0.4Cu 조성 나노입자의 TEM 이미지를 보여준다⁸⁾. 30 nm 이하의 솔더 나노입자도 생성되었음을 알 수 있으나, 30 nm를 넘어서는 나노입자도 다량 관찰되어 입자의 크기 분포가 매우 넓은 단점이 관찰되었다. 이는 arc discharge의 상태가 안정적이지 않은 원인으로 분석되는데, 전극간의 간극을안정적으로 유지하고 metal transfer 상태를 정밀하게 monitoring할 수 있는 최적 자동화 장비의 구현이 핵심 기술로 파악된다.

3.2 습식 환원공정

이 방법은 hydroxide 또는 일반 염(salt)과 같은 적당한 무기 compound를 용매에 녹여 용액내에서 금속 이온을 생성시킨 후, 이를 환원시켜금속 핵을 생성, 성장시키는 것으로 용매를 액상 polyol(ethylene-glycol, diethylene-glycol, 또는 이들의 혼합용액)로 사용할 경우에는 polyol 공정이라 언급하기도 한다. Polyol은 아래와 같은 반응식에 의해 자체적으로 금속 이온을 환원시킬 수 있으나, 상온 반응성이 떨어지는 경우에는 polyol의 기화 온도 이내에서 polyol을 가열하기도 한다. 또한 최근에는 보다 적극적인 환원 기술로 용액 내에 환원제를 직접 주사하기도 하는데, 이 경우 환원제의 주사 속도는 중요한 공정 변수로 고려된다.



습식 환원공정에서 핵생성 후 성장한 솔더 나노입자는 용매의 stirring 환경에서 주변 나노입자와 부딪히는 경우 쉽게 agglomeration될 수 있다. 따라서 이리

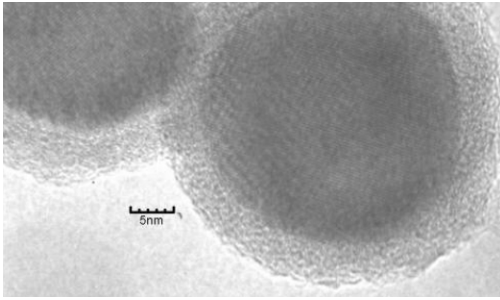


그림 10 1,10-phenanthroline을 capping agent로 사용한 경우 메탄올 내에서 환원 합성된 Sn-3.5Ag 나노입자의 TEM 이미지⁹⁾

한 환경에서는 용점 강하가 일어나는 30 nm 이하의 초미세 나노입자를 완성하기가 쉽지 않게 된다. 이러한 이유로 대부분의 연구자들은 핵생성 단계에서부터 입자의 외곽에 encapsulation 층(또는 capping 층)이 형성되게끔 합성 전 용매에 capping agent를 첨가하게 되는데, 첨가된 capping agent는 금속의 핵생성을 돕고 나노입자의 산화를 억제시키는 긍정적인 역할을 더 붙여 수행하게 된다. 그림 10은 capping agent로 1,10-phenanthroline을 사용했을 경우에 합성된 Sn-3.5Ag 나노입자의 TEM 이미지를 나타내는데⁹⁾, 입자의 외곽에 1,10-phenanthroline 기반의 capping 층이 형성되었음을 뚜렷이 관찰할 수 있다. 그러나 이 capping 층은 이후의 솔더링 과정에서 솔더 입자들간의 coarsening을 방해하는 문제점을 나타낼 수 있기 때문에 플럭스(flux)와의 혼합 후 가열 시 어떠한 거동을 나타내는지 면밀히 검토되어야 한다. 요컨대 capping agent의 선택은 솔더 나노입자의 합성 결과뿐만이 아니라 이후의 솔더링 과정에서도 지속적으로 영향을 미칠 수 있기 때문에 신중하게 선택되어야 한다.

4. 실용화를 위한 과제

4.1 농축, 건조 과정에서 솔더 나노입자의 aggregation 방지

용매 내에서 합성된 솔더 나노입자들은 이후 원심분리기를 사용한 농축과정이나 진공 건조 과정에서 쉽게 aggregation될 수 있다. 그림 11은 polyvinylpyrrolidone(PVP)를 capping agent로 사용하여 습식 환원법으로 합성된 Sn-3.5Ag-3.5Zn 합금의 건조 후 이미지를 보여준다¹⁰⁾. 비교적 강력한 capping 특성을 나타내는 PVP의 사용에도 불구하고 수십 nm 크기의 나노입자들이 포도송이처럼 aggregation된 상태를 관찰할 수 있다. 이는 농축과정이나 진공 건조과정에서

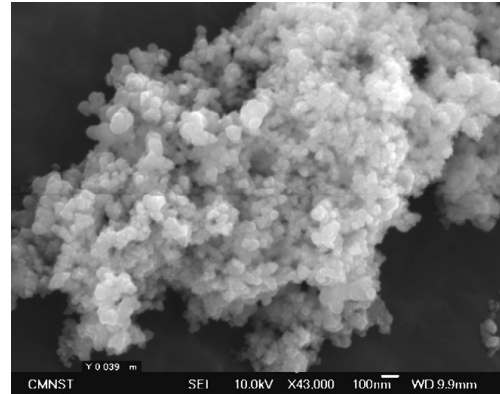


그림 11 PVP를 capping agent로 사용한 경우 증류수 내에서 환원 합성된 Sn-3.5Ag-3.5Zn 합금 나노입자의 FE-SEM 이미지¹⁰⁾

나노입자들이 aggregation된 것인데, 이에 대한 구체적인 해결 방법은 아직까지 제시되지 않고 있다. 이후 플럭스와의 혼합을 통한 페이스트 제조 과정에서 이 aggregation된 입자들이 서로 풀려지지 않는다면 나노솔더 페이스트의 미세 패터닝 특성은 기대할 수 없을 것이다.

4.2 솔더 나노입자간의 결합 및 솔더링 거동의 이해

솔더 나노입자의 성공적인 합성과 용점강하 특성의 보고에도 불구하고 현재까지 나노입자를 사용한 저온 솔더링 공정을 구현한 예는 보고되지 않고 있다. 이에 대해 저자가 파악한 가장 가능성 있는 이유는 솔더 나노입자간의 결합이 완전한 용융 현상을 통해 구현되지 않기 때문이다. 그림 11은 저자가 capping agent가 없는 수십 나노급 Sn-0.4Ag 나노입자를 플럭스와 배합하여 가열한 후 관찰한 미세조직 이미지이다. 플럭스 잔사의 불완전 세척으로 인하여 솔더 입자 사이에 플럭스가 개재되어 있지만, 솔더 입자들 간에 결정립들이 뚜렷하게 관찰되어 소결 기구에 의한 솔더간의 결합이 발생했음을 알 수 있었다. 이의 원인으로서는 우선적으로 솔더 나노입자들과 플럭스와의 상호적합성(compatibility) 문제를 들 수 있다. 나노입자들은 표면적이 극도로 발달된 형태이기 때문에 대기 노출 시 전체 입자 체적에 대한 산화의 정도가 매우 클 수 있다. 따라서 현재의 실험 상황과 같이 기존 상용 플럭스만의 적용으로는 완벽한 표면 산화막 제거가 어려울 수 있을 것으로 예상된다.

또 하나의 원인으로 가열 중 나노 입자간의 순간적인 aggregation으로 인한 용점 강하 특성의 제거 현상을 고려해 볼 수 있다. 즉, 외부 열원의 영향으로 솔더 나

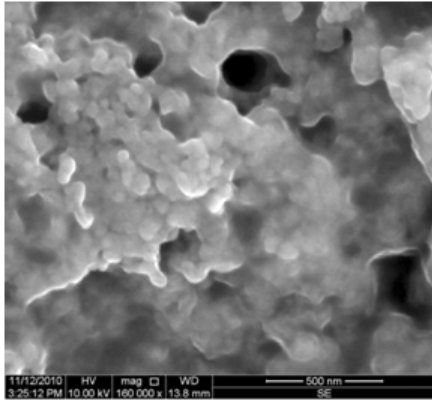


그림 12 수습 나노급 Sn-0.4Ag 나노입자를 플럭스와 배합하여 가열한 후 관찰된 FE-SEM 이미지

노들이 입자 외부에서부터 용융되기 시작하면 그 즉시 주변 나노입자와 aggregation되면서 순간적으로 초미세 나노입자가 아닌 30 nm 이상의 나노입자로 커지게 되어 용점 강하 특성이 제거되고, 그 결과 다시 고상 입자로 전이될 수 있을 것이다. 만일 이러한 거동이 사실이라면 솔더 나노입자의 용점보다 다소 높은 온도 구간에서는 장시간 액상 상태로 유지할 수 없기 때문에 저온 솔더링 공정이 상당한 시간을 소요하는 소결 거동으로 진행되어야 하는 큰 문제에 직면하게 된다. 따라서 솔더 나노입자의 용점보다 다소 높은 온도로 가열시 이루어지는 나노입자의 용융 및 결합 거동의 분석은 매우 시급한 핵심 연구 분야로 인식된다. 이 외에 보다 난이도가 높은 내용으로 나노 솔더입자와 패드 금속과의 충분한 기계적 접합을 유도할 수 있는 공정 기술의 개발도 필요하다.

4.3 미세 패턴링 공정기술 개발

솔더 나노입자를 미세 접합 재료로 사용하기 위해서는 페이스트 상태에서 스크린 프린팅 또는 dispensing 하여 정량을 정확한 위치에 도포하는 공정 기술의 개발이 반드시 필요하다. 스크린 프린팅의 경우 스크린 또는 스텐실(stencil)의 정밀 제조 기술이 동반되어야 하는데, 전주도금(electroforming) 기술이 우선적으로 적용 가능하다. 최근에는 페이스트의 빠짐성을 향상시키기 위해서 스텐실의 표면을 내마모성 나노소재로 코팅하는 연구도 진행되고 있다. 빠짐성 향상을 위한 인쇄 장비에는 에어백(air bag) 또는 진공 챔버(chamber)가 접목된 것이 일반적이다. 한편 dispensing은 비접촉 방식인데다가 정량의 솔더 페이스트를 정확한 위치에 도포하는 능력이 프린팅 공정보다는 월등히 우수할 것으로 판단되는바 보다 집중적으로 연구되어야 할 공

정 기술로 파악된다. 원활한 dispensing 공정의 수행을 위해서는 나노 솔더 페이스트의 점도와 요변성(thixotropy)을 dispensing 조건에 맞추어 최적화시킬 필요가 있다.

5. 맺음말

전기·전자산업의 대표적 접합 소재인 솔더 재료는 기존의 마이크로 크기에서 최근 나노 크기의 연구로 급속히 전환되고 있다. 즉, 나노 크기의 솔더 입자를 페이스트화하여 이를 정밀 패터닝할 수 있다면, TSV 접합 뿐만이 아니라 다양한 초미세 접합부의 형성을 최저 공정 비용으로 수행할 수 있다. 요컨대, 나노 솔더 페이스트는 기존 마이크로 솔더 페이스트로는 구현할 수 없는 신규 공정을 창출하게 될 것이다.

후 기

본 연구는 지식경제부의 전략기술개발사업(10031777)의 지원으로 수행되었습니다.

참 고 문 헌

1. Paul Sibley and Bioh Kim : TSV Chip Integration, EMC-3D SE Asia Technical Symposium, www.emc3d.org, (2007)
2. Naotaka Tanaka and Yoshihiro Yoshimura : Ultra-Thin 3D-Stacked SIP Formed Using Room-Temperature Bonding between Stacked Chips, Proc. of 55th Electronic Components and Technology Conference (2005), 788
3. B. Swinnen, W. Ruythooren, P. De Moor, L. Bogaerts, L. Carbonell, K. De Munck, B. Eyckens, S. Stoukatch, D. Sabuncuoglu Tezcan, Z. Tókei, J. Vaes, J. Van Aelst and E. Beyne : 3D Integration by Cu-Cu Thermo-Compression Bonding of Extremely Thinned Bulk-Si Die Containing 10 μm Pitch Through-Si Vias, Proc. of IDEM '06 (2006)
4. Masaaki Oda, Nobuhiro Yuhashi, Masato Ohsawa, Shigeo Hayashi, Yoshiaki Hayashi and Kyuukou Tei : Individually Dispersed Nanoparticles Formed by Gas Evaporation Method and Their Application, Printed Electronics Asia (2007)
5. Karlheinz Bock : The Role of Organic Electronics in Functional Hetero-System Integration, Organic Electronics Conference (2007)
6. Chang Dong Zou, Yu Lai Gao, Bin Yang, Xin Zhi Xia, Qi Jie Zhai, Cristina Andersson and Johan Liu : Nanoparticles of the Lead-Free Solder Alloy Sn-3.0Ag-0.5Cu with Large Melting Temperature Depression, Journal of Electronic Materials, **38-2** (2008), 351

7. S. L. Lai, J. Y. Guo, V. Petrova, G. Ramanath and L. H. Allen : Size-Dependant Melting Properties of Small Tin Particle: Nanocalorimetric Measurements, *Physical Review Letters*, **77-1** (1996), 99
8. Cristina Andersson, Changdong Zou, Bin Yang, Yulai Gao, Johan Liu and Qijie Zhai : Recent Advances in the Synthesis of Lead-Free Solder Nanoparticle, *Proc. of 2nd Electronics Systemintegration Technology Conference* (2008), 915
9. Hongjin Jiang, Kyung-Sik Moon, Fry Hua and C. P. Wong : Synthesis and Thermal and Wetting Properties of Tin/Silver Alloy Nanoparticles for Low Melting Point Lead-Free Solders, *Chemistry of Materials*, **19-18** (2007) 4482
10. C. Y. Lin, U. S. Mohanty and J. H. Chou : High Temperature Synthesis of Sn-3.5Ag-0.5Zn Alloy Nanoparticles by chemical Reduction Method, *Journal of Alloys and Compound*, **501** (2010), 204



- 이종현
- 1973년생
- 서울과학기술대학교 신소재공학과
- 접합재료, 전자패키징
- e-mail : pljh@seoultech.ac.kr



- 현창용
- 1956년생
- 서울과학기술대학교 신소재공학과
- 금속재료, 복합재료
- e-mail : cyhyun@seoultech.ac.kr



- 윤중호
- 1955년생
- 경일대학교 기계자동차학부
- 재료강도, 진동공학
- e-mail : jonghyoon@kiu.ac.kr