

펄스 인식 및 지연 간격 검출을 통한 인터리브 방식의 디지털 시간 지연 모듈 개발

Development of DDL(Digital Delay Line) Module Using Interleave Method Based on Pulse Recognition and Delay Gap Detection

한 일 탁

Il-Tak Han

요 약

레이더의 설계에 있어 레이더 성능 평가는 중요한 단계 중 하나이다. 그러나 조우 표적을 가지고 성능 시험을 수행하는 데는 시간 및 비용과 같은 제약점이 따르기 때문에 가상의 표적을 모의할 수 있는 장치가 개발되어 레이더 성능 평가에 사용된다. 가상의 표적 모의 장치는 광 지연 선로 및 DRFM(Digital RF Memory)을 이용하여 구현되어 왔으나, 모의 거리 및 사용 용도의 차이로 인한 시험 시나리오 구현 등에 있어 제약점을 가지고 있다. 이에 본 논문에서는 임의의 레이더 송신 신호에 대하여 정밀 거리 모의가 가능하며, 시험 시나리오 구현이 용이한 레이더 반사 신호 모의 장치 개발을 목표로 구현된 디지털 시간 지연 모듈에 대하여 기술하였다. 개발된 디지털 시간 지연 모듈은 펄스 인식 및 지연 간격 검출 방법을 적용하여 왜곡이 없는 시간 지연을 모의한다. 자체 시험 결과를 통하여 성능 입증하였으며 그 결과에 대하여 기술한다.

Abstract

Radar performance test is one of the major steps for radar system design. However, it is restricted by time and cost when radar performance tests are performed with opportunity targets. So various simulated target generators are developed and used to evaluate radar performance. To simulate the target's range, most of simulated target generators are developed with optical line or DRFM(Digital RF Memory) technique but there are many restrictions such as limit of range imitation and test scenario because of their original usage. In this paper, DDL(Digital Delay Line) module for development of simulated target generator is designed with precise range simulation and easily embodiment feature. And pulse recognition and delay gap detection technique are used to simulate the time delay without distortions. Developed DDL module performances are verified through their performance tests and test results are described in this paper.

Key words : Digital Delay Line, Pluse Recognition, Delay Gap Detection, Simulated Target Generator

I. 서 론

레이더 시스템 설계에 있어 레이더의 탐지/추적과 같은 성능에 대한 평가는 매우 중요한 단계 중 하나

이다. 그러나 레이더의 성능 평가를 실제 환경 하에서 수행하는 데는 많은 시간 및 비용과 같은 제약점이 따른다. 이에 레이더 반사 신호 및 클러터 신호를 모의하는 다양한 장치들이 개발되어 레이더의 성

국방과학연구소(Agency for Defence Development)

· 논문 번호 : 20110110-005

· 교신저자 : 한일탁(e-mail : ithan@add.re.kr)

· 수정완료일자 : 2011년 4월 5일

능 평가에 사용된다^{[1]-[3]}. 가상의 레이더 반사 신호를 모의하기 위해서는 표적의 도플러, 거리 정보 모의가 중요하다. 특히 거리 정보의 경우 이동하는 표적을 모의하기 위해서는 지속적인 시간 지연 모의가 중요하며, 사용되는 기술로는 광섬유를 이용한 시간 지연과 디지털 메모리를 이용한 시간 지연 모의 방법이 있다. 광섬유를 이용한 신호 지연 방식은 RF 전기 신호를 광신호로 변환하고 광신호로 변환된 신호를 물리적인 선로인 광 선로(optical line)을 통과시킨 후 다시 RF 전기 신호로 변환하는 방법이다^[4]. 이 시간 지연 모의 방법은 물리적인 선로의 길이를 이용하여 선로 길이 만큼에 해당하는 시간 지연을 구현하는 방식이기 때문에 모의되는 거리에 제약점이 있다. 그래서 상대적으로 거리 모의에 제약이 없는 디지털 RF 메모리를 이용한 시간 지연 모의 방법이 많이 사용된다^{[5],[6]}. 그러나 DRFM의 경우, ECM의 목적으로 많이 사용되며^[5], 하나의 시스템 형태로 되어 있어 접근이 용의하지 않아 설계되는 레이더의 사양에 따라 시험을 수행하는데 있어 제약점이 따른다.

이에 본 논문에서는 임의의 레이더 송신 신호에 대하여 2 m 단위로 정밀 거리 모의가 가능하며, 시험 시나리오 구현이 용이한 레이더 반사 신호 모의 장치 개발을 목표로 구현된 디지털 시간 지연 모듈에 대하여 기술하였다. 보다 정밀하고 왜곡이 없는 거리 모의를 위하여 펄스 검출 및 지연 간격 검출 방법을 이용한 시간 지연 모의 방법 및 하드웨어 구성에 대한 내용을 기술하였다.

II. 시간 지연 모의 알고리즘

2-1 시간 지연 모의 값

가상의 표적에 대한 거리 모의는 표적의 거리에 따른 시간 지연을 통하여 구현할 수 있으며, 거리에 따른 시간 지연 값은 다음과 같이 구할 수 있다.

$$T_d = \frac{2(R(t) - R_{set})}{C} \quad (1)$$

위 식에서 $R(t)$ 은 시간에 따른 표적의 거리[m], C 는 광속[m/s]이다. R_{set} 은 설치 거리[m]에 대한 값으로 개발된 디지털 시간 지연 모듈을 이용하여 레이더 반사 신호 모의 장치를 구현할 경우, 모의 장치

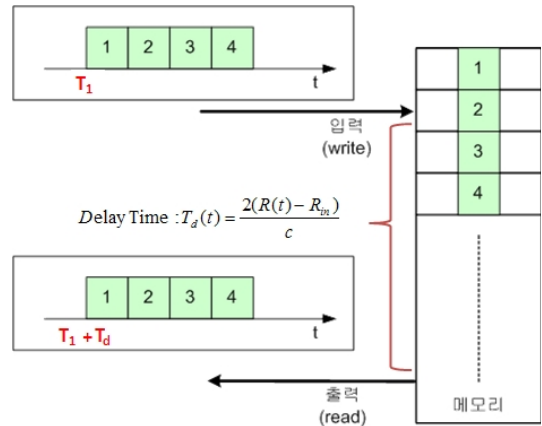


그림 1. 메모리를 이용한 시간 지연
Fig. 1. Time delay using digital memory.

가 설치되는 위치를 고려하여 보다 정확한 거리를 모의하기 위한 값이다. 식 (1)로부터 시간에 따른 표적의 거리 $R(t)$ 를 일정한 값으로 적용할 경우 고정된 시간 지연 값이 적용되어 고정된 표적을 모의할 수 있으며, $R(t)$ 를 시간에 따라 계속하여 변화시킬 경우 거리가 변화하는 표적을 모의할 수 있다.

2-2 디지털 메모리를 이용한 시간 지연 모의 알고리즘

앞서 기술하였듯이 본 논문에서는 디지털 메모리를 이용하여 시간 지연을 구현하였다. 메모리를 이용한 시간 지연 모의는 그림 1과 같이 입력되는 신호를 메모리에 저장한 후 모의하고자 하는 시간 지연을 고려하여 메모리로부터 데이터를 읽어 들이는 시간, 즉 메모리의 read address를 조절함으로써 구현할 수 있다.

$$Read\ Address = Write\ Address - Delay\ value \quad (2)$$

레이더 송신 신호를 바탕으로 시간 지연된 반사 신호를 모의할 경우, 시간 지연 이외의 신호 왜곡이 없어야 한다. 즉, 메모리를 통하여 데이터를 저장 및 읽어 들이는 과정에서 불필요한 잡음 성분이 발생하지 않아야 한다. 또한, 앞서 언급하였듯이 본 논문에서는 임의의 레이더 신호에 대하여 레이더와의 동기 없이 시간 지연 모의 구현을 목표로 하기 때문에 레이더 송신 신호를 왜곡하여서는 안 된다. 이와 같은 임의의 레이더 신호에 대하여 왜곡을 발생시키지 않

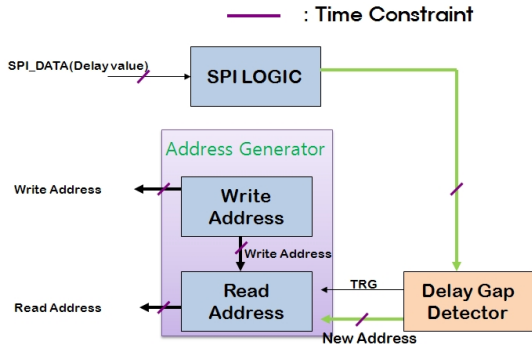


그림 2. 시간 지연 모의 블록도
Fig. 2. Block diagram of simulated time delay.

으며, 시간 지연을 모의하기 위해서는 메모리의 저장 및 읽어 들이는 타이밍 조절이 중요하다. 따라서 이와 같은 임의의 입력 신호에 대한 왜곡 없이 임의의 신호에 대한 시간 지연 모의를 위하여 메모리의 read address 계산에 지연 간격 검출기(delay gap detector)를 적용 및 입력 신호 검출을 위한 펄스 검출기(pulse detector)를 적용하였다.

그림 2에서 지연 간격 검출기는 SPI BUS 드라이버를 통해 수신된 외부의 명령을 받아 새로운 시간 지연 값을 적용할 것인지를 판단한다. 즉, 기존의 read address와 새로운 read address를 비교하여 값이 다를 경우에만 address 발생부에서 read address를 변경하도록 하는 역할을 수행하며 비교 결과값을 TRG 신호를 이용하여 보내준다. 이러한 방법의 지연 간격 검출기를 사용하면 외부에서 명령이 계속해서 들어와도 address 발생부에 read address 계산을 위한 interrupt를 최소한 걸어주게 되어 read address 계산시 발생할 수 있는 신호의 왜곡을 차단할 수 있다. 또한, 지연 간격 검출기를 사용하지 않을 경우 회로 설계시 read address 제어는 샘플링 데이터의 2배에 해당하는 클럭을 사용하여야 되는데, 논문의 목표인 2 m 신호 모의시 200 MHz 이상으로 제어가 되어야 되기 때문에 설계에 어려움이 있다. 하지만 지연 간격 검출기를 적용할 경우 interrupt를 최소로 하면서 샘플링 주파수와 같은 클럭을 사용하여 read address를 제어할 수 있기 때문에 회로 설계가 편리해진다.

Address 발생부는 지연 간격 검출기로부터 수신된 트리거 신호를 가지고 새로운 read address를 계산한다. 이때 중요한 것은 새로운 명령이 수신될 때마다

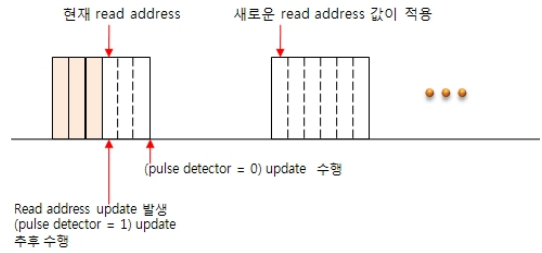


그림 3. 펄스 인식 개념
Fig. 3. Concept of pulse recognition.

메모리의 write 주소 값을 리셋할 경우 기존의 write 주소와 read 주소 사이의 셀에 저장된 데이터로 인해 불필요한 데이터가 출력될 수 있기 때문에 write 주소 값은 계속하여 증가시켜 주며, read address 값만 변환시켜 주어야 된다는 것이다. 또한, 레이더의 송신 신호에 대한 왜곡을 막기 위해서는 메모리로부터 송신 신호가 출력될 때는 새로운 시간 지연 값이 적용되어서는 안 된다. 이에 본 논문에서는 새로운 시간 지연 값을 적용하기에 앞서 현재 레이더의 송신 신호가 출력되고 있는지를 판단하기 위한 펄스 검출기를 적용하였다.

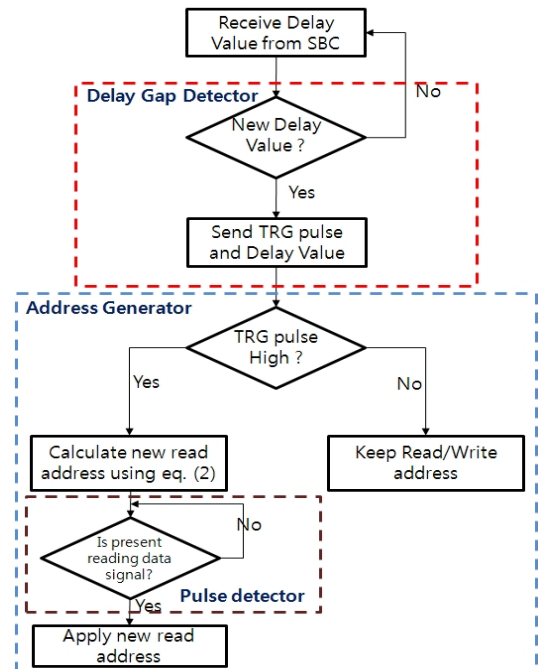


그림 4. 시간 지연 알고리즘
Fig. 4. Time delay algorithm.

그림 3과 같이 펄스 검출기를 시간 지연 모의에 적용할 경우 레이더의 송신 신호에 대한 왜곡을 막을 수 있다. 그림 4는 앞서 언급한 바와 같은 시간 지연 모의 방법을 보여 준다.

따라서 지연 간격 검출기와 펄스 검출기를 사용하여 시간 지연을 모의함으로써 레이더 송신 신호에 대한 왜곡을 최소화함과 동시에, 회로의 구현을 용이하게 할 수 있다. 또한, 임의의 시간 지연 변화 값에 대한 시나리오를 입력으로 하여 거리가 변화하는 표적을 모의할 수 있다.

III. DDL(Digital Delay Line) 모듈 설계

디지털 메모리를 이용하여 시간 지연을 모의하기 위해서는 입력되는 RF 신호를 디지털 신호로 변환, 메모리에 저장, 저장한 신호 데이터를 모의하고자 하는 시간만큼의 지연을 주어 읽어 들여 다시 RF 신호로 변환해 주어야 된다. 본 논문에서는 20 MHz로 하향 변환된 레이더 반사 신호에 대하여 시간 지연을 모의할 수 있는 시간 지연 모듈을 설계하였으며, 블록도는 그림 5와 같다.

그림 5에서 ADC는 20 MHz 입력 RF 신호를 샘플링하여 디지털 값으로 변환해 준다. 변환된 디지털 신호 값들은 메모리에 저장되고 다시 원하는 지연 시간만큼의 시간 지연을 고려하여 메모리에 저장된 디지털 신호 값들을 읽어 들이는 메모리 관리(memory management)를 위하여 FPGA(Field Programmable Gate Array)를 이용하였다. FPGA는 외부로부터의 제어

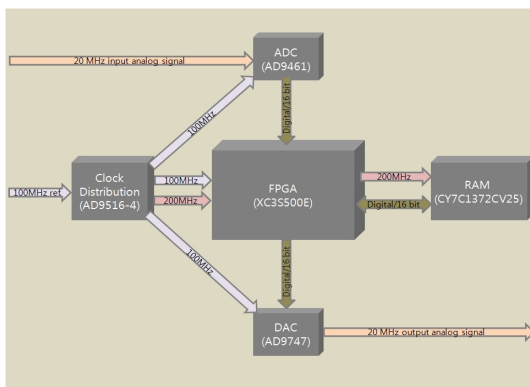


그림 5. DDL 블록도
Fig. 5. DDL block diagram.

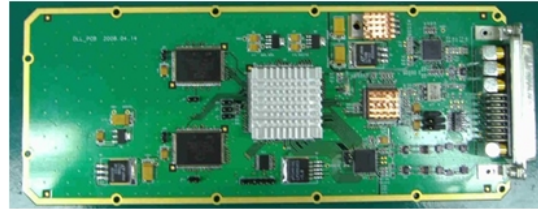


그림 6. DDL 제작 형상
Fig. 6. DDL configuration.

신호를 받아들여 메모리에 디지털 신호 값을 저장하고 읽어 들이게 되는데, 이때 외부로부터의 제어 신호를 통하여 원하는 시간 지연을 모의할 수 있다. FPGA를 통하여 메모리로부터 읽어 들인 시간 지연된 디지털 값은 다시 DAC를 이용하여 RF 전기 신호로 바꾸어 주어 결과적으로 입력 RF 신호에 대한 시간 지연 모의를 구현하게 된다.

이와 같이 시간 지연 모의를 수행할 경우, ADC와 DAC는 동작 주파수(샘플링 주파수)가 필요하며, FPGA는 메모리에 디지털 값들을 저장하고 읽어 들이기 위한 동기 신호가 필요하다. 이를 위해 클럭 분배기를 사용하여 필요한 클럭을 제공하도록 하였다. ADC와 DAC의 클럭 주파수는 샘플링 이론에 의해 입력 신호 주파수의 2배 이상에 해당하는 클럭을 사용하는 것이 바람직하다. 메모리에 저장되는 디지털 값들은 ADC에서 사용하는 클럭에 의해 샘플링된 디지털 신호이다. 따라서 이 값들이 interleave 방식으로 메모리에 저장되고 다시 읽어 들여져야 되기 때문에, FPGA에서는 ADC에서 사용되는 클럭 주파수의 두 배에 해당하는 주파수를 사용함으로써 ADC로부터 인입되는 디지털 값들을 손실 없이 메모리에 저장하고 읽어 들일 수 있다.

따라서 2 m 이하의 단위로 거리 모의가 가능한 표적 모의 장치를 위한 시간 지연 모듈을 위해 본 논문에서는 100 MHz 샘플링 성능을 갖는 ADC/DAC를 이용하여 10 ns 단위로 시간 지연이 가능하도록 하였다. 또한, 10 ns로 샘플링된 신호를 손실 없이 메모리로부터 read/write 하기 위하여 각각 FPGA의 동작 주파수를 200 MHz로 하여 interleave 방식으로 read/write가 이루어지도록 하였다. 또한, ADC/DAC, FPGA의 동작 주파수 제공을 위하여 100 MHz를 입력으로 하여 200 MHz clock를 생성하는 클럭 분배기

를 사용하였다. 그림 6은 제작된 DDL 모듈의 형상이다.

IV. 성능 시험 및 결과

본 논문에서 개발된 디지털 시간 지연 모듈에 대한 성능 시험을 수행하였으며, 그림 7은 성능 시험을 위한 시험 구성도를 보여준다.

그림 7의 구성도에서 SBC(Single Board Computer)는 본 논문에서 개발된 DDL 모듈을 이용하여 레이더 반사 신호 모의 장치를 구현하기 위한 제어부로서 DDL 시험을 위하여 사용하였다. 시험은 그림 7의 구성에서 PRF 100 kHz의 20 MHz 펄스열 및 LFM (Linear Frequency Modulation), PCM(Pulse coded Modulation) 신호를 입력으로 하여 DDL에서의 시간 지연 모의를 오실로스코프를 이용하여 확인하였으며, 스펙트럼을 이용하여 신호의 왜곡 유무를 확인하였다. 시간 지연에 대한 시험은 2 km에서 150 km까지의 거리 모의에 대하여 수행하였으며, 측정 결과는 그림 8과 같다.

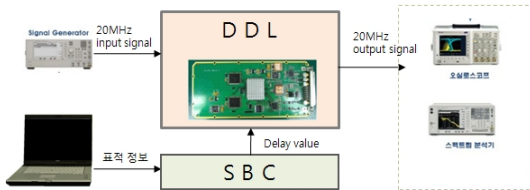


그림 7. 시험 구성도
Fig. 7. Test-bed configuration.

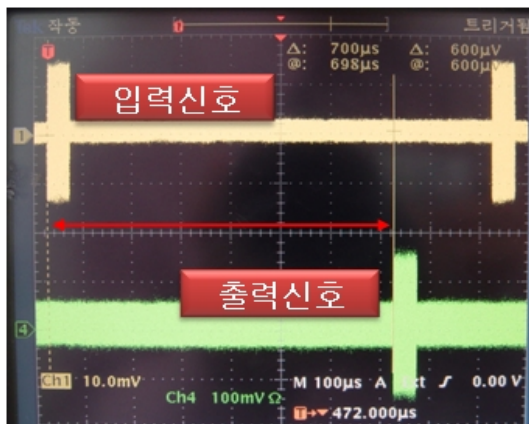


그림 8. 시간 지연 특성
Fig. 8. Characteristic of time delay.



(a) 2,000 m 모의 결과
(a) Test result for 2,000 m



(b) 2,002 m 모의 결과
(b) Test result for 2,002 m

그림 9. 시간 지연 모의 정확도 측정 결과
Fig. 9. Measurement result for time delay accuracy.

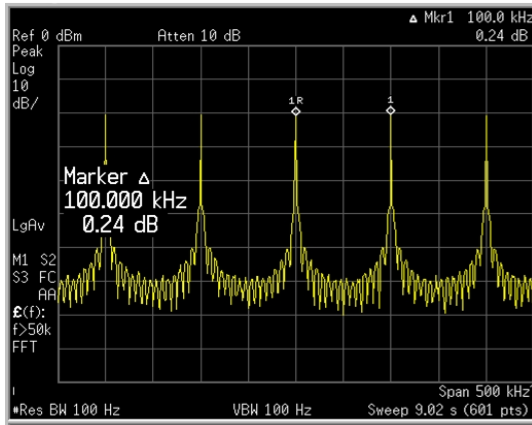
또한, 최소 거리 모의 단위인 2 m에 대한 성능 확인도 수행하였으며, 그림 9는 그 결과를 보여준다.

거리 모의와 더불어 신호의 왜곡에 대한 유무를 확인하였으며, 다음은 펄스열에 대한 시험 결과를 보여준다.

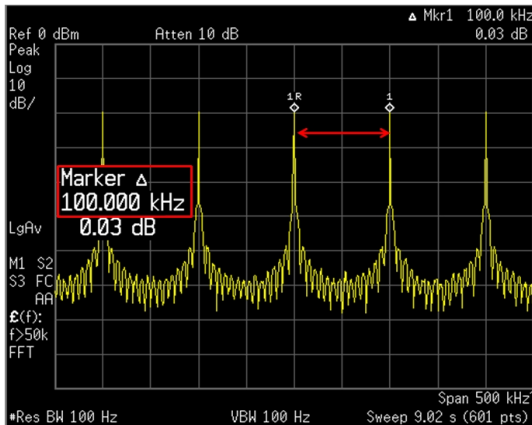
그림 10으로부터 100 kHz PRF의 입력 펄스열 신호에 대하여 신호의 왜곡 없이 100 kHz의 신호를 출력함을 알 수 있다. 따라서 시험 결과로부터 개발된 디지털 시간 지연 모듈은 2 m 단위로 거리 모의가 가능하며, 입력 신호에 대한 왜곡이 없음을 확인하였다.

V. 결론

본 논문에서는 임의의 레이더 송신 신호에 대한



(a) 입력 펄스열
(a) Input pulse train



(b) 출력 펄스열
(b) Output pulse train

그림 10. 펄스열에 대한 신호 응답 특성
Fig. 10. Response characteristic for PT(Pulse Train) input signal.

여 시간 지연이 가능한 디지털 시간 지연 방법을 기술하였으며, 디지털 시간 지연 모듈을 구현하였다. 펄스 인식 및 지연 간격 검출 방법을 적용하여 신호의 왜곡이 없이 2 m 단위로 정밀 거리 모의가 가능하도록 개발하였다.

개발된 디지털 시간 지연 모듈의 성능을 확인하기 위하여 2 m 단위의 거리 모의 성능 확인과 입력 신호에 대한 왜곡 유무를 확인하는 시험을 수행하였다. 시험 결과, 개발된 디지털 시간 지연 모듈은 2 m의 단위로 거리 모의가 가능하며, 입력 신호에 대하여 왜곡이 없는 것을 확인하였다.

본 논문에서 개발된 디지털 시간 지연 기술은 임의의 레이더 송신 신호에 대하여 신호의 왜곡이 없이 거리 모의가 가능한 레이더 반사 신호 모의 장치 개발에 적용될 수 있을 것으로 판단된다. 속도 모의를 위한 도플러 모의 장치와 함께 거리 및 속도가 변화하는 표적을 모의할 수 있는 레이더 반사 신호 모의 장치를 구현할 경우, 거리 및 신호 크기가 일정하고 고정 표적을 모의하여 레이더 보정에 활용될 수 있으며, 속도 및 거리가 변화하는 표적을 모의를 통하여 레이더의 탐지/추적 시험을 수행할 수 있을 것으로 판단된다. 또한, 다양한 시나리오를 바탕으로 한 표적을 모의함으로써 다양한 레이더 성능시험이 가능할 것으로 판단된다.

참고 문헌

- [1] M. Chakravarti, R. Daggula "Development of digital RF memory based target echo simulator for Doppler RADARS", *Applied Electromagnetics Conference (AEMC)*, pp. 1-4, Dec. 2009.
- [2] Ju Rong Hu, Fei Wang, Ning Cao, and Zhong Li, "A smart repeater for weapon location ladars based on time-frequency analysis", *Industrial Electronics 2009(IECON '09) 35th Annual Conference of IEEE*, pp. 3349-3352, Nov. 2009.
- [3] R. Lefevre, E. Wilen, R. Satterfield, V. Wright, and R. DiDomizio, "Clutter emulator for radar testing", *Autotestcon '98. IEEE Systems Readiness Technology Conference*, pp. 606-610, Aug. 1998.
- [4] 양진모, 이민준, 김환우 "레이더 시스템 성능평가용 가상 레이더 표적신호 발생 장치", *한국군사과학기술학회지*, 11(8), pp. 40-49, 2008년 6월.
- [5] S. J. Roome "Digital radio frequency memory", *Electronics & Communication Engineering Journal*, pp. 147-153, Aug. 1990.
- [6] S. J. Roome "The phase performance of digital radio frequency memories", *Advanced A-D and D-A Conversion Techniques and Their Applications*, IEE Conf. Pub., no. 393, pp. 18-23, Jul. 1994.

한 일 탁



2006년 2월: 충남대학교 전자·전
파·정보통신공학부 (공학사)

2008년 2월: 충남대학교 전파공학
과 (공학석사)

2008년 2월~현재: 국방과학연구소
연구원

[주 관심분야] 전자파 전파 및 산란,
전파전파 특성 예측 모델링, 레이더 시스템 및 신호 처
리