

---

# SSTL2-II의 데이터 전송특성 분석

김석환\* · 허창우\*\*

An Analysis of Data Transmission Characteristic on SSTL2-II

SokeHwan Kim\* · Chang-Wu Hur\*\*

## 요 약

통신시스템에 사용되는 프로세서는 여러 로직이 사용되는데 본 연구에서는, 입력과 출력 사이에 정확하게 상호 정보를 전달하기 위해, SSTL2-II 2.5V 로직을 이용하여 전송 선로의 길이 변화와 데이터 속도의 변화 시 발생하는 데이터 전송특성을 살펴보았다. 전송 선로의 길이가 30cm이고 데이터 속도가 400Mbps일 경우 안정된 특성을 얻었다.

## Abstract

Variety of logics are used in communication system processor. SSTL2-II 2.5V logic was attempted to analyze data transmission characteristics by varying transmission line length and data speed. Stable characteristics were obtained in case when data speed was 400Mbps and transmission line length was 30cm

## 키워드

SSTL2-II, FPGA, 데이터, 전송선로

## Keyword

SSTL2-II, FPGA, Data, Transmission Line

---

\* 정회원 : 이화여자대학교(ksh63045@ewha.ac.kr)

\*\* 종신회원 : 목원대학교

접수일자 : 2010. 12. 21

심사완료일자 : 2011. 03. 21

## I. 서 론

초고속 정보화 시대의 변화에 맞추어 현재 최신 장비를 사용하는 사람들은 데이터 전송의 정확성뿐만 아니라 실시간으로 정보를 주고받으려 하는 데 많은 관심을 가지고 있다[1][2]. 이에 따라 본 논문에서는 통신 시스템에 사용되는 여러 가지 로직 중 SSTL2-II의 데이터 전송 특성을 PCB 보드를 설계하고 로직을 실장한 뒤 데이터 전송 특성을 분석하였다.

통신 시스템의 설계 시 여러 가지 중요한 검토 사항 중에서 본 논문은 현 통신 시스템의 구성의 사양과 맞추어 테스트 보드를 설계하였다. 통신 시스템간의 연결되는 전송선로의 길이는 30cm로, PCB 상에 실장 시켰다. 또한 시스템에 사용되는 로직은 Xilinx사의 FPGA를 PCB 보드에 실장 시켰다. 이 FPGA는 대용량의 논리 게이트를 실장 가능하며, 데이터 전송특성 분석 시스템을 통해 최대 안정하게 데이터를 전송할 수 있는 데이터의 전송속도를 분석을 통해 정량화된 통신시스템 설계의 기준을 제공하며, 시스템 설계에 대한 오류의 최소화 및 비용의 최소화 하고자 한다.

## II. SSTL2-II의 전압특성

본 논문에서 SSTL2-II에 대한 데이터 전송특성을 분석하기 위해 Xilinx사의 Virtex II FPGA를 사용 하였다. FPGA에 입력 가능한 최대 클럭 스피드는 420MHz이고 클럭에 대한 위상 반전 및 Shift조절이 가능한 12개의 DCM (Digital Clock Manager)과 데이터 전송 시 지연방지를 위한 16개의 Global Clock이 있다. FPGA에 구현 가능한 로직은 표 1과 같다.

표 1 FPGA의 기본로직  
Table. 1 Basic Logic of FPGA

통신 방식	로직종류
Single-End	LVTTTL, LVCMOS33, HSTL, SSTL, GTL
Differential	LVDS

본 논문은 일정한 전송선로 길이에 데이터 전송속도를 변화 시켜 주었을 경우 얻어지는 데이터 전송특성 결

과를 통해 데이터의 최대 전송속도 및 안정하게 전달 할 수 있는 데이터 전송속도 범위를 분석하였다.

아래 표 2는 SSTL2-II로직의 전압특성을 나타내고 있다. 이 표는 시스템 구현 시, 데이터 전송의 입력과 출력 포트 상호간에 정성적인 데이터로 인식되기 위한 신호의 레벨을 나타낸 것이다. 표 2에서 나타낸 바와 같이 SSTL2-II의 출력 단에서는 최소 0.45V이하 일 경우 low로 인식이 되며 0.45 ~ 2.05V일 경우가 high로 내보내는 신호임을 나타낸다. 입력 단에서는 최소 0.3V이하가 되어야 함을 나타낸다.

본 논문에서는 표 2 내용을 기준으로 데이터 전송특성을 분석하였다. 이 신호의 범위에 벗어난 데이터는 SSTL2-II로직에 있어서 의미 없는 데이터 범위이다[2].

표 2. SSTL2-II 전압특성  
Table 2. Voltage Characteristic of SSTL2-II

Parameter	Min	Typ.	Max
VCCO	2.3	2.5	2.7
VIH	1.33	1.43	3.0
VIL	0.3	1.07	1.17
VOH	1.95	2.05	-
VOL	-	0.45	0.55

## III. 데이터 통신 시스템의 하드웨어 구현

### 1. 전체 시스템 블록도

그림 1에는 SSTL2-II의 데이터 전송특성을 분석하기 위한 시스템의 구성도이다. FPGA는 PCB 상에 실장 시켰으며 데이터 제너레이터에서 생성된 64비트의 데이터는 FPGA의 입력 단에 클럭과 함께 인가된다. FPGA 내부에는 4개의 Flip Flop을 구현하였다. FPGA 출력은 전송선로를 통한 후 다시 FPGA 입력 단에 연결 시켰다. 이 신호는 오실로스코프에 연결 되었는데 여기서 데이터의 전송특성 파형을 측정한다.

전송선로의 길이는 30cm를 기준으로 하였다. 현재 전송선로 길이는 30cm 이지만 더 추가적으로 데이터 전송특성을 분석하기 위해 길이를 늘릴 것이다. FPGA와 오실로스코프 연결에서 측정하고자 하는 원신호의 소실

을 막기 위해 1956Ω의 저항을 연결하였다. 이 저항 값은 실험을 하면서 얻어진 것으로 저항 값이 낮을 경우 신호 레벨이 낮아졌다. 이는 FPGA와 오실로스코프 간에 신호가 분산되는 것을 의미하는 것이다. 정확한 데이터 전송 특성을 분석하기 위해서 여기서 선택된 저항 값의 비율은 측정하면서 손실 없이 보낼 수 있는 최대 범위를 선택한 값이며 그 이후에 클럭의 속도를 높여가며 전송특성을 측정하였다[3].

SSTL2-II는 2.5V의 VCCO를 인가하며 입출력 포트의 신호 기준 기준전압은 1.25V를 연결하는 로직이다. FPGA 입출력단에는 그림 1과 같이 R1과 R2, R3와 R4는 서로 같은 저항 값을 연결한다. 모든 FPGA 입출력으로 선언되는 포트에 저항을 연결하게 되면 PCB보드상의 저항이 차지하는 면적은 매우 늘어나게 된다. 이것을 막기 위한 것이 DCI(Digitally Controlled Impedance)선언이다[4].

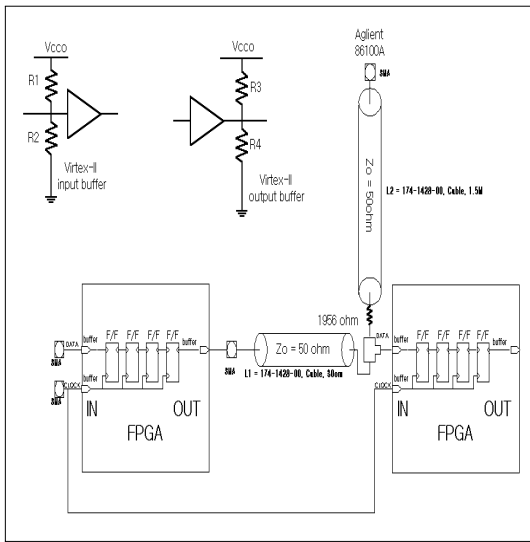


그림 1. FPGA 블록도  
Fig. 1 Block Diagram of FPGA

이 선언은 FPGA 컴파일 시 선언된 로직에 적용하면 된다. 입출력 단에 연결되어야 하는 저항 성분은 FPGA포트 내부로 들어가는 구조로 바뀌게 된다. 보드의 중단 저항을 제거해 줌으로써 주변 소자의 수를 감소시키고 보드 배선의 어려움을 줄일 수 있는 장점이 있다[5].

DCI로 선언 후 제거한 Bank의 모든 입출력을 제어하기 위해서는 기준 핀을 사용하는데 풀업 기능을 하는 P reference pin과 풀다운 기능을 하는 N reference pin이 있다. 이들은 VCCO와 GND에 1% 오차의 25 ~ 125Ω의 저항을 연결하였다[6].

#### IV. 데이터 전달 특성 측정

본 논문에서는 하나의 통신 시스템으로부터 다른 통신 시스템으로 연결 할 때 백플레인 상의 30cm 케이블을 연결하는 기준으로 PCB 보드 상에 FPGA를 실장하고 SSTL2-II 로직을 구성 분석하였다.

클럭의 주파수를 100MHz, 200MHz, 300MHz, 400MHz, 500MHz로 변화 시켜가며 데이터와 클럭을 동기 시켜 데이터 전송특성을 분석하였다. 그림 2부터 6까지는 본 논문에서 측정된 SSTL2-II 로직의 데이터 전송 특성 파형이다. 측정 파형에서 eye\_pattern은 SSTL2-II의 데이터 전송특성을 나타내며 표 2의 전압특성을 기준으로 신호 진폭의 레벨과 시간 축상의 값이 전송특성 판단의 중요한 지표가 된다.

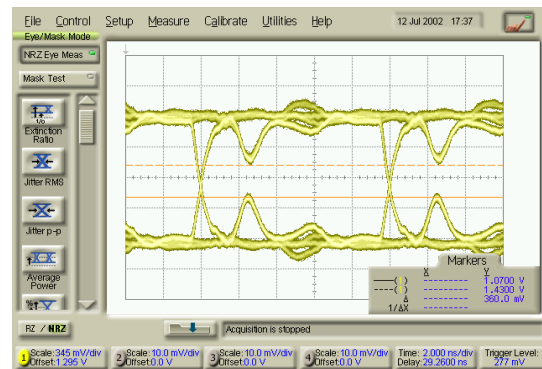


그림 2. 100Mbps에서의 데이터 전송특성 경우  
Fig. 2 100 Mbps data transfer characteristics

그림 2는 데이터 전송속도 100Mbps에서의 SSTL2-II에 대한 데이터 전송특성으로 측정된 결과는 전압특성을 기준으로 평가한다. 측정파형에서 실선과 점선이 SSTL2-II의 전압특성범위(1.03V~1.43V)로 전압특성파형은 안정된 신호 전압레벨 범위 안에 있다.

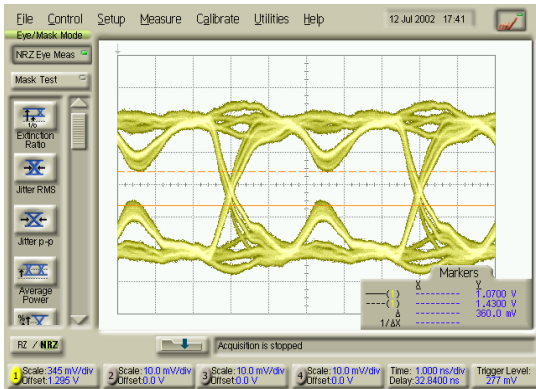


그림 3. 200Mbps에서의 데이터 전송특성 경우  
Fig. 3 200 Mbps data transfer characteristics

그림 3은 데이터 전송속도 200Mbps에서의 SSTL2-II에 대한 데이터 전송특성으로 측정된 결과는 안정된 신호 전압레벨 범위 안에 있다.

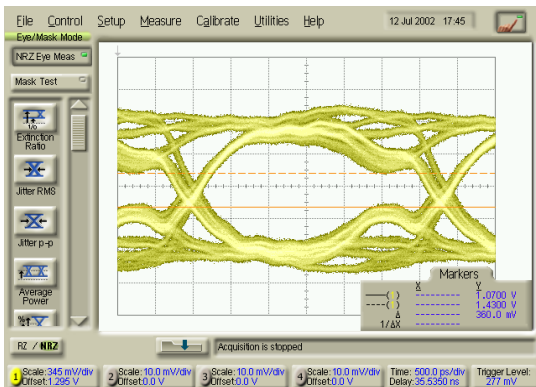


그림 4. 300Mbps에서의 데이터 전송특성 경우  
Fig. 4 300 Mbps data transfer characteristics

그림 4는 데이터 전송속도 300Mbps에서의 SSTL2-II에 대한 데이터 전송특성파형으로 안정된 신호 전압레벨 범위 안에 있음을 알 수 있다. 그러나 200Mbps의 측정 결과와는 달리 전체 신호 진폭레벨이 감소됨을 보였다.

그림 5는 데이터 전송속도 400Mbps에서의 SSTL2-II에 대한 데이터 전송특성 파형으로 안정된 신호 전압레벨 범위 안에 있으나 전체 신호 시간이 감소되었다.

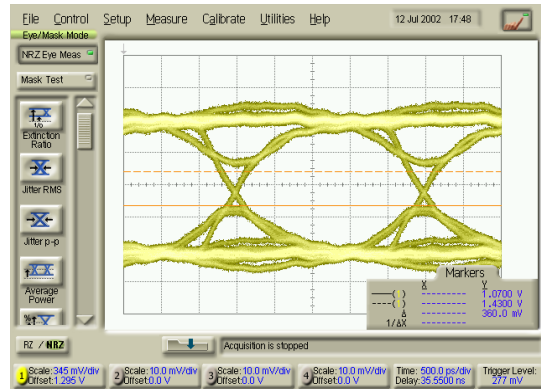


그림 5. 400Mbps에서의 데이터 전송특성 경우  
Fig. 5 400 Mbps data transfer characteristics

그림 6은 데이터 전송속도 500Mbps에서의 SSTL2-II에 대한 데이터 전송특성이다. 측정된 결과에서 로직에 맞는 신호의 진폭 레벨 및 시간 축상의 여유가 없는 것으로 측정되었다. 이 신호에서는 SSTL2-II로직의 전압특성 값을 기준으로 데이터를 전송할 수 없다.

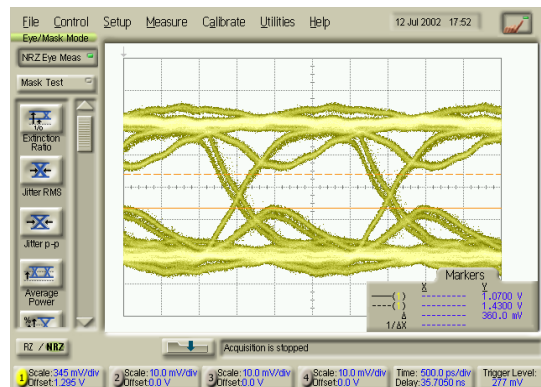


그림 6. 500Mbps에서의 데이터 전송특성 경우  
Fig. 6 500 Mbps data transfer characteristics

실형 측정 결과 파형에서 보는 바와 같이 점선과 실선은 SSTL2-II 전압특성 표에서 제시한 범위레벨을 표시하는 것으로 이 범위 내에 어떤 노이즈가 있다면 그 범위 내에서는 데이터 전송 시 대부분 손실이 발생한다는 것을 의미한다.

측정 결과 파형으로 최대 전송 가능한 전송 속도와 특성을 파악할 수 있다. SSTL2-II로 시스템 로직을 구현 하였을 경우 400Mbps 범위 내에서 안정되게 전송됨을 알

수 있었지만 500Mbps로 전송 할 경우 신호의 진폭레벨과 시간의 값이 많이 감소되었다.

### V. 결론

통신 시스템에 이용되는 프로세서의 로직중 SSTL2-II를 구현하여 데이터 전달 특성을 분석하였다. 전송 특성을 분석하기위한 범위는 전송선로길이 30cm 기준으로, 데이터 전송속도 100MHz, 200MHz, 300MHz, 400MHz, 500MHz이었다. 데이터 전송 특성을 분석하기 위한 측정 시스템에서 얻어진 측정 결과는 100Mbps ~ 400Mbps 구간에서는 SSTL2-II가 지니는 전압 특성 신호 범위 (1.03V ~ 1.43V)에 맞는 파형을 얻을 수 있었으나 500Mbps 부터는 노이즈가 많이 발생함을 실험 측정으로 알 수 있었다.

이 구간에 데이터를 실을 경우 손실이 매우 높은 구간이 된다. 그러므로 SSTL2-II 로직을 시스템에 적용할 수 있는 최대 데이터 전송구간은 전송선로 길이가 30cm 일 경우 최대 데이터 전송속도는 400Mbps이다.

### 참고문헌

[1] 김석환, 이규정, 허창우, “통신 시스템의 데이터 전송 선로에 대한 연구,” 한국 해양 정보통신학회 논문지 제 9권 6호, pp. 1277-1281, 2005년 10월.

[2] Andrea Boni, “1.2Gb/s True PECL 100K Compatible I/O Interface in 0.35 $\mu$ m CMOS” IEEE Journal of Solid-State Circuits, Vol.36, NO.6, June 2001.

[3] J.M. Benedetoo, Oliver Aeroflex UTMC, “High-Speed Data Transmission for Spaceborne Applications,” Proceedings of the 2001 IEEE Radiation Effects Data Workshop, pp. 67-71, 2001.

[4] [http://www.xilinx.com/support/documentation/virtex-ii\\_pro\\_user\\_guides.htm](http://www.xilinx.com/support/documentation/virtex-ii_pro_user_guides.htm).

[5] Kim Jongsun, Choi Jung-Hwan, Kim Chang-Hyun, “A low power capacitive coupled bus interface based on pulsed signaling” IEEE Custom Integrated Circuits Conference, pp.35 - 38 , 2004.

[6] Young-Ho Kwak, Inhwa Jung, Hyung-Dong Lee, “A One-Cycle Lock Time Slew-Rate-Controlled Output Driver” IEEE Solid-State Circuits Conference, pp.408 - 611 , 2007.

### 저자소개



김석환(SokeHwan Kim)

2003.8 : 목원대학교 전자공학과 공학박사

2003.8 ~ 2005.2 : (주)제니텔 정보통신 선임연구원

2005.3 ~ 2006.1 : (주) 인터포스 책임연구원

2006.2 ~ 2008.4 : (주) 한백전자 책임연구원

2008.5 ~ 2010.8 : KAIST 박사 후 연구원

2001 ~ 현재 : 한국 해양정보통신학회 정회원

2009.1 ~ 현재 : 한국 해양정보통신학회 이사

2010.9 ~ 현재 : 이화여자대학교 전자공학과 연구교수

※ 관심분야 : Bio-inspired engineering, Self-repair, Gene Expression, Mutation,, FPGA 설계



허창우(Chang-wu Hur)

1991.2 : 연세대학원 전자공학과 공학박사

1986.9 ~ 1994.2 : 금성사 중앙 연구소

1994.3 ~ 현재 : 목원대학교 전자공학과 정교수

※ 관심분야 : 반도체공학 및 VLSI 설계