
모바일 WiMAX용 layered LDPC 복호기의 성능분석

김은숙* · 김해주** · 신경욱***

A performance analysis of layered LDPC decoder for mobile WiMAX system

Eun-suk Kim* · Hae-ju Kim* · Kyung-wook Shin**

이 논문은 2010년도 정부(교육과학기술부)의 재원으로 한국연구재단의 연구비를 지원받았음

요 약

본 논문에서는 모바일 WiMAX용 layered LDPC(low-density parity-check) 복호기의 복호성능 및 복호 수렴속도 분석을 통해 LDPC 복호기의 하드웨어 구현을 위한 최적의 설계조건을 탐색하였다. 최소합 알고리즘과 layered 복호 방식을 적용한 LDPC 복호기의 고정소수점 Matlab 모델을 개발하고 시뮬레이션 하였다. IEEE 802.16e 표준에 제시된 블록길이 576, 1440, 2304 비트와 부호율 1/2, 2/3A, 2/3B, 3/4A, 3/4B, 5/6에 대해 고정소수점 비트 폭, 블록길이, 부호율 등이 복호성능에 미치는 영향을 분석하였으며, 고정소수점 비트 폭이 8 비트 이상이고 정수부분이 5 비트 이상일 때 안정된 복호성능이 얻어짐을 확인하였다.

ABSTRACT

This paper describes an analysis of the decoding performance and decoding convergence speed of layered LDPC(low-density parity-check) decoder for mobile WiMAX system, and the optimal design conditions for hardware implementation are searched. A fixed-point model of LDPC decoder, which is based on the min-sum algorithm and layered decoding scheme, is implemented and simulated using Matlab model. Through fixed-point simulations for the block lengths of 576, 1440, 2304 bits and the code rates of 1/2, 2/3A, 2/3B, 3/4A, 3/4B, 5/6 specified in the IEEE 802.16e standard, the effect of internal bit-width, block length and code rate on the decoding performance are analyzed. Simulation results show that fixed-point bit-width larger than 8 bits with integer part of 5 bits should be used for acceptable decoding performance.

키워드

Low-density parity-check(LDPC) 부호, 에러 정정 부호, 레이어드 디코딩, IEEE 802.16e, WiMAX

Keyword

LDPC code, error correction code, layered decoding, IEEE 802.16e, WiMAX

* 준회원 : 금오공과대학교 전자공학부 석사과정

접수일자 : 2010. 12. 07

** 준회원 : 실리콘웍스(주) 연구원

심사완료일자 : 2010. 12. 27

*** 정회원 : 금오공과대학교 전자공학부 교수(교신저자, kwshin@kumoh.ac.kr)

I. 서 론

LDPC(low-density parity-check) 부호는 1962년 R. Gallager에 의해 제안된 오류정정 부호의 한 형태이며, 패리티 검사 행렬에서 '0'이 아닌 원소의 수가 부호어의 길이에 비해 현저히 작은 부호로 정의된다.^[1] LDPC 부호가 제안된 당시에는 기술적인 한계로 인해 구현이 어려워 관심을 받지 못하였으나 MacKay와 Neal^[2]에 의해 재조명된 이후, 차세대 오류정정 부호로 주목받고 있다. LDPC 부호는 IEEE 802.11n 무선 랜(WLAN)^[3], IEEE 802.16e 광대역 무선통신(WiMAX)^[4], 유럽의 디지털 위성방송(DVB-S2) 규격^[5] 등에서 오류정정 부호로 채택되고 있다.

LDPC 부호는 Shannon의 한계치에 가장 근접하는 오류정정 부호로 평가되고 있으며^[6], 오류마루 현상이 나타나지 않고, 완전 병렬처리가 가능하여 고속 복호가 가능하다는 여러 가지 장점을 가져 LDPC 부호의 특성 및 생성방법, 복호기 구조에 관한 연구가 활발히 진행되고 있다. LDPC 복호기 설계에 관한 최근의 연구 사례를 살펴보면, 단일 블록길이와 부호율을 지원하는 복호기^[7], 단일 블록길이와 다중 부호율 또는 다중 블록길이와 단일 부호율을 지원하는 복호기^[8,9], 다중 블록길이와 다중 부호율을 지원하는 복호기^[10,11] 등이 발표되고 있으며, 이들 복호기는 특정 응용분야(예를 들면, IEEE 802.16e 또는 802.11n)의 LDPC 부호를 지원한다. 최근에는 다중 표준을 지원하는 flexi-mode LDPC 복호기 구조 및 구현^[12,13]에 관한 연구결과도 발표되고 있으며, 부분병렬 구조를 기반으로 복수의 통신 시스템 표준에 규정된 블록길이와 부호율을 지원한다.

LDPC 부호의 복호는 반복복호를 기반으로 수행되며, 복호 알고리즘, 복호기 구조, 고정소수점(fixed-point) 비트 수 등 다양한 요인들이 복호성능과 하드웨어 복잡도에 영향을 미친다. 따라서 고성능/저전력 LDPC 복호기 설계를 위해서는 복호성능에 미치는 요인과 영향에 대한 분석과 함께, 이를 토대로 최적 설계조건 도출이 필요하다. 본 논문에서는 LDPC 복호방법 중 널리 사용되고 있는 최소합(min-sum) 알고리즘 기반의 layered LDPC 복호기를 Matlab으로 모델링하고, 고정소수점 시뮬레이션을 통해 복호 수렴속도와 BER (bit error rate) 성

능을 분석하였으며, 이를 통해 WiMAX용 LDPC 복호기의 최적 설계사양을 도출하였다.

II. LDPC 부호 및 복호 알고리즘

2.1. IEEE 802.16e 표준의 LDPC 부호^[4]

LDPC 부호는 원소의 대부분이 '0'으로 구성되는 패리티 검사 행렬(parity check matrix; PCM)에 의해 정의되는 선형 블록부호이다. IEEE 802.16e 표준의 LDPC 부호는 $m \times n$ 크기의 PCM H 로 정의되며, 여기서 n 은 부호어의 블록길이를 나타내고, m 은 패리티 검사 비트의 길이를 나타낸다. PCM H 는 식(1)과 같이 정의되며, 여기서 $P_{i,j}$ 는 $z_f \times z_f$ 의 치환행렬(permutation matrix) 또는 $z_f \times z_f$ 의 영 행렬(zero matrix)을 나타내며, 이를 부행렬(sub-matrix)이라고 한다. PCM H 는 $m_b \times n_b$ 의 이진 기저행렬(binary base matrix) H_b 로부터 확장될 수 있으며, 여기서 $n = z_f \cdot n_b$ 이고 $m = z_f \cdot m_b$ 이며, $n_b = 24$ 로 고정된 값이다. 부호어의 블록길이는 $n = 576 + 96f$ 로 표현되며, 여기서 f 는 LDPC 부호의 블록길이 인덱스를 나타내고, $0 \leq f \leq 18$ 범위의 값을 갖는다. 따라서 부행렬의 크기는 $z_f = n_b + 4f = 24 + 4f$ 로 정의된다.

$$H = \begin{bmatrix} P_{0,0} & P_{0,1} & \cdots & P_{0,n_b-1} \\ P_{1,0} & P_{1,1} & \cdots & P_{1,n_b-1} \\ P_{2,0} & P_{2,1} & \cdots & P_{0,n_b-1} \\ \cdots & \cdots & \cdots & \cdots \\ P_{m_b-1,0} & P_{m_b-1,1} & \cdots & P_{m_b-1,n_b-1} \end{bmatrix} = P^{H_b} \quad (1)$$

치환행렬은 $z_f \times z_f$ 의 단위행렬(identity matrix)을 지정된 값 $p(i,j) \geq 0$ 만큼 오른쪽으로 순환이동(circular right shift)시킨 행렬이다. 블록길이에 따른 오른쪽 순환이동 값 $p(f,i,j)$ 는 식(2)와 같이 정의되며, 부호율 2/3A인 경우에만 식(3)으로 정의된다. 식(2)와 식(3)에서 $p(i,j) < 0$ (일반적으로 $p(i,j) = -1$ 로 표시됨)은 영 행렬을 나타낸다. z_0 는 최대 부행렬 크기를 나타내며, 블록길이 2304 비트에 대해 $z_0 = 96$ 의 값을 갖는다.

-1	94	73	-1	-1	-1	-1	-1	55	83	-1	-1	7	0	-1	-1	-1	-1	-1	-1	-1	-1	-1
-1	27	-1	-1	-1	22	79	9	-1	-1	-1	12	-1	0	0	-1	-1	-1	-1	-1	-1	-1	-1
-1	-1	-1	24	22	81	-1	33	-1	-1	-1	0	-1	-1	0	0	-1	-1	-1	-1	-1	-1	-1
61	-1	47	-1	-1	-1	-1	-1	65	25	-1	-1	-1	-1	-1	0	0	-1	-1	-1	-1	-1	-1
-1	-1	39	-1	-1	-1	84	-1	-1	41	72	-1	-1	-1	-1	0	0	-1	-1	-1	-1	-1	-1
-1	-1	-1	-1	46	40	-1	82	-1	-1	-1	79	0	-1	-1	-1	0	0	-1	-1	-1	-1	-1
-1	-1	95	53	-1	-1	-1	-1	-1	14	18	-1	-1	-1	-1	-1	-1	0	0	-1	-1	-1	-1
-1	11	73	-1	-1	-1	2	-1	-1	47	-1	-1	-1	-1	-1	-1	-1	-1	0	0	-1	-1	-1
12	-1	-1	-1	83	24	-1	43	-1	-1	-1	51	-1	-1	-1	-1	-1	-1	-1	0	0	-1	-1
-1	-1	-1	-1	-1	94	-1	59	-1	-1	70	72	-1	-1	-1	-1	-1	-1	-1	-1	0	0	-1
-1	-1	7	65	-1	-1	-1	-1	39	49	-1	-1	-1	-1	-1	-1	-1	-1	-1	-1	-1	0	0
43	-1	-1	-1	-1	66	-1	41	-1	-1	-1	26	7	-1	-1	-1	-1	-1	-1	-1	-1	-1	0

그림 1. IEEE 802.16e WiMAX 표준의 PCM (블록길이 2304 비트, 부호율 1/2인 경우)
Fig. 1 PCM of IEEE 802.16e WiMAX standard (for block size 2304-bit and code rate 1/2)

$$p(f,i,j) = \begin{cases} p(i,j) & , p(i,j) \leq 0 \\ \left\lfloor \frac{p(i,j) \cdot z_f}{z_0} \right\rfloor & , p(i,j) > 0 \end{cases} \quad (2)$$

$$p(f,i,j) = \begin{cases} p(i,j) & , p(i,j) \leq 0 \\ \text{mod}(p(i,j), z_f) & , p(i,j) > 0 \end{cases} \quad (3)$$

IEEE 802.16e의 블록길이 2304 비트, 부호율 1/2에 대한 PCM은 그림 1과 같으며, 주어진 값 $p(i,j) \geq 0$ 은 96×96 크기의 단위행렬에 대한 오른쪽 순환 시프트 크기를 나타내며, $p(i,j) = -1$ 은 영(zero) 행렬을 나타낸다.

IEEE 802.16e 표준에는 표 1과 같은 PCM 파라미터들이 정의되어 있으며, 19가지의 블록길이와 각 블록길이에 대해 6가지의 부호율 1/2, 2/3A, 2/3B, 3/4A, 3/4B, 5/6을 규정하고 있다.

표 1. IEEE 802.16e의 LDPC PCM 파라미터
Table. 1 LDPC PCM parameters for IEEE 802.16e

파라미터	IEEE 802.16e			
블록길이(n)	576+96f (0≤f≤18)			
부행렬 크기(z _f)	24+4f (0≤f≤18)			
부호율(R)	1/2, 2/3(A,B), 3/4(A,B), 5/6			
layer 수(m _b)	1/2	2/3(A,B)	3/4(A,B)	5/6
	12	8	6	4

2.2. LDPC 부호의 복호 알고리즘

LDPC 부호는 Tanner 그래프 상의 검사노드(check node; CN)와 변수노드(variable node; VN) 사이에서 반복적인 정보 전달과정에 의해 복호될 수 있다. Tanner 그래프는 PCM의 행과 열을 CN와 VN로 매핑시킨 이분(bipartite) 그래프이며, CN와 VN 사이의 연결은 PCM에서 1의 위치에 의해 결정된다.[14] LDPC 부호의 복호 알고리즘으로 합곱 알고리즘(sum-product; SP) 알고리즘, SP 알고리즘의 연산 복잡도를 감소시킨 LLR(log-likelihood ratio)-SP 알고리즘, LLR-SP 알고리즘을 근사화하여 연산 복잡도를 더욱 감소시킨 최소합(min-sum; MS) 알고리즘 등 다양한 방법들이 제안되고 있다.[15,16]

q-번째 반복복호 과정에서 CN 연산과 VN 연산은 각각 식(4)와 식(5)로 표현되며, 이와 같이 CN 연산과 VN 연산의 2단계 과정을 통한 복호를 two-phase 복호라고 한다.

(i) CN 연산

$$L_{j \rightarrow i}^q = \left(\prod_{i' \in \omega(j) \setminus \{i\}} \alpha_{i'j}^{q-1} \right) \cdot \phi \left(\sum_{i' \in \omega(j) \setminus \{i\}} \phi(\beta_{i'j}^{q-1}) \right) \quad (4)$$

(ii) VN 연산

$$L_{i \rightarrow j}^q = z_i^{q-1} + \sum_{j' \in \Omega(i) \setminus \{j\}} L_{j' \rightarrow i}^q \quad (5)$$

여기서

$$\alpha_{ij}^{q-1} = \text{sign}(L_{i \rightarrow j}^{q-1}) \quad (6)$$

$$\beta_{ij}^{q-1} = |L_{i \rightarrow j}^{q-1}| \quad (7)$$

$$\phi(x) = -\text{Lntanh}\left(\frac{1}{2}x\right) = \ln \frac{e^x + 1}{e^x - 1} \quad (8)$$

식(4)에서 함수 $\phi(x)$ 는 x 가 작을 때 매우 큰 값을 가지며, x 가 커지면 0에 근접하는 특성을 가지며, 함수 $\phi(x)$ 를 근사화하여 연산 복잡도를 줄인 방법이 MS 알고리즘이다. 식(4)의 $\sum \phi(\beta_{ij})$ 연산에서 가장 작은 β_{ij} 값이 연산결과에 가장 큰 영향을 미치며 큰 β_{ij} 값은 영향을 거의 미치지 않게 되므로, $\sum \phi(\beta_{ij}) \approx \phi(\min(\beta_{ij}))$ 로 근사화시킬 수 있다. 또한 함수 $\phi(x)$ 는 식(8)과 같이 정의되고 $x > 0$ 일 때 역함수와 본 함수의 값이 같으므로 $\phi(\phi(\min(\beta_{ij}))) = \min(\beta_{ij})$ 로 변환될 수 있으며, 식(4)의 $\phi(\sum \phi(\beta_{ij}))$ 연산은 식(9)와 같이 근사화될 수 있다. 따라서 식(9)를 이용하면 식(4)는 식(10)과 같이 근사화될 수 있다.

$$\phi\left(\sum_{i' \in \omega(j) \setminus \{i\}} \phi(\beta_{i'j}^{q-1})\right) \approx \phi\left(\phi\left(\min_{i' \in \omega(j) \setminus \{i\}} \beta_{i'j}^{q-1}\right)\right) \quad (9)$$

$$= \min_{i' \in \omega(j) \setminus \{i\}} \beta_{i'j}^{q-1}$$

$$L_{j \rightarrow i}^q \approx \left(\prod_{i' \in \omega(j) \setminus \{i\}} \alpha_{i'j}^{q-1}\right) \cdot \left(\min_{i' \in \omega(j) \setminus \{i\}} \beta_{i'j}^{q-1}\right) \quad (10)$$

MS 알고리즘은 근사화를 이용하므로 연산 정밀도가 감소하는 특징 때문에 SP 알고리즘 보다 반복복호 횟수가 커서 복호시간이 증가하는 단점이 있지만, $\phi(x)$ 의 연산과정을 생략하고 최솟값을 사용하므로 look-up table(LUT)를 사용하지 않아 효율적인 하드웨어 구현이 가능하다.

2.3. Layered 복호 방식^[17]

Layered 복호는 PCM을 다수의 레이어(layer)로 분할하여 복호를 수행하는 부분병렬 복호방식의 한 형태이다. Two-phase 복호에서는 PCM 단위로 정보가 갱신되므로 전체 PCM에 해당하는 정보를 동시에 저장하고 있어야 한다. 반면에, layered 복호는 레이어 단위로 정보가

갱신되므로 한 레이어의 결정변수 값만 저장하면 된다. 따라서 two-phase 방식에 비해 훨씬 적은 용량의 메모리가 요구되며, 레이어 단위로 결정변수를 판별할 수 있어 수렴속도가 훨씬 빠르다는 장점을 갖는다.

본 논문에서는 LDPC 복호기의 복호성능 분석과 최적 하드웨어 설계조건을 도출을 위해 식(10)의 MS 알고리즘과 그림 2의 layered 복호방식을 적용한다.

```

Initialization:
  ∀ (i, j) with H(i, j) = 1,
  Set  $F_i = \frac{2r_i}{\sigma^2} \Big|_{\sigma^2=1}$ ,  $z_i[0] = F_i$ ,  $L_{j \rightarrow i}^0 = 0$ 
for q from 1 to Iter begin
  for k from 1 to L begin
    1) VN Processing- I :
      ∀ (i, j) with H(L, i, j) = 1
       $L_{i \rightarrow j}^q[k] = z_i^q[k-1] - L_{j \rightarrow i}^{(q-1)}[k]$ 
    2) CN Processing :
      ∀ (i, j) with H(i, j) = 1
       $L_{j \rightarrow i}^q[k-1] = \left(\prod_{i' \in \omega(j) \setminus \{i\}} \alpha_{i'j}^{q-1}\right) \min_{i' \in \omega(j) \setminus \{i\}} \beta_{i'j}^{q-1}$ 
       $\alpha_{i'j}^{q-1} = \text{sign}(L_{i \rightarrow j}^{q-1})$ ,  $\beta_{i'j}^{q-1} = |L_{i \rightarrow j}^{q-1}|$ 
    3) VN Processing- II :
       $z_i^q[k] = L_{i \rightarrow j}^q[k] + L_{j \rightarrow i}^q[k]$ 
    end
    4) Hard Decision :
       $c_i^q = \begin{cases} 0, & z_i^q[L] \geq 0 \\ 1, & z_i^q[L] < 0 \end{cases}$ 
      if  $c \cdot H^T = 0$  then goto End of decoding
    end
  End of decoding
  
```

그림 2. Layered 복호 알고리즘
Fig. 2 Layered decoding algorithm

각 레이어의 복호연산은 two-phase 복호연산의 변형으로 얻어지며, CN 연산은 식(10)의 MS 알고리즘이 적용되고, 식(5)의 VN 연산은 VN Processing-I, II의 두 단계로 나뉘어 처리된다. VN Processing-I은 각각의 VN이 자신에 연결된 CN로부터 정보를 전달 받아 CN에 정보를

갱신하며, 이 때 자신의 정보는 알고 있으므로 자신을 제외한 CN로부터의 정보만을 사용하기 위해 뺄셈연산이 수행된다. *VN Processing-II*에서는 VN 값 $L_{i \rightarrow j}^q[k]$ 와 갱신된 CN 값 $L_{j \rightarrow i}^q[k]$ 을 더하여 현재 레이어의 결정변수값 $z_j^q[k]$ 을 갱신한다. CN 연산은 CN에 연결된 VN의 값을 받아 부호와 크기로 분리하여 연산된다. 부호는 자기 자신을 제외한 부호들의 누적 곱셈으로 갱신되며, 크기는 자기 자신을 제외한 가장 작은 크기로 갱신된다. 부호와 크기를 이용하여 CN 값이 갱신되며, 이는 다음 반복복호 과정에서 CN 값으로 사용되고, 현재 레이어의 결정변수 값 갱신에도 사용된다.

III. LDPC 복호기의 고정 소수점 모델링 및 시뮬레이션 결과 분석

LDPC 복호기의 최적 하드웨어 설계조건을 찾기 위해 그림 3의 과정을 통해 LLR 값의 정수부분 비트 폭, 최대 반복복호 횟수, 블록길이 그리고 부호율에 따른 수렴 속도 및 비트오율 성능을 고정소수점 시뮬레이션으로 평가하였다.

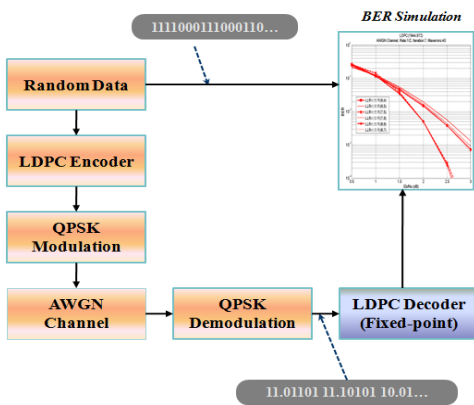


그림 3. LDPC 복호기의 시뮬레이션 모델
Fig. 3 Simulation model of LDPC decoder

시뮬레이션 조건은 표 2와 같으며, 100 프레임의 랜덤 데이터를 생성하여 LDPC 부호화한 후, QPSK 변조하고 AWGN 잡음채널 하에서 E_b/N_0 를 1.5~3.0 dB 범위에서 0.3 dB 단위로 변경하면서 시뮬레이션 하였다.

표 2. 시뮬레이션 조건
Table. 2 Simulation conditions

파라미터	사양
채널(AWGN)	$E_b/N_0 = 1.5 \sim 3$ dB (0.3 dB step)
프레임 수	100
최대 반복복호 횟수	8, 30
블록길이(N)	576, 1440, 2304
부호율(R)	1/2, 2/3(A,B), 3/4(A,B), 5/6
고정소수점 비트 폭 (m.n)	(4.4), (5.3), (6.2)

고정소수점 표현 (m.n)에서 m은 정수부분의 비트 폭, n은 소수부분의 비트 폭을 나타낸다. 최소합 알고리즘과 layered 복호방식을 적용한 LDPC 복호기의 Matlab 모델은 그림 4와 같다. 위에서 제시한 시뮬레이션 조건을 가변할 수 있도록 모델링하였고, 매 반복복호 과정에서 각 레이어별로 복호되지 않은 에러의 수를 관측하여 복호 수렴속도를 측정할 수 있도록 하였다.

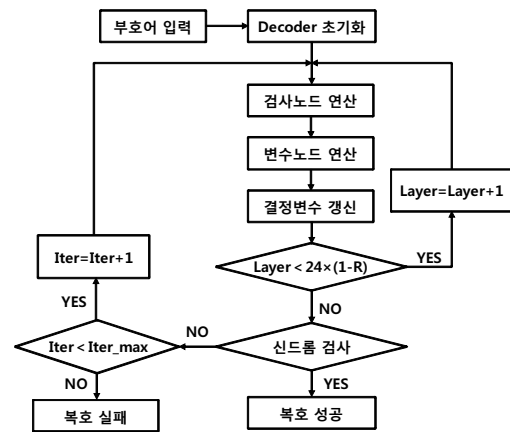


그림 4. Layered LDPC 복호기의 Matlab 모델
Fig. 4 Matlab model of layered LDPC decoder

LDPC 복호기의 고정소수점 비트 폭을 8~10 비트로 변화시키면서 복호성능을 시뮬레이션 한 결과는 그림 5와 같다. 정수부분이 4비트인 경우에는 BER 성능이 현저히 나쁜 것으로 나타났으며, 정수부분이 5비트와 6비트인 경우에는 소수부분의 비트 폭에 무관하게 복호성능이 유사하게 나타났다.

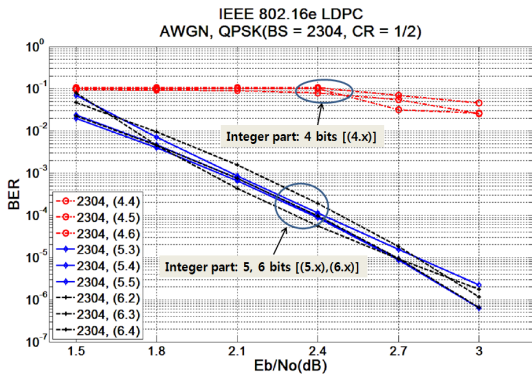
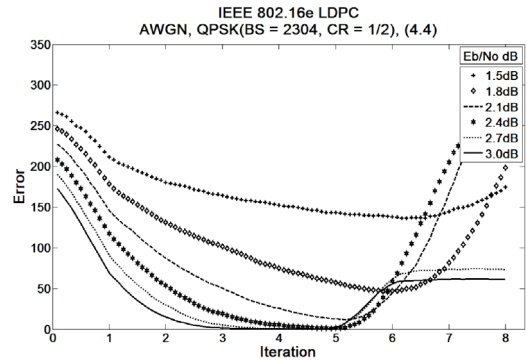


그림 5. 고정소수점 비트 폭에 따른 BER 성능
Fig. 5 BER performance for various bit-widths of fixed-point representation

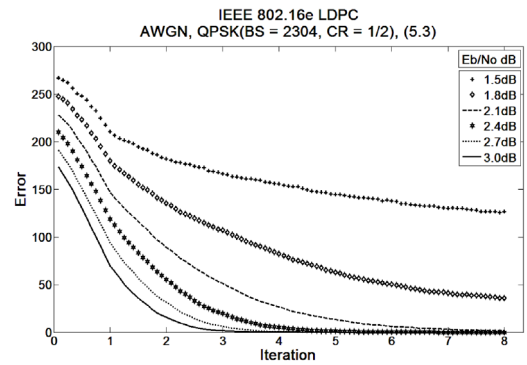
이는 그림 6의 복호 수렴속도 특성과 일치하는 결과이다. 따라서 LDPC 복호기의 하드웨어 구현 시에 고정소수점 표현의 정수부분을 5비트로 설계하는 것이 바람직한 것으로 평가된다.

그림 6은 블록길이 2304, 부호율 1/2의 LDPC 부호에 대해, 고정소수점 비트 폭을 8로 고정시킨 상태에서 정수부분 비트 폭에 따른 복호 수렴속도를 비교한 것이다. 정수부분이 4 비트인 그림 6-(a)의 경우, 반복복호 중에 특정 레이어를 지나면서부터 에러가 증가하기 시작하였으며, 이는 정수부분의 비트 폭이 부족하여 연산과정에서 오버플로가 발생하였기 때문으로 추정된다. 정수부분이 5 비트와 6 비트인 경우의 복호 수렴특성은 각각 그림 6-(b), (c)와 같으며, 두 경우의 레이어별 복호 수렴속도가 유사하게 나타났다.

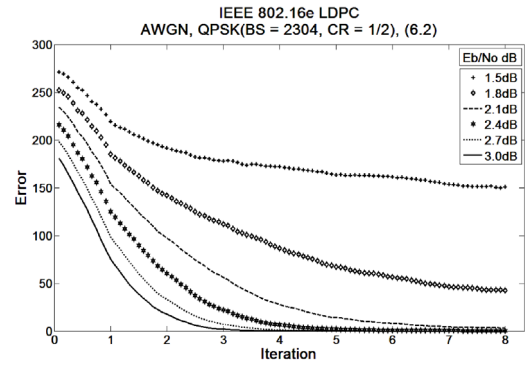
문헌 [18]에는 Log-BP(belief propagation) 방식의 LDPC 복호기에서 고정소수점 비트 수가 복호성능에 미치는 영향과 함께 하드웨어 복잡도와 복호성능 사이의 trade-off 관계를 고려한 최적의 비트 수 분석이 발표되었다. 문헌 [10],[11],[19]에는 IEEE 802.11n 표준용 LDPC 복호기 설계를 위한 최적의 고정소수점 비트 수 분석이 제시되었으며, 본 논문의 결과와 유사함을 확인할 수 있다.



(a)



(b)



(c)

그림 6. 정수부분 비트 폭에 따른 에러 수렴속도
(a) 비트 폭 (4.4), (b) 비트 폭 (5.3), (c) 비트 폭 (6.2)
Fig. 6 Error convergence speed for integer bit-widths
(a) bit-width (4.4) (b) bit-width (5.3) (c) bit-width (6.2)

그림 7은 최대 반복복호 횟수를 8과 30으로 설정하여 100 프레임의 랜덤 데이터에 대해 블록길이에 따른 BER 성능을 분석한 결과이다. 동일한 시뮬레이션 조건에서 최대 반복복호 횟수가 30인 경우의 복호성능이 더 우수함을 확인할 수 있다.

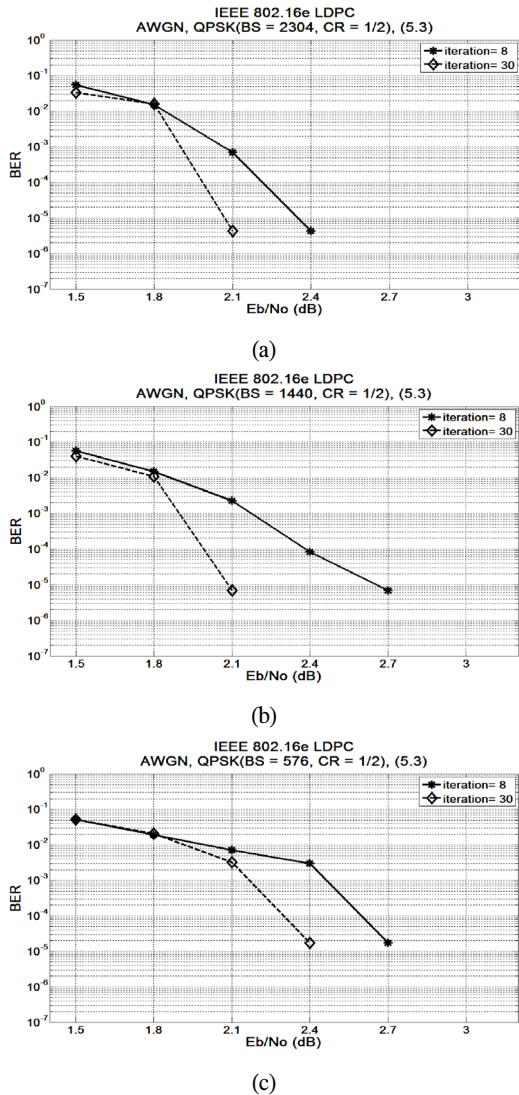


그림 7. 반복복호 횟수에 따른 BER 성능 (부호율 1/2) (a) 블록길이 2304-비트, (b) 블록길이 1440-비트, (c) 블록길이 576-비트
Fig. 7 BER performance for iteration numbers (code rate 1/2) (a) block length 2304-bit (b) block length 1440-bit (c) block length 576-bit

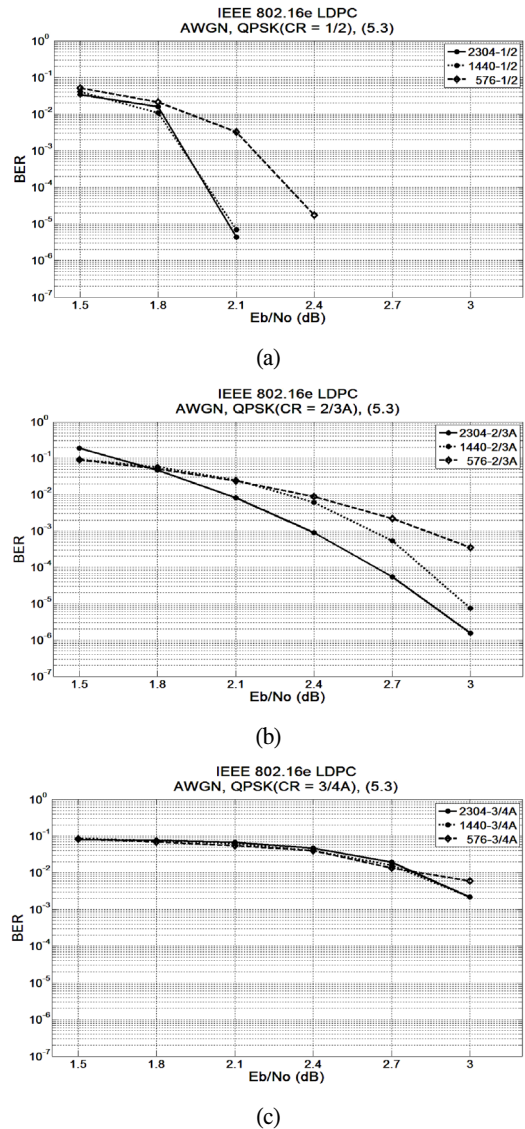


그림 8. 부호율에 따른 BER 성능
(a) 부호율 1/2 (b) 부호율 2/3A (c) 부호율 3/4A
Fig. 8 BER performance for various code rates
(a) code rate 1/2 (b) code rate 2/3A (c) code rate 3/4A

그림 8은 부호율과 블록길이에 따른 BER 성능 분석 결과이며, 그림 5~그림 7의 결과를 토대로 정수부분 5 비트와 최대 반복복호 횟수 30을 적용하고 100 프레임의 랜덤 데이터를 시뮬레이션 하였다. 부호율 1/2의 경우, $E_b/N_0 \geq 2.1 dB$ 에서 우수한 복호성능을 나타내었으

며, 부호율 2/3A의 경우에는 블록길이가 클수록 복호성능이 우수함을 확인할 수 있다. 부호율 3/4A의 경우에는 블록길이에 무관하게 복호성능이 가장 나쁘게 나타났으며, 이는 설정된 최대 반복복호 횟수 30에서 완전한 복호가 이루어지지 못함을 나타낸다. 그림 8의 조건을 적용한 시뮬레이션에서 블록길이가와 부호율에 따른 평균 반복복호 횟수는 표 3과 같다. 부호율 5/6의 경우를 제외하면, $E_b/N_0 \geq 2.1\text{ dB}$ 에 대해 18회 이내의 반복복호에 의해 복호가 완료되는 것으로 나타났다.

표 3. 평균 반복복호 횟수(고정소수점 비트 폭 (5.3))
Table. 3 Average number of iterations
(for fixed-point bit-width (5.3))

블록길이 (비트)	부호율	Eb/No [dB]					
		1.5	1.8	2.1	2.4	2.7	3.0
2304	1/2	14	9	7	5	5	4
	2/3A	30	18	12	8	5	4
	2/3B	30	14	12	8	6	4
	3/4A	30	30	18	13	10	7
	3/4B	30	30	10	12	9	6
1440	1/2	12	8	7	5	4	4
	2/3A	15	16	11	7	5	4
	2/3B	30	12	11	9	6	4
	3/4A	30	30	15	11	8	6
	3/4B	30	30	12	10	8	6
576	1/2	8	8	6	5	4	4
	2/3A	11	10	8	6	5	4
	2/3B	10	11	11	7	6	4
	3/4A	7	11	11	6	8	5
	3/4B	30	9	11	7	7	5
	5/6	30	30	6	11	9	8

IV. 결 론

모바일 WiMAX용 layered LDPC 복호기의 고정소수점 모델링 및 시뮬레이션을 통해 고정소수점 비트 폭, 최대 반복복호 횟수, 부호율, 그리고 블록길이가 복호성능에 미치는 영향을 분석하고, 이를 통해 LDPC 복호기의 최적 설계사양을 도출하였다. 하드웨어 구현 시 고정소수점 비트 폭을 8 비트로, 정수부분을 5 비트로 설계하는 경우가 면적 대비 복호성능이 가장 우수할 것으로 예측되었다. 본 논문의 결과는 LDPC 복호기의 하드웨어 설계 및 검증에 유용하게 활용될 수 있다.

감사의 글

본 논문은 2010년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업의 결과임(N0. 2010- 0005589)

참고문헌

- [1] R.G. Gallager, Low-Density Parity-Check Codes, *IRE Trans. Inform. Theory*, pp. 21- 28, vol. 8, no. 1, Jan. 1962.
- [2] D.J.C. MacKay and R. M. Neal, "Near Shannon limit performance of low density parity check codes," *IEE Electronic Letter*, vol. 32, no. 18, pp. 1645-1646, Aug. 1996.
- [3] IEEE 802.11n: Wireless LAN medium access control(MAC) and physical layer (PHY) specifications: enhancements for higher throughput, *IEEE Std. P802.11n/D7.0*, 2008.
- [4] IEEE 802.16e, Part 16: Air interface for fixed and mobile broadband wireless access systems, *IEEE std 802.16e-2005*, Feb. 2006.
- [5] DVB-S2 Draft ETSI EN 302 307 V1.1.1 (2004-06), ETSI
- [6] T.J. Richardson and R.L. Urbanke, "The capacity of low-density parity-check code under message-passing decoding," *IEEE Trans. Inform. Theory*, vol. 47, pp. 599-618, Feb. 2001.
- [7] A.J. Blanksby and C.J. Howland, "A 690- mW 1-Gb/s 1024-b, rate-1/2 low-density parity-check codes decoder," *IEEE J. of Solid-State Circuits*, vol. 37, no. 3, pp. 404-412, Mar. 2002.
- [8] M.M. Mansour and N.R. Shanbhag, "A 640- Mb/s 2048-bit programmable LDPC decoder chip," *IEEE J. of Solid-State Circuits*, vol. 41, no. 3, pp. 684-698, Mar. 2006.
- [9] X.Y. Shih, C.Z. Zhan, C.H. Lin, and A.Y. Wu, "An 8.29mm 52mW multi-mode LDPC decoder design for mobile WiMAX system in 0.13um CMOS process,"

IEEE J. of Solid-State Circuits, vol. 43, no. 3, pp. 672-683, Mar. 2008.

[10] J. Cho, N.R. Shanbhag, W. Sung, "Low- power implementation of a high-throughput LDPC decoder for IEEE 802.11N standard," *IEEE workshop on Signal Processing Systems(SiPS 2009)*, pp. 40-45, 2009.

[11] M. Karkooti, P. Radosavljevic and J.R. Cavallaro, "Configurable, high throughput, irregular LDPC decoder architecture: trade- off analysis and implementation," *Proc. of Application-Specific Systems, Architectures and Processors(ASAP)*, pp. 360-367, 2006.

[12] G. Masera, F. Quaglio, and F. Vacca, "Implementation of flexible LDPC decoder," *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 54, no. 6, pp. 542-546, Jun. 2007.

[13] D. Bao, B. Xiang, R. Shen, A. Pan, Y. Chen, and X. Zeng, "Programmable Archi- tecture for Flexi-Mode QC-LDPC Decoder Supporting Wireless LAN/MAN Application and Beyond," *IEEE Trans. on Circuits and Systems-I*, vol. 57, no. 1, pp. 125-138, Jan. 2010.

[14] R.M. Tanner, "A recursive approach to low complexity codes," *IEEE Trans. on Inform. Theory*, vol. 27, no. 5, pp. 533-547, Sep. 1981.

[15] M. Fossorier, M. Mihaljevic and H. Imai, "Reduced complexity iterative decoding of low-density parity check codes based on belief propagation," *IEEE Trans. Commun.*, vol. 47, pp. 673-680, May. 1999.

[16] F. Zarkeshvari and A. Banihashemi, "On implementation of min-sum algorithm for decoding low-density parity-check (LDPC) codes", *Proc. of IEEE GLOBECOM*, vol. 2, pp. 1349-1353, Nov. 2002.

[17] M.M. Mansour and N.R. Shanbhag, "High- throughput LDPC decoders," *IEEE Trans. Very Large Scale Integration(VLSI) Syst.*, vol. 11, no. 6, pp. 976-996, Dec. 2003.

[18] T. Zhaizg, Z. Wang and K.K. Parhi, "On finite precision implementation of low density parity check codes decoder," *Proc. of IEEE International Symp. on Circuits and Systems(ISCAS)*, vol. 4, pp. 202-205, 2001.

[19] 박해원, 나영현, 신경욱, "IEEE 802.11n WLAN용 다중모드 LDPC 복호기의 최적 설계조건 분석", 한국해양정보통신학회 논문지, 제15권 2호, pp. 432-438, 2011. 2.

저자소개



김은숙(Eun-Suk Kim)

2010년 2월 금오공과대학교
전자공학부(공학사)
2010년 3월 ~ 현재 금오공과대학교
전자공학과 석사과정

※ 관심분야: 통신 및 신호처리용 집적회로 설계, 정보보호용 집적회로 설계



김해주(Hae-Ju Kim)

2009년 2월 금오공과대학교
전자공학부(공학사)
2011년 2월 금오공과대학교
전자공학부(공학석사)

2011년 2월 ~ 현재 실리콘웍스 연구원
※ 관심분야: 통신 및 신호처리용 집적회로 설계, 정보보호용 집적회로 설계



신경욱(Kyung-Wook Shin)

1984년 2월 한국항공대학교
전자공학과(공학사)
1886년 2월 연세대학교대학원
전자공학과(공학석사)

1990년 8월 연세대학교대학원(공학박사)
1990년 9월 ~ 1991년 6월 한국전자통신연구소
반도체연구단(선임연구원)
1995년 7월 ~ 현재 금오공과대학교 전자공학부(교수)
1995년 8월 ~ 1996년 7월 University of Illinois at Urbana-Champaign(방문교수)
2003년 1월 ~ 2004년 1월 University of California at San Diego(방문교수)

※ 관심분야: 통신 및 신호처리용 SoC 설계, 정보보호 SoC 설계, 반도체 IP 설계