
저면적 · 저전력 1Kb EEPROM 설계

여억녕* · 양혜령* · 김려연* · 장지혜** · 하판봉** · 김영희***

Design of Low-Area and Low-Power 1-kbit EEPROM

Yining Yu* · Huiling Yang* · Liyan Jin* · Ji-Hye Jang** · Pan-Bong Ha** · Young-Hee Kim***

요 약

본 논문에서는 수동형 900MHz RFID 태그 칩용 로직 공정 기반 저면적 · 저전력 1Kb EEPROM를 설계하였다. 1Kb 셀 배열 (cell array)은 1 워드 (word)의 EEPROM 팬텀 셀 (phantom cell)을 2차원 배열 형태인 (16행 × 16열) × 4블록으로 구성하였으며, 4개의 메모리 블록이 CG (Control Gate)와 TG (Tunnel Gate) 구동회로를 공유하므로 저면적 IP 설계를 하였다. TG 구동회로를 공유하기 위해 소자간의 전압을 신뢰성이 보장되는 5.5V 이내로 유지하면서 동작 모드별 TG 바이어스 전압을 스위칭해 주는 TG 스위치 회로를 제안하였다. 그리고 4 메모리 블록 중 하나의 블록만 활성화하는 partial activation 방식을 사용하므로 읽기 모드에서 전력소모를 줄였다. 그리고 하나의 열 (column)당 연결되는 셀의 수를 줄이므로 읽기 모드에서 BL (Bit-Line)의 스위칭 시간을 빠르게 하여 액세스 시간 (access time)을 줄였다. Tower 0.18 μ m CMOS 공정을 이용하여 (32행 × 16열) × 2블록과 (16행 × 16열) × 4블록의 2가지 배열 형태의 1Kb EEPROM IP를 설계하였으며, (16행 × 16열) × 4블록의 IP가 (32행 × 16열) × 2블록의 IP에 비해 레이아웃 면적은 11.9% 줄었으며, 읽기 모드 시 전력소모는 51% 줄였다.

ABSTRACT

In this paper, a logic process based 1-kbit EEPROM IP for RFID tag chips of 900MHz is designed. The cell array of the designed 1-kbit EEPROM IP is arranged in a form of four blocks of 16 rows x 16 columns, that is in a two-dimensional arrangement of one-word EEPROM phantom cells. We can reduce the IP size by making four memory blocks share CG (control gate) and TG (tunnel gate) driver circuits. We propose a TG switch circuit to supply respective TG bias voltages according to operational modes and to keep voltages between devices within 5.5V in terms of reliability in order to share the TG driver circuit. Also, we can reduce the power consumption in the read mode by using a partial activation method to activate just one of four memory blocks. Furthermore, we can reduce the access time by making BL (bit line) switching times faster in the read mode from reduced number of cells connected to each column. We design and compare two 1-kbit EEPROM IPs, two blocks of 32 rows x 16 columns and four blocks of 16 rows x 16 columns, which use Tower's 0.18 μ m CMOS process. The four-block IP is smaller by 11.9% in the layout size and by 51% in the power consumption in the read mode than the two-block counterpart.

키워드

RFID, 태그 칩, 로직 이이피롬, 저 면적, 저 전력

Key words

RFID, Tag Chip, Logic EEPROM, Small-area, Low-power

* 준회원 : 창원대학교
** 정회원 : 창원대학교
*** 정회원 : 창원대학교 (youngkim@changwon.ac.kr)

접수일자 : 2011. 02. 07
심사완료일자 : 2011. 02. 24

I. 서 론

무선 주파수 인식 기술인 RFID (Radio Frequency Identification)는 사물에 부착된 태그(Tag)로부터 전파를 이용하여 사물의 정보 및 주변정보를 수집, 저장, 수정 및 추적함으로써 다양한 서비스를 제공한다. RFID 태그 칩은 배터리 (battery) 유무에 따라 능동형과 수동형으로 구분되며, 수동형 RFID 태그 칩은 배터리가 필요 없으므로 저가격과 소형화에 유리하다 [1-2]. UHF 수동형 RFID 태그 칩은 아날로그 회로, 로직 회로, 메모리 회로로 구성되어 있다. 메모리 회로는 파워다운 (power-down)시 저장된 정보를 유지할 수 있는 비휘발성 메모리 (non-volatile memory)인 EEPROM이 사용되고 있다.

수동형 태그 칩에서는 태그 칩의 원가 절감을 위해 저면적의 IP 설계, 인식 거리를 위해서는 저전력 회로 설계, 추가적인 EEPROM 공정이 필요 없는 로직 공정 기반의 EEPROM IP 설계가 요구된다 [3-5].

본 논문에서는 Tower 0.18 μm 로직 공정의 C-Flash 셀을 이용하여 저면적·저전력 1Kb EEPROM IP를 설계하였다. 저면적 IP 설계를 구현하기 위해 1Kb 셀 배열은 1 워드의 EEPROM 팬텀 셀을 2차원 배열 형태인 (16행 \times 16열) \times 4블록으로 구성하였으며, 4개의 메모리 블록이 CG (Control Gate)와 TG (Tunnel Gate) 구동회로를 공유하였다. 1개의 메모리 블록은 16 워드 (16행 \times 16열)로 구성되어 있다. 1,000번의 erase-program cycles, 10년의 데이터를 보존하는 신뢰성을 확보하기 위해 3.3V 소자는 쓰기 모드 (write mode)에서 5.5V 이내로 제한된다. CMOS 소자의 노드 간 전압을 신뢰성이 보장되는 5.5V 이내로 유지하면서 TG 구동회로를 공유하기 위해 동작 모드별 TG 바이어스 전압을 스위칭해주는 TG 스위치 회로를 제안하였다. 그리고 4 메모리 블록 중 하나의 블록만 활성화하는 partial activation 방식을 사용하므로 읽기 모드에서 전력소모를 줄였다. 그리고 읽기 모드에서 BL의 기생하는 커패시턴스를 줄여 스위칭 시간을 빠르게 하기 위해 column당 연결되는 셀의 수를 줄였다. Column 당 셀의 수를 줄이는 것은 BL 도선 (interconnect line)과 MOS 트랜지스터의 접합 커패시턴스를 줄여준다. 레이아웃 면적과 전력 소모를 비교하기 위해 본 논문에서는 1 워드의 C-Flash 팬텀 셀을 이용하여 (32행 \times 16열) \times 2블록과 (16행 \times 16열) \times 4

블록의 2가지 형태의 1Kb EEPROM을 설계하였다. 설계된 2종의 1Kb EEPROM에서 (16행 \times 16열) \times 4블록의 EEPROM이 (32행 \times 16열) \times 2블록의 EEPROM에 비해 레이아웃 면적은 11.9% 줄였으며, 읽기 모드 시 전력소모는 51% 줄였다.

II. 회로설계

UHF RFID 태그 칩용 EEPROM 공정은 웨이퍼 장당 가격을 낮추기 위해 double poly EEPROM 셀이 아닌 로직 공정 기반의 single poly EEPROM 셀이 개발되었다. Tower에서 지원하는 C-Flash 셀은 1,000번의 erase-program cycles, 10년의 데이터를 보존한다 [5-6]. C-Flash 셀은 그림 1에서 보는 바와 같이 3.3V의 NMOS와 PMOS 트랜지스터를 사용한 제어 커패시터 (C1)와 터널링 커패시터 (C2), read-out 인버터 (MP1와 MN1), CMOS 전송 게이트 (MP2와 MN2)로 구성되어 있다. C-Flash 팬텀 셀 (phantom cell)은 16bit의 워드를 기준으로 레이아웃 되어 있으며, 팬텀 셀 크기 (phantom cell size)는 21.35 μm \times 68.69 μm 이다.

표 1은 동작 모드별 C-Flash 셀의 바이어스 전압 조건을 보여주고 있다. 지우기 모드에서는 CG에 -4.75V, TG에 +4.75V를 인가하여 FN (Fowler-Nordheim) 터널링 방식으로 플로팅 게이트의 전자를 소거시킨다. 그리고 프로그램 모드에서는 CG에 +4.75V, TG에 +4.75V를 인가하여 FN 터널링 방식으로 플로팅 게이트에 전자를 주입시킨다. 읽기모드에서 지워진 셀은 BL에 0V를 출력하는 반면, 프로그램된 셀은 VDD를 출력한다.

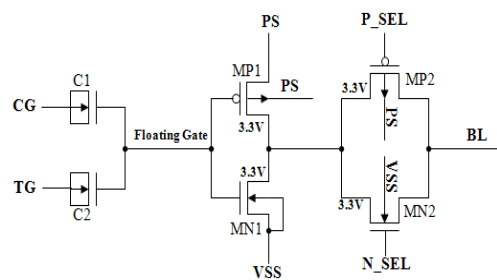


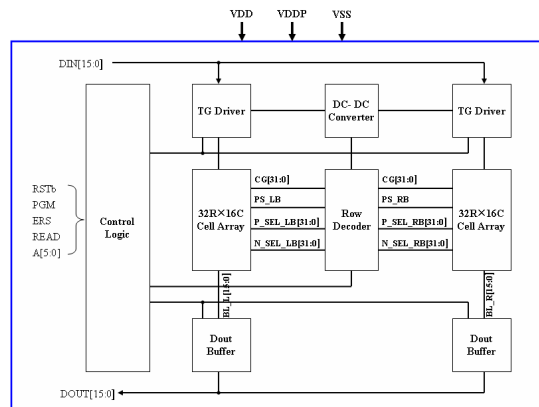
그림 1. Tower C-Flash 셀의 회로도.
Fig. 1 Circuit of Tower's c-flash cell.

표 1. 동작 모드에 따른 셀 바이어스 조건.
Table 1. Cell bias conditions in correspondence of operational modes.

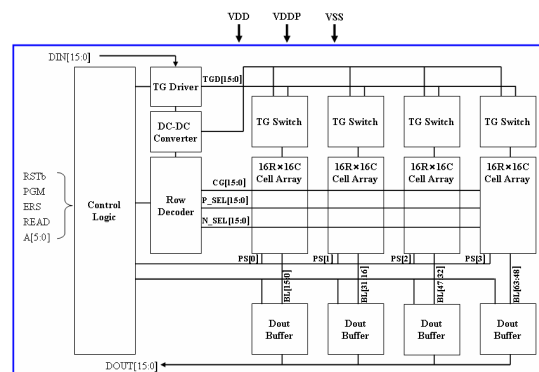
Operation Mode	Signal	Non-SEL Row Non-SEL. Col.	Selected Row Non-SEL. Col.	Non-SEL Row Selected Col.		Selected Row Selected Col.	
				DIN=1	DIN=0	DIN=1	DIN=0
Erase	CG	0V	-4.75V	0V	0V	-4.75V	-4.75V
	TG	0V	0V	4.75V	4.75V	4.75V	4.75V
	PS	0V	0V	0V	0V	0V	0V
	NCT	0V	0V	0V	0V	0V	0V
	NTT	4.75V	4.75V	4.75V	4.75V	4.75V	4.75V
	N_SEL	0V	0V	0V	0V	0V	0V
Program	P_SEL	1.2V	1.2V	1.2V	1.2V	1.2V	1.2V
	CG	0V	4.75V	0V	0V	4.75V	4.75V
	TG	0V	0V	-4.75V	0V	-4.75V	0V
	PS	0V	0V	0V	0V	0V	0V
	NCT	4.75V	4.75V	4.75V	4.75V	4.75V	4.75V
	NTT	0V	0V	0V	0V	0V	0V
Read	N_SEL	0V	0V	0V	0V	0V	0V
	P_SEL	1.2V	1.2V	1.2V	1.2V	1.2V	1.2V
	CG	0V	1.2V	0V	0V	1.2V	1.2V
	TG	0V	0V	0V	0V	0V	0V
	PS	0V	0V	1.2V	1.2V	1.2V	1.2V
	NCT	1.2V	1.2V	1.2V	1.2V	1.2V	1.2V
Read	NTT	0V	0V	0V	0V	0V	0V
	N_SEL	0V	1.2V	0V	0V	1.2V	1.2V
	P_SEL	1.2V	0V	1.2V	1.2V	0V	0V
	CG	0V	1.2V	1.2V	1.2V	0V	0V
	TG	0V	0V	1.2V	1.2V	0V	0V
	NCT	1.2V	0V	0V	0V	1.2V	1.2V

16비트의 팬텀 셀을 이용하여 설계 가능한 1Kb EEPROM 구조 (architecture)는 그림 2에서 보는 바와 같이 2가지 형태의 셀 어레이 (cell array) 구성이 가능하다. 그림 2(a)는 (32행 × 16열) × 2블록의 셀 어레이를 갖는 EEPROM이고, 그림 2(b)는 (16행 × 16열) × 4블록의 EEPROM이다. 그림 2(a)의 EEPROM 구조는 (32행 × 16열) × 2블록의 셀 어레이, 동작 모드에 따라 제어 신호를 발생시키는 제어 로직, 어드레스 A[4:0]에 따라 32개의 행 중 하나를 선택하여 PS (Power Supply), CG, N_SEL, P_SEL 노드에 전압을 공급하는 row decoder, 데이터를 읽어내기 위한 DOUT 버퍼, TG (Tunnel Gate) driver 및 쓰기기능에 필요한 고전압인 VPP, VNN, VNNL을 공급해주는 DC-DC 컨버터로 구성되어 있다. CG 구동회로가 차지하는 면적을 줄이기 위해 shared CG 구동 회로 [4]를 사용하고 있다. Shared CG 구동 회로는 왼쪽 셀 어레이 블록과 오른쪽 셀 어레이 블록의 가운데에 위치하고 있으며, A[5]의 디코딩에 의해 셀 어레이 블록이 선택된다. 인터페이스 신호는 제어 신호 (RSTb, READ, ERS, PGM), 어드레스 A[5:0], 입력 데이터 DIN[15:0], 출력 데이터 DOUT[15:0]가 있다. 그림 2(b)는 C-Flash 팬텀 셀을 2차원 배열 형태인 (16행 × 16열) × 4블록으로 구성하였으며, 4개의 메모리 블록이 CG[15:0]와 TG[15:0] 구동회로를 공유하고 있다. TG 구동회로를 공

유하기 위해 동작 모드별 TG 바이어스 전압을 스위칭 해 주는 TG 스위치 회로가 사용되었다. 동작 모드에 따라 제어신호를 발생시키는 제어 로직, 어드레스 A[3:0]에 따라 16개의 행 중 하나를 선택하여 CG, N_SEL, P_SEL 노드에 전압을 공급하는 행 디코더 (row decoder), 데이터를 읽어내기 위한 DOUT 버퍼, TG 구동 회로 및 DC-DC 컨버터로 구성되어 있다. 읽기 모드 시 A[5:4]를 디코딩하여 선택된 PS가 partial activation된다. 그림 2(b)의 메모리 구조는 그림 2(a)에 비해 CG와 TG 구동회로가 차지하는 면적을 줄여 레이아웃 크기를 줄일 수 있다. 그리고 읽기 모드 시 256비트의 PS만 partial activation 시키고 BL의 기생하는 커패시턴스를 줄이므로 저전력 구현이 가능하다. 또한 BL의 기생하는 커패시턴스를 줄여 스위칭 시간을 빠르게 할 수 있다.



(a)



(b)

그림 2. 1Kb EEPROM의 메모리 구조별 블록도.
Fig. 2. Two structures of 1-kbit EEPROM IPs.

결론적으로 레이아웃 면적, 전력 소모와 액세스 시간 측면에서 (32행 × 16열) × 2블록의 메모리 구조 보다 (16행 × 16열) × 4블록의 메모리 구조가 유리하다.

본 논문에서 설계된 Tower 0.18 μ m 공정의 C-Flash 셀을 이용한 1Kb EEPROM의 주요 특징은 표 2와 같다. 공급전압은 VDD (=1.2V)와 VDDP (=2.2V)의 듀얼 공급 전압원 (dual power supply)을 사용하였고 동작 모드는 프로그램, 지우기, 읽기, 리셋 모드가 있다. Separate I/O 방식을 사용하고 있으며, 액세스 시간은 260ns이다.

표 2. 1Kb EEPROM의 주요 특징.

Table 2. Major specifications of 1-kbit EEPROM.

Items	Design Features	
Process	Tower 0.18 μ m	
Memory Array	(16R × 16C) × 4blocks	
Supply Voltage	VDD	1.2V
	VDDP	2.2V
Operating Mode	Erase/Program/Read/Reset	
Clock Frequency	1.92MHz	
I/O	Separate I/O	
Access Time	260ns	

그림 3(a)는 동작모드에 따라 표 1의 바이어스 전압에 맞는 CG, N_SEL, P_SEL의 전압을 공급하는 CG 구동 회로이다. 그리고 그림 3(b)는 PS 구동 회로이며, 그림 3(c)는 동작 모드와 WDb (Write Data bar)에 따라 TG 신호를 공급하는 TG 구동 회로이다. 그림 3의 스위칭 전압원인 CG_HV, CG_LV, TG_HV, TG_LV, VNNL_CG, VNNL_TG는 동작 모드에 따라 표 3과 같이 공급된다. 그림 3(a)의 CG 구동 회로는 4.75V 이하의 스위칭 전압을 갖도록 하기 위해 VDD-VNNL_CG, CG_HV-VNNL_CG, CG_HV-CG_LV의 3단 전압 레벨 변환기 회로를 사용하였다. 각 단에 있는 전압 레벨 변환기의 스위칭 전압은 표 3에서 보는 바와 같이 각각의 동작 모드에 대해 모두 4.75V 이하인 것을 알 수 있다. 그리고 그림 3(c)의 TG 구동 회로도 VDD-VNNL_TG, TG_HV-VNNL_TG, CG_HV-CG_LV의 3단 전압 레벨 변환기 회로를 사용하므로 전압 레벨 변환기 회로의 스위칭 파워를 모두 4.75V 이하가 되도록 설계하였다.

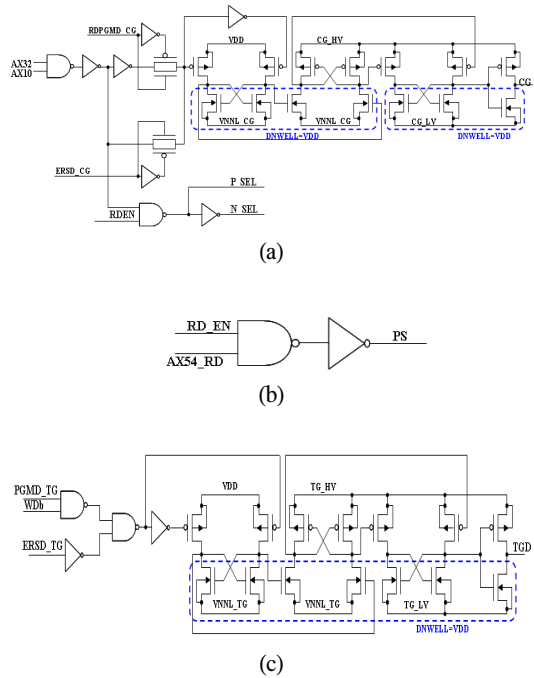


그림 3. (a) CG 구동 회로 (b) PS 구동 회로 (c) TG 구동 회로.

Fig. 3. Driver circuits: (a) CG, (b) PS, and (c) TG.

표 3. 동작 모드에 따른 스위칭 파워의 출력전압. Table 3. Output voltages of switching powers in correspondence of operational modes.

Mode	Stand-by	READ	PROGRAM	ERASE
CG_HV	VDD	VDD	4.75V	0V
CG_LV	0V	0V	0V	-4.75V
TG_HV	VDD	VDD	0V	4.75V
TG_LV	0V	0V	-4.75V	0V
VNNL_CG	0V	0V	0V	-2.375V
VNNL_TG	0V	0V	-2.375V	0V

TG 구동회로의 출력인 TGD[15:0]을 선택되는 메모리 블록에 스위칭해 주는 TG 스위치 회로는 그림 4에서 보는 바와 같다. TG 스위치 회로는 쓰기 모드에서 5.5V 이내로 제한되면서 스위칭 하여야 한다. TG 스위치 회로는 ON 상태에서 TGD를 TG에 전달하기 위한 CMOS 전송 게이트 (MP1과 MN1), OFF 상태에서 TG를 0V로 바이어싱하기 위한 클램프 트랜지스터 (MP2, MN2)로 구성된다. NMOS와 PMOS의 body 전압은 각각 TG_LV와 TG_HV로 소자의 신뢰성과 기생하는 PN 접합이 OFF 상태에 있도록 하였다. 그림 5는 TG 스위치 선택회로로 3

단 전압 레벨 변환기 회로를 사용하므로 전압 레벨 변환기 회로의 스위칭 전압을 모두 4.75V 이하가 되도록 설계하였다.

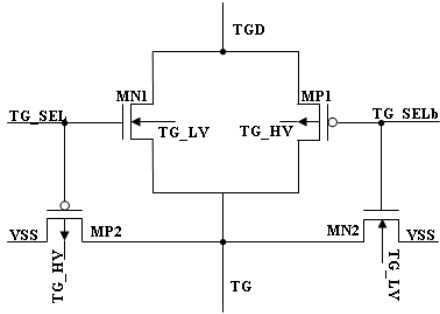


그림 4. TG 스위치 회로.
Fig. 4. TG switch circuit.

표 4. 동작 모드에 따른 TG 스위치 관련 바이어스 전압.
Table 4. TG switch related bias voltages in correspondence of operational modes.

Mode	READ	PROGRAM				ERASE	
		Sel.Col.		Non-Sel.Col.		Sel.Col.	Non-Sel. Col.
WDb	×	0V	VDD	0V	VDD	×	×
TG_SEL	0V	0V	0V	-4.75V	-4.75V	4.75V	0V
TG_SELb	VDD	-4.75V	-4.75V	0V	0V	0V	4.75V
TGD	0V	-4.75V	0V	-4.75V	0V	4.75V	4.75V
TG	0V	-4.75V	0V	0V	0V	4.75V	0V
TG_HV	VDD	0V	0V	0V	0V	4.75V	4.75V
TG_LV	0V	-4.75V	-4.75V	-4.75V	-4.75V	0V	0V

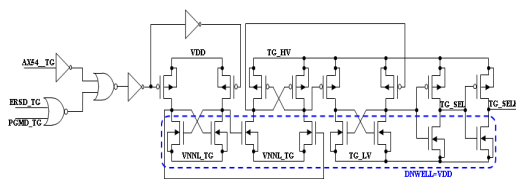


그림 5. TG 스위치 선택 회로.
Fig. 5. TG switch selecting circuit.

그림 6은 BL 데이터를 래치하여 DOUT 포트에 출력하는 DOUT 버퍼 회로이다. A[5:4]의 디코딩에 의해 활성화되는 블록의 BL[15:0] 데이터가 DOUT[15:0] 포트 로 출력된다.

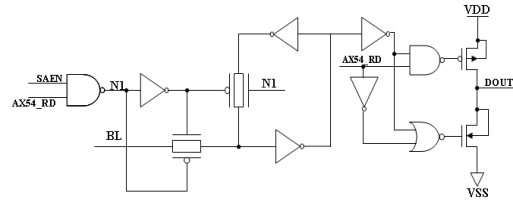
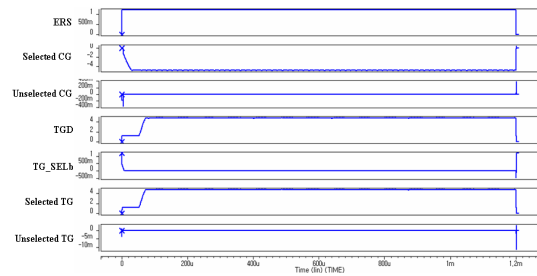


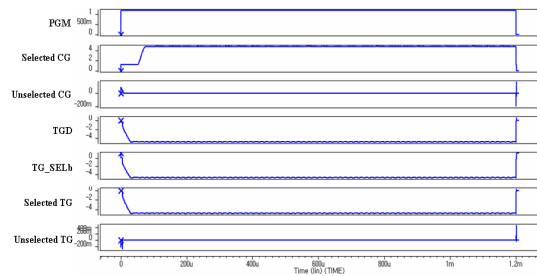
그림 6. DOUT 버퍼 회로도.
Fig. 6. DOUT buffer circuit.

III. 모의실험 결과

0.18 μ m 공정을 이용하여 로직 공정 기반의 1Kb EEPROM IP를 설계하였다. 그림 7은 지우기 모드와 프로그램 모드에서의 셀 바이어스에 대한 모의실험 결과이다. 표 1의 바이어스 전압 표처럼 나오는 것을 확인하였다.



(a)



(b)

그림 7. 쓰기 모드에서의 셀 바이어스 전압에 대한 모의실험 결과 (a) 지우기 모드 (b) 프로그램 모드.
Fig. 7. Simulation results with respect to cell bias voltages in the write mode: (a) in the erase mode and (b) in the program mode.

그림 8은 (32행 × 16열) × 2블록의 메모리 구조와 (16행 × 16열) × 4블록의 메모리 구조에 대한 읽기 모드에서 BL의 readout 속도를 비교한 파형을 보여주고 있다. (16행 × 16열) × 4블록의 메모리 구조가 (32행 × 16열) × 2블록의 메모리 구조보다 BL readout 속도가 175.8ns 빠른 것을 볼 수 있다. BL의 readout 속도를 빠르게 하기 위해서는 BL당 연결되는 셀의 수를 줄여 기생하는 커패시턴스를 줄이는 방법이 해결 방법이다.

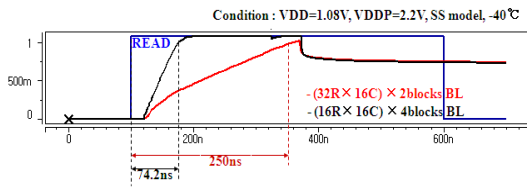


그림 8. 읽기 모드에서 메모리 구조에 따른 BL readout 속도를 비교한 모의실험 결과.
Fig. 8. Simulation result of comparing two structures in terms of BL readout speeds in the read mode.

그림 9는 읽기 모드에서 제어신호 및 중요 내부 신호에 대한 모의실험 결과를 보여준다. 읽기 모드에서 READ 신호가 인가되면 먼저 PS와 N_SEL, P_SEL에 의해 워드 셀이 선택되고 CG 신호가 0V에서 VDD로 스위칭되면서 BL의 전압이 셀의 쓰기 상태에 따라 방전되거나 충전하게 된다. SAENb 신호가 low activation 하게 되면 BL 전압을 센싱하여 DOUT으로 데이터를 출력하게 된다. 읽기 모드에서 액세스 시간은 220ns로 모의실험되었다.

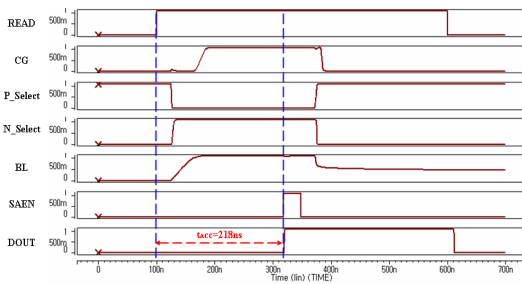
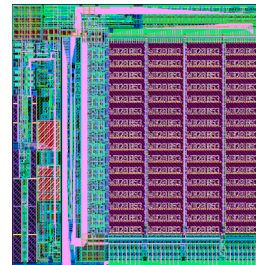


그림 9. 읽기 모드에서의 critical path에 대한 모의실험 결과.
Fig. 9. Simulation result for a critical path in the read mode.

(32행 × 16열) × 2블록의 메모리 구조와 (16행 × 16열) × 4블록의 메모리 구조를 갖는 1Kb EEPROM의 레이아웃 크기는 그림 10에서 보는 바와 같이 각각 333.8μm × 751.84μm와 423.875μm × 468.065μm이다. 그래서 (32행 × 16열) × 2블록의 메모리 구조를 갖는 1Kb EEPROM IP가 (16행 × 16열) × 4블록의 IP보다 레이아웃 면적을 11.9% 정도 줄였다.



(a)



(b)

그림 10. 설계된 1Kbit EEPROM IP의 레이아웃 이미지 (a) (32행×16열)×2블록 (b) (16행×16열)×4블록.

Fig. 10. Layout images of two structures: (a) two blocks of 32 rows x 16 columns and (b) four blocks of 16 rows x 16 columns.

표 5는 동작 모드에 따른 파워를 모의 실험한 결과이다. 전형적인 모의실험 조건에서 읽기 모드 시 (16행 × 16열) × 4블록의 메모리 구조를 갖는 1Kb EEPROM IP가 (32행 × 16열) × 2블록의 메모리 구조에 비해 파워 소모를 51% 정도 줄일 수 있다.

표 5. 동작 모드에 따른 파워 모의실험 결과.
Table 5. Power simulation result in correspondence of operational modes.

Mode	(32R×16C)×2blocks			(16R×16C)×4blocks		
	VDD	VDDP	Power dissipation	VDD	VDDP	Power dissipation
READ	8.62 μ W	0.00 μ W	8.62 μ W	4.22 μ W	0.00 μ W	4.22 μ W
PGM	11.74 μ W	11.09 μ W	22.83 μ W	11.73 μ W	11.16 μ W	22.89 μ W
ERASE	11.75 μ W	11.14 μ W	22.89 μ W	11.75 μ W	11.15 μ W	22.90 μ W

V. 결 론

본 논문에서는 로직 공정 기반의 저면적 · 저전력 1Kb EEPROM IP를 설계하였다. 저면적 IP 설계를 위해서 EEPROM 코어 회로의 CG (Control Gate)와 TG (Tunneling Gate)를 공유하는 구조를 제안하였다. Tower 0.18 μ m 공정의 C-Flash 셀을 이용하여 설계된 (16행 × 16열) × 4블록의 메모리 구조를 갖는 1Kb EEPROM IP의 레이아웃 면적은 472.875 μ m × 468.065 μ m으로 (32행 × 16열) × 2블록의 메모리 구조에 비해 레이아웃 면적을 11% 줄였다. 저전력 IP 설계를 위해서 4 메모리 블록 중 하나의 블록만 활성화하는 partial activation 방식을 사용하여 읽기 모드에서 전력소모를 51%를 줄였다.

참고문헌

[1] <http://www.epcglobalinc.org>.
 [2] R. Weinstein, "RFID : A technical overview and its application to the enterprise," IT Professional, vol. 7, Issue 3, pp. 27-33, May-June 2005.
 [3] Jingtian Xi, Na Yan, Wenyi Che, Conghui Xu, Xiao Wang, Yuqing Yang, Hongyan Jian, and Hao Min, "Low-cost low-power UHF RFID tag with on-chip antenna," Journal of Semiconductors, vol. 30, no. 7, pp. 1-6, July 2009.
 [4] Liyan Jin, Ji-Hye Jang, Pan-Bong Ha, and Young-Hee Kim, "Design of logic process based low-power 512-bit EEPROM for UHF RFID tag chip," J. Cent. South Univ. Technol., vol. 17, no. 5, pp. 1011-1020, Oct. 2010.

[5] Y. Roizin et al., "C-Flash: An Ultra-Low Power Single Poly Logic NVM," NVSMW/ICMTD 2008, pp. 90-92, May 2008.
 [6] <http://www.towersemi.com>.

저자소개

여억녕 (Yi-ning-Yu)



2009.7 연변대학교 전자공학과 공학사
 2009.9~현재 창원대학교 전자공학과 석사과정

※ 관심분야 : High-Speed I/O Interface 설계, Non-Volatile memory 설계,

양혜령 (Hui-Ling-Yang)



2010.7 연변대학교 전자공학과 공학사
 2010.9~현재 창원대학교 전자공학과 석사과정

※ 관심분야 : Non-Volatile memory 설계,

김려연 (Li-Yan Jin)



2007.7 연변대학교 컴퓨터공학과 공학사
 2009.9 창원대학교 전자공학과 석사과정

2009.9~현재 창원대학교 전자공학과 박사과정
 ※ 관심분야 : Non-Volatile memory 설계, High-Speed I/O Interface 설계

장지혜 (Ji-Hye Jang)



2008.2 창원대학교 전자공학과 공학사
 2008.3 창원대학교 전자공학과 석사과정

※ 관심분야 : Non-Volatile memory 설계,



하판봉(Pan-Bong Ha)

1981.2 부산대학교 전기공학과
공학사

1983.2 서울대학교 전자공학과
공학석사

1993.2 서울대학교 전자공학과 공학박사

1987.3~현재 창원대학교 전자공학과 교수

※ 관심분야: 임베디드 시스템, SoC 설계



김영희(Young-Hee Kim)

1989.2 경북대학교 전자공학과
공학사

1997.2 포항공과대학교 전자전기
공학과 공학석사

2000.8 포항공과대학교 전자전기공학과 공학박사

1989.1~2001.2 현대전자 책임연구원

2001.3~현재 창원대학교 전자공학과 교수

※ 관심분야: 메모리 IP 설계, SoC 설계