

---

# 전류 컨베이어 회로를 이용한 차동전압-주파수 변환기의 설계

최진호\*

Design of Differential Voltage-to-Frequency Converter Using Current Conveyor Circuit

Jin Ho Choi\*

## 요 약

이 논문에서는 전류 컨베이어 회로를 이용하여 입력 전압의 차에 비례하는 주파수 신호를 생성하는 회로를 설계하였다. 설계된 회로는 HSPICE를 이용하여 회로의 동작을 분석하였으며, 입력 전압 차는 수V에서 수mV 단위까지 변화시키면서 출력 주파수를 시뮬레이션하였다. 회로의 시뮬레이션 결과 이론적인 계산값과 비교하였을 때 에러는 -1.9%에서 +1.8% 이내였다.

## ABSTRACT

This paper describes the differential voltage-to-frequency converter which is realized current conveyor circuits. The output frequency of the differential voltage-to-frequency converter is proportional to the difference of two input voltages. The designed circuit is simulated by HSPICE. The range of input voltage difference is from several volts to several milli-volts. From the simulation results the error is less than from -1.9% to +1.8% compared to the calculated values.

## 키워드

차동 전압-주파수 변환기, 차동 전압 제어 발진기, 전류 컨베이어

## Key word

differential voltage-to-frequency converter, differential voltage controlled oscillator, current conveyor

---

\* 종신회원 : 부산외국어대학교 (jchoi@pufs.ac.kr)

접수일자 : 2010. 12. 02

심사완료일자 : 2011. 01. 08

I. 서 론

전압-주파수 변환기 혹은 전압 제어 발진기는 아날로그 신호를 디지털 신호로 변환하거나 혹은 센서를 이용한 데이터 변환 시스템 등에서 매우 유용한 회로이다. 차동 전압-주파수 변환기는 두 개의 입력단자로부터 입력되는 전압의 차에 비례하는 주파수 신호를 생성하는 회로로서 스트레인 게이지 브릿지(strain gauge bridges)와 같은 전압 차를 공급하는 센서의 출력을 처리할 때 사용되어진다.

전류 컨베이어 회로는 Sedra와 Smith에 의해 처음으로 1970년에 소개되어졌다[1]. 그 후 전류 컨베이어를 설계하기 위한 여러 가지 회로가 소개되어 졌으며, 또한 전류 컨베이어 회로를 이용한 필터 및 발진기 등과 같은 여러 응용회로가 소개되어졌다[2-4]. 전류 컨베이어 회로는 우수한 선형성 및 안정성의 특징을 가지고 있으며 동작은 이상적인 연산증폭기와 유사하다. S. Rana와 K. Pal은 LM741 연산증폭기를 이용하여 전류 컨베이어 회로를 설계하였다[5]. 본 논문에서는 전류 컨베이어 회로를 이용한 차동 전압-주파수 변환기를 설계하였다. 그리고 본 논문에서 사용된 전류 컨베이어 회로는 연산증폭기를 이용한 전류 컨베이어회로에 기초를 두고 있다.

본 논문의 2-1장에서는 CMOS로 구성된 전류 컨베이어 회로에 대해서 소개하고, 2-2장에서는 설계되어진 회로가 전류 컨베이어로 동작하는지 HSPICE 시뮬레이션을 통하여 확인한 결과를 소개한다. 2-3장에서는 설계되어진 전류 컨베이어 회로를 이용한 차동전압-주파수 변환기 회로를 설명하고, HSPICE 시뮬레이션 결과를 살펴본다. 그리고 2-4장에서는 HSPICE 시뮬레이션을 통하여 설계된 회로의 특성을 분석한다. 그리고 마지막으로 결론으로 맺는다.

II. 본 론

2.1. CMOS로 구성된 전류 컨베이어 회로

전류 컨베이어 회로는 양의 극성 혹은 음의 극성을 가진 2가지 종류가 있다. 그림 1은 양의 극성을 가진 전류 컨베이어 회로 심볼이다. 양의 극성을 가지는 전류 컨베이어 회로의 입출력 전류 관계식은 수식 (1)과 같이 표현된다.

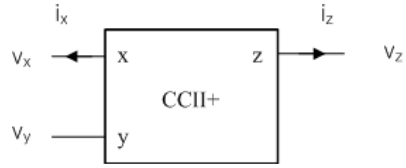


그림 1. 전류 컨베이어 회로 심볼  
Fig. 1 Symbol of the current conveyor circuit

$$\begin{bmatrix} i_y \\ v_x \\ i_x \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} v_y \\ i_x \\ v_x \end{bmatrix} \quad (1)$$

양의 극성을 가지는 전류 컨베이어 회로의 경우 입력 전류  $i_x$ 와 출력전류  $i_z$ 의 크기가 동일하고 방향도 동일하다. 그리고 입력단자  $x$ 와  $y$ 에서의 전압  $v_x$ 와  $v_y$ 의 크기는 동일하다. 음의 극성을 가지는 전류 컨베이어의 경우 입력 전류와 출력 전류의 관계식은 수식 (2)와 같이 전류의 방향만 다를 뿐 다른 특성은 동일하다.

$$i_z = -i_x \quad (2)$$

그림 2는 여러 가지 형태의 전류 컨베이어 회로 가운데 LM741 연산증폭기를 이용하여 설계되어진 전류 컨베이어회로를 이용하여 CMOS로 설계한 회로이다. 그림 2에서 전류  $i_1$ 은 수식 (3)과같이 표현된다.

$$i_1 = \frac{v_b - v_c}{R} = \frac{v_c - v_e}{R} \quad (3)$$

그리고 전류  $i_2$ 는 수식 (4)와 같이 표현되어진다.

$$i_2 = \frac{v_a - v_d}{R} = \frac{v_d - v_z}{R} \quad (4)$$

연산증폭기의 두 입력단자의 전압은 동일하므로  $v_c$ 와  $v_d$ 는 동일하다. 그러므로 수식 (3)과 수식 (4)를 다시 정리하면 수식 (5)와 같이 표현된다.

$$v_e - v_z = v_a - v_b \quad (5)$$

수식 (5)의 양변을 저항  $R$ 로 나누면 전류가 되므로 전류  $i_z$ 와  $i_x$ 는 동일한 크기와 방향을 가진다.

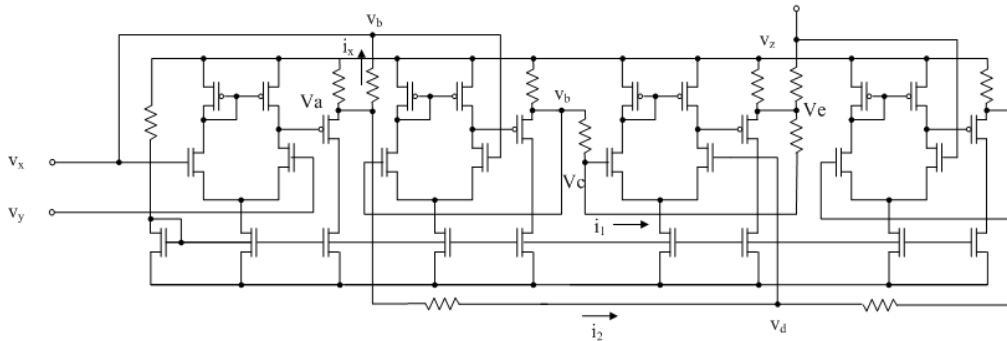


그림 2. CMOS 전류 컨베이어 회로  
Fig. 2 CMOS current conveyor circuit

2.2. 전류 컨베이어 회로의 동작

그림 3은 전류 컨베이어 회로의 동작을 확인하기 위한 응용 회로도이다. 그림 3의 CCII+는 그림 2의 회로를 심볼화 한 것이다.

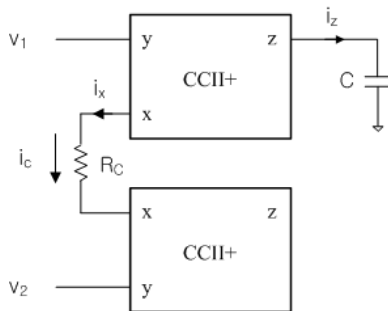


그림 3. 전류 컨베이어 응용회로  
Fig. 3 Current conveyor application circuit

입력전압  $V_1$ 이  $V_2$  보다 큰 경우 전류  $i_c$ 는 화살표 방향으로 흐른다. 그리고 전류  $i_c$ 는 전류  $i_x$ 이므로 출력전류  $i_z$ 의 크기는 전류  $i_c$ 와 동일하다. 그러므로 커패시터는 전류  $i_c$ 의 크기로 충전된다. 그리고  $V_1$ 이  $V_2$  보다 작은 경우 전류  $i_c$ 는 반대 방향으로 흐르므로 커패시터는 전류  $i_c$ 에 의해 방전된다. 커패시터에 충·방전되는 관계식은 수식 (6)과 같다.

$$C \Delta V = i_c T \tag{6}$$

여기서  $\Delta V$ 는 충·방전 전압차이고,  $T$ 는 충·방전 시간이다. 수식 (6)을  $\Delta V$ 에 대해 정리하면 수식 (7)과 같다. 커패시터의 충·방전 전압은 전류  $i_c$ , 충·방전 시간 그리고 커패시터의 크기에 의해 결정된다.

$$\Delta V = \frac{i_c T}{C} = \frac{v_1 - v_2}{R_c} \frac{T}{C} \tag{7}$$

그림 4는 HSPICE를 이용하여 그림 3의 회로를 시뮬레이션 한 결과이다.  $v_1$ 은 2.5volt로 일정하고  $v_2$ 는 1volt와 4volt로 변화하는 펄스파이다.  $V_1$ 이  $V_2$ 보다 큰 경우 커패시터  $C$ 는 충전하고,  $V_1$  전압이  $V_2$  전압보다 작은 경우 커패시터는 동일한 전류로 방전한다. 그러므로 커패시터  $C$ 의 전압 파형은 그림 4와 같이 삼각파이다.

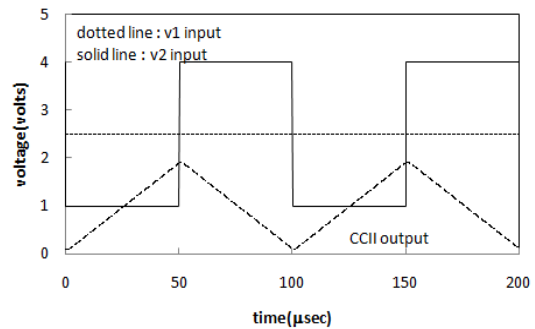


그림 4. 전류 컨베이어 응용회로의 입출력파형  
Fig. 4 Input and output waveforms of CMOS current conveyor circuit

2.3. 차동 전압-주파수 변환회로

그림 5는 차동 전압-주파수 변환기이다. 그림 5에서 C1에 충전·방전되는 전류는 수식 (8)과 같다.

$$i_c = \frac{V_1 - V_2}{R_C} \quad (8)$$

전압 V1이 V2 보다 클 경우 전류 관계식은 수식 (9)과 같다.

$$i_c = i_{c1} = -i_{c2} \quad (9)$$

그리고 V1이 V2 보다 작은 경우 전류 관계식은 수식 (10)과 같다.

$$-i_c = -i_{c1} = i_{c2} \quad (10)$$

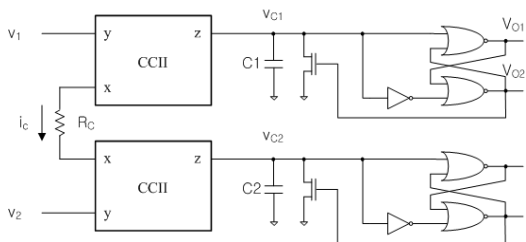


그림 5. 차동전압-주파수 변환기 회로  
Fig. 5 Differential voltage-to-frequency converter circuit

커패시터 C1의 전압은 NOR 게이트로 구성된 래치의 출력 V01이 low가 될 때까지 전류 ic에 의해 충전되어진다. C1의 충전전압이 임계전압이 되면 래치의 출력 V01이 low가 되고, V02가 high 전압이 되어 커패시터 C1은 방전하게 된다. 그림 5 회로의 자세한 동작은 다음과 같다.

1) V1이 V2보다 클 때

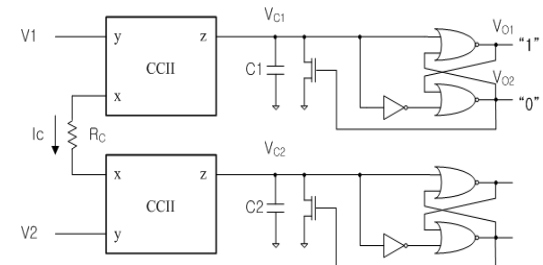
① 그림 6(a)에서 C1의 충전전압이 NOR 게이트의 문턱전압보다 작을 때 커패시터 C1은 수식 (8)의 전류식에 의해 전류 ic로 충전한다. 이때 V01의 값은 'high'가 이고 V02의 값은 'low'이다.

② C1의 충전전압이 NOR 게이트의 문턱전압 보다 크게 되면 그림 6(b)와 같이 V01의 값은 'low'가 되고 V02의 값은 'high'로 변화한다. 이때 NMOS 스위치는 on 되어

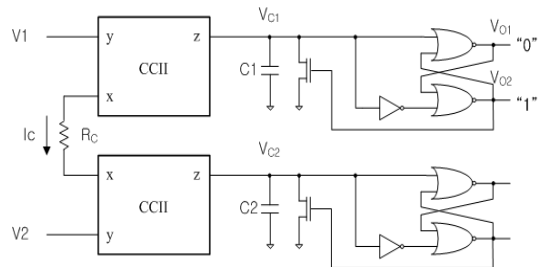
C1의 전하는 방전한다. C1의 전압이 문턱전압 이하로 방전하게 되면 그림 6(a)와 같이 V01과 V02의 전압은 변화하고 C1은 다시 충전된다. 그러므로 V01의 전압 파형은 펄스파가 된다. 본 논문에서는 정확한 펄스 파형을 얻기 위해 V01에 2개의 NOT 게이트를 연결하였다. 그리고 V1 전압이 V2 전압보다 작으면 C1에는 충전이 되지 않으며, 출력파형이 생성되지 않고 커패시터 C2에 톱니파 파형이 생성된다.

2) V1이 V2보다 작을 때

v2 전압이 v1 전압보다 클 때 톱니파 파형은 커패시터 C2에 생성되며, 그 동작 원리는 1)번과 동일하다. 그러므로 V1과 V2의 크기에 따라 출력신호 발생 단자가 달라지므로 V1과 V2의 크기 비교 출력도 얻을 수 있다.



(a)



(b)

그림 6. 차동전압-주파수 변환기 회로 동작  
(a) Vc1 ≤ VTH (b) Vc1 ≥ VTH

Fig. 6 Differential voltage-to-frequency converter circuit operation (a) Vc1 ≤ VTH (b) Vc1 ≥ VTH

그림 7은 커패시터 C1 혹은 C2에서 생성되는 톱니파이다. 그리고 그림 8은 NOR 게이트의 출력단자인 Vc1의 출력 파형이다.

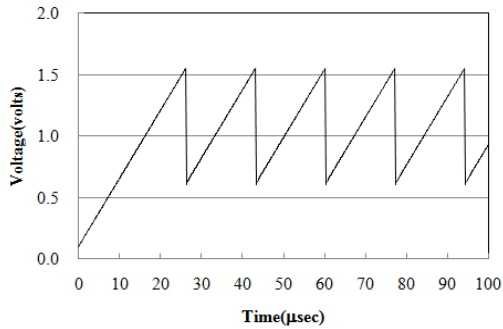


그림 7.  $V_{C1}$  전압 파형  
Fig. 7  $V_{C1}$  Voltage waveform

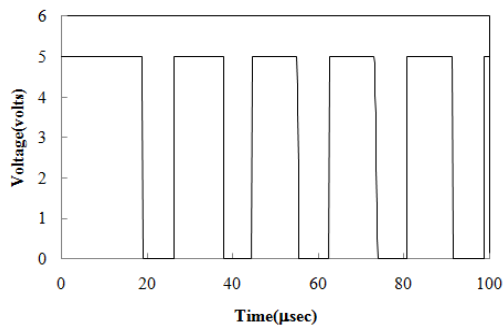


그림 8.  $V_{O1}$  전압 파형  
Fig. 8  $V_{O1}$  Voltage waveform

#### 2.4. 설계된 회로의 특성 분석

그림 9는  $R_c$ 의 저항 값을 변화시켰을 때 차동 입력 전압의 변화에 따른 출력 주파수이다. 차동 입력은 0.5V 부터 4.5V까지 0.5V 간격으로 입력하였다.

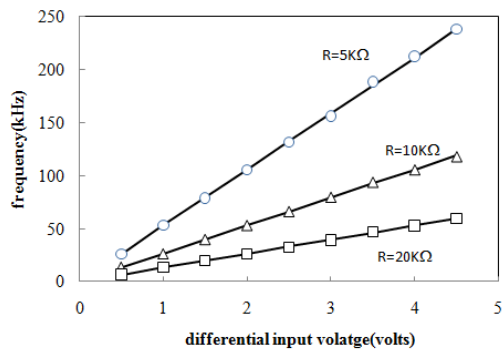


그림 9. 차동입력 전압에 따른 출력주파수  
Fig. 9 Output frequency with differential input voltage

그리고 충전·방전 전류의 변화를 위해  $R_c$  저항 값은  $5k\Omega$ 에서  $20k\Omega$ 으로 변화시켰다. 그림 9로부터 차동 입력 전압이 증가함에 따라 출력주파수는 선형적으로 증가함을 알 수 있다. 그림 10은 계산된 값과 시뮬레이션 값과의 차이이다. 그림 10의 에러는 수식 (11)에 따라 계산되어졌다.

$$Error(\%) = \frac{(f_c - f_s)}{f_c} \times 100 \quad (11)$$

여기서  $f_c$ 는 계산치이며,  $f_s$ 는 HSPICE를 이용한 시뮬레이션 값이다. 그림 10으로부터 에러는 -1.9%에서 +1.2%였다. 그림 11과 그림 12는 차동 입력 전압이 50mV에서 450mV로 변화시켰을 때의 HSPICE 시뮬레이션 결과이다. 차동 입력 전압이 작은 경우 차동 입력 전압에 따른 에러는 -1.9%에서 +1.8%였다.

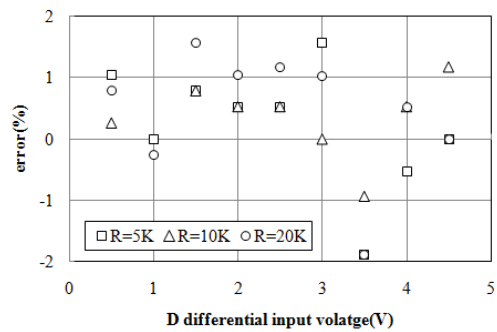


그림 10. 차동입력 전압에 따른 출력주파수 에러  
Fig. 10 Output frequency error with differential input voltage

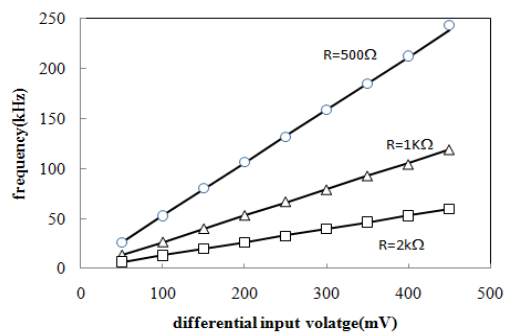


그림 11. 차동입력 전압에 따른 출력주파수  
Fig. 11 Output frequency with differential input voltage

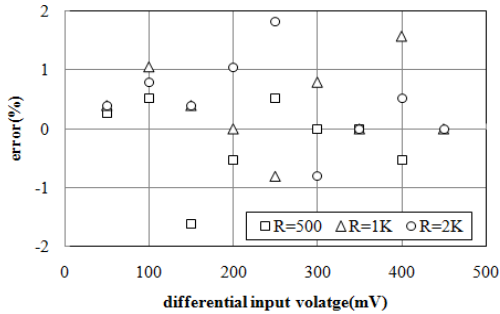


그림 12. 차동입력 전압에 따른 출력주파수 에러  
Fig. 12 Output frequency error with differential input voltage

### III. 결 론

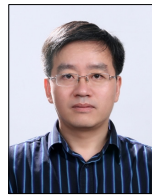
전류 컨베이어 회로를 이용한 차동 입력전압-주파수 변화기를 설계하였다. 전류 컨베이어는 연산증폭기를 이용한 전류 컨베이어 회로에 기초를 두고 CMOS를 이용하여 설계하였다. 설계되어진 회로의 시뮬레이션 결과 차동 입력 전압에 따라 출력 주파수는 선형적으로 증가하였으며, 입력 전압의 차이가 100mV에서 4V로 변화함에 따라 이론적인 계산값과 비교하였을 때 에러의 범위는 -1.9%에서 +1.8% 정도로서 충분한 선형성을 얻을 수 있었다.

### 참고문헌

- [1] Sedra, A. and Smith K. C., "A Second Generation Current Conveyor and Its Applications", IEEE Trans. Circuit Theory, vol.17, pp.132-134, 1970.
- [2] Minaei & Tuskog, "New Current-mode Current-controlled Universal Filter with Single Input and Thress Outputs", JEE vol.88, no.3, pp.333-337, 2001.
- [3] Khan I.A. and Maheswari, S., "Simple First Order All-pass Sections Using a Single CCII", Internatioal Journal of Elec. vol.87, pp.303-306, 2000.
- [4] P.Kumar and K. Pal, "Universla Biquadratic Filter Using a Single Current Conveyor", J. of Active and Passive Elec. Dev. vol.3, pp.7-16, 2008.

- [5] S. Rana and K. Pal, "Current Conveyor Simulation Circuits Using Operational Amplifiers", Jour. of Phys. Sciences, vol.11, pp.124-132, 2007.

### 저자소개



최진호(Jin Ho Choi)

1985 부산대학교 전자공학과 공학사  
1987 KAIST 전기 및 전자공학과 공학석사  
1992 KAIST 전기 및 전자공학과 공학박사

1996~ 부산외국어대학교 근무  
※관심분야: VLSI 설계